



(12) 发明专利

(10) 授权公告号 CN 102800655 B

(45) 授权公告日 2015. 06. 24

(21) 申请号 201210148511. 9

CN 101621099 A, 2010. 01. 06,

(22) 申请日 2012. 05. 14

审查员 季茂源

(30) 优先权数据

13/117, 126 2011. 05. 26 US

(73) 专利权人 南亚科技股份有限公司

地址 中国台湾桃园县

(72) 发明人 郭锦德 陈逸男 刘献文

(74) 专利代理机构 深圳新创友知识产权代理有

限公司 44223

代理人 江耀纯

(51) Int. Cl.

H01L 23/544(2006. 01)

(56) 对比文件

US 5977558 A, 1999. 11. 02,

CN 101856920 A, 2010. 10. 13,

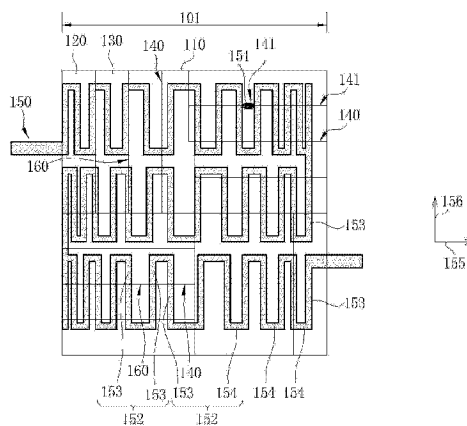
权利要求书2页 说明书4页 附图5页

(54) 发明名称

测试布局结构

(57) 摘要

本发明公开了一种测试布局结构,其具有第一高度、与第一矩形的第一氧化物区域位于基材上,具有与第一高度实质上不同的第二高度与第二矩形的第二氧化物区域,也位于基材上并毗邻第一氧化物区域。多个边界区域位于第一氧化物区域和第二氧化区之间。测试布局图案同时位于第一氧化物区域和第二氧化区上,并具有多组个别部份的导电材料,其包括多个第一部分与多个第二部分。多个第一部分沿着第一方向延伸,多个第二部分则沿着与第一方向垂直的第二个方向延伸。测试区域则位于两相邻又相互平行的个别部份之间。



1. 一种测试的布局结构,其特征在于,包含:
基材;
位于所述基材上的至少一第一氧化物区域,具有第一高度、与第一矩形形状;
位于所述基材上的至少一第二氧化物区域,毗邻所述至少一第一氧化物区域,具有第二高度、与第二矩形形状,其中所述至少一第一氧化物区域和所述至少一第二氧化物区之间有多个边界区域以及一落差,并且所述第一高度与所述第二高度不同;以及
单条测试线图案,包括具有多个个别部份的导电材料,所述多个个别部份包括多个沿第一方向延伸的第一部分,和多个沿着与所述第一方向垂直的第二个方向延伸的第二部分,其中至少一该第一部分与至少一该第二部分会与该边界区域重叠,且一测试区域位于两相邻又相互平行的所述个别部份之间,且其中一该个别部份沿着其与一该边界区域平行的一长度方向延伸并完全与该边界区域重叠。
2. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述第一氧化物区域是一高电压区域。
3. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述第二氧化物区域是一低电压区域。
4. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述第一高度大于所述第二高度。
5. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述导电材料包括多晶硅。
6. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述测试区域与两相邻的所述个别部份平行。
7. 根据权利要求 6 所述的测试的布局结构,其特征在于,所述个别部份为所述第一部分。
8. 根据权利要求 6 所述的测试的布局结构,其特征在于,所述个别部份为所述第二部分。
9. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述测试区域与两相邻的所述个别部份垂直。
10. 根据权利要求 9 所述的测试的布局结构,其特征在于,所述个别部份为所述第一部分。
11. 根据权利要求 9 所述的测试的布局结构,其特征在于,所述个别部份为所述第二部分。
12. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述个别部份的其中一者位于所述至少一第一氧化物区域上。
13. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述个别部份的其中一者位于所述至少一第二氧化物区域上。
14. 根据权利要求 1 所述的测试的布局结构,其特征在于,进一步包括多个所述第一氧化物区域。
15. 根据权利要求 1 所述的测试的布局结构,其特征在于,进一步包括多个所述第二氧化物区域。
16. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述边界区域的其中一个形

成所述测试区域。

17. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述测试区域包括所述导电材料。

18. 根据权利要求 1 所述的测试的布局结构,其特征在于,所述测试区域没有所述导电材料。

19. 根据权利要求 1 所述的测试的布局结构,其特征在于,多个所述第一部分和多个所述第二部分一起沿着所述第一方向与所述第二个方向的其中一个延伸。

测试布局结构

技术领域

[0001] 本发明涉及一种测试的布局结构,特别是一种具有至少两种高度不同的氧化物层,用来代表其它区域所对应的部分,与检测任何可能桥接漏电的问题区。

背景技术

[0002] 半导体装置通常采用多晶硅作为导电材料,来形成如栅极结构等元件。由于多晶硅需要形成一些特定的图案,所以通常采用刻蚀步骤来图案化多晶硅层。

[0003] 传统上,多晶硅层往往会形成在具有高度不同的两个氧化层的基材上。图 1-2 绘示出传统上刻蚀具有两个高度不同的氧化层的基材。例如,如图 1 所绘示,多晶硅层 20 形成在具有薄氧化膜 30、浅沟渠隔离层 40 与厚氧化层 50 的基材 10 上。

[0004] 正如图 2 所示,分别位于薄氧化层 30 与厚氧化层 50 上的多晶硅层 20 被部分移除,以形成位于浅沟槽隔离层 40 上的多晶线(poly line) 21。位于薄氧化层 30 与厚氧化层 50 上的多晶硅层 20 是经由干刻蚀法来移除,以形成所需的多晶线 21。刻蚀终点通常是由氧化物的信号来判定。例如,它是数秒钟的刻蚀时间所决定的盲目刻蚀终点。

[0005] 由于在薄氧化层 30 与浅沟渠隔离层 40 的边界之间存在一个陡峭的落差 60,需要完全去除位于薄氧化层 30 上多晶硅层 20 所需的时间一定会大于去除位于厚的氧化层 50 上的多晶硅层 20 所需的时间。

[0006] 由于这个陡峭的差距 60,几乎是不可能确定位在薄氧化层 30 上多晶硅层 20 的刻蚀终点。此外,几乎总是会有一些剩下的多晶硅 22 残留在陡峭的差距 60 上。这些残留的剩下多晶硅 22 即是所谓的桥接漏电问题的症结所在。另一方面,在晶圆(图未示)上任何两个相邻的薄氧化层 30 和浅沟槽隔离层 40 之间还可能有许多种不同的陡峭落差 60,反而还使得所谓桥接漏电的问题更加复杂,更难被发现和解决。

[0007] 因此,仍然需要一种新颖的技术方案,来解决残留在晶圆(未示于图中)上任何两个相邻的薄氧化层和厚氧化层之间,陡峭差距附近的剩余多晶硅的问题。

发明内容

[0008] 有鉴于上述情况,本发明提出了一种测试布局结构,来模拟跨越两个相邻的薄氧化层和厚氧化层(浅沟槽隔离层)之间陡峭落差的多晶线。此等测试的布局结构,是一种与产品相近的图案,并且能够代表多晶线在刻蚀后,跨越各种陡峭落差的多种情况、代表在其它区域中的对应部分,例如有源区域、并能够检测任何可能的桥接漏电(bridge leak)问题。本测试的布局结构也可应用于监测刻蚀过程中,而获得更好的刻蚀终点。

[0009] 本发明于此提出了一种测试布局结构,包括基材,具有第一高度的第一氧化物区域,具有第二高度的第二氧化物区域,多个边界区域,与测试布局图案。第一氧化物区域位于基材上,并具有第一矩形形状。第二氧化物区域也位于基材上,且毗邻第一氧化物区域,并具有第二矩形形状。第一高度实质上与第二高度不同。多个边界区域位于第一氧化物区域和第二氧化物区域之间。测试布局图案同时位于第一氧化物区域和第二氧化物区域此二区域

上,并包含具有多组个别部份的导电材料。多组个别部份包括多个第一部分与多个第二部分。多个第一部分沿着第一方向延伸,多个第二部分沿着与第一方向垂直的第二方向延伸。而测试区域则位于两相邻又相互平行的个别部份之间。

[0010] 在本发明一实施例中,第一氧化物区域是一高电压区域。

[0011] 在本发明另一实施例中,第二氧化物区域是一低电压区域。

[0012] 在本发明另一实施例中,第一高度实质上大于第二高度。

[0013] 在本发明另一实施例中,导电材料包括多晶硅。

[0014] 在本发明另一实施例中,测试区域与两相邻的个别部份平行或是垂直。

[0015] 在本发明另一实施例中,个别部份为第一部分或是第二部分。

[0016] 在本发明另一实施例中,个别部份的其中一者覆盖边界区域的其中一者。

[0017] 在本发明另一实施例中,个别部份的其中一者位于第一氧化物区域上。

[0018] 在本发明另一实施例中,个别部份的其中一者位于第二氧化物区域上。

[0019] 在本发明另一实施例中,边界区域的其中一者形成测试区域。

[0020] 在本发明另一实施例中,导电材料位于测试区域中。

[0021] 在本发明另一实施例中,测试区域中没有导电材料。

[0022] 在本发明另一实施例中,多个第一部分和多个第二部分一起沿着第一方向与第二个方向的其中一者延伸。

附图说明

[0023] 图 1-2 绘示出传统上刻蚀具有两个高度不同的氧化层的基材。

[0024] 图 3-5 绘示出本发明的测试布局结构。

[0025] 其中,附图标记说明如下:

[0026] 10 基材	130 第二氧化物区域
[0027] 20 多晶硅层	140 边界区域
[0028] 21 多晶线	141 陡峭落差
[0029] 22 剩下的多晶硅	150 测试布局图案
[0030] 30 薄氧化膜	151 导电材料
[0031] 40 浅沟槽隔离层	152 个别部分
[0032] 50 厚氧化层	153 第一部份
[0033] 60 陡峭落差	154 第二部分
[0034] 100 布局测试结构	155 第一方向
[0035] 101 切割道区域	156 第二方向
[0036] 110 基材	160 浅沟槽隔离结构
[0037] 120 第一氧化物区域	

具体实施方式

[0038] 本发明提供一种在晶圆电性测试(wafer acceptance test)中使用的测试布局结构。本发明的测试布局结构,可以模拟穿越各种陡峭落差(abrupt gap)的多晶硅线。本发明的测试布局结构可以代表在其它区域,例如有源区域中,多晶硅线在刻蚀过程后,跨越各

种陡峭落差的情况,也可以用来检测任何可能的桥接漏电问题。请参考图 3-5,其绘示出本发明的测试布局结构。正如图 3 所示,本发明的布局测试结构 100 包括基材 110,具有第一高度的第一氧化物区域 120,具有第二高度的第二氧化物区域 130,多个边界区域 140,与测试布局图案 150。基材 110 通常为包括半导体材料,例如 Si,的晶圆。基材 110 上可能有多种区域,例如有源区域(未示于图中),或是切割道区域 101。本发明的测试布局结构 100 通常是位于切割道区域 101 中。

[0039] 第一氧化物区域 120 位于基材 110 上,并有第一矩形的形状。例如,第一氧化物区域 120 可能的尺寸为 1 微米(μm)。第二氧化物区域的 130 也位于基材 110 上,并邻近一些第一氧化物区域 120。第二氧化物区域 130 也具有第二矩形的形状,尺寸可能是 1.2 微米。第一矩形的形状有可能会,也可能不会类似于第二氧化物区域 130 的形状。

[0040] 本发明的一个特点是,第二高度实质上是不同于第一高度的。在一个例子中,第一高度是实质上大于第二高度的。在另一个例子中,第二高度是实质上大于第一高度的。当第一高度是实质上大于第二高度时,第一氧化物区域 120 可作为高电压区域,而第二氧化物区域 130 则因为较薄的厚度,可作为一个低电压区域。

[0041] 多个边界区域 140 位于基材 110 上。每个边界区域 140 都位于任何两个相邻的第一氧化物区域 120 和第二氧化物区域 130 之间。如果有浅沟槽隔离层(未示于图中)的话,边界区域 140 会位于两个相邻的低氧化物区域和浅沟槽隔离层(未示于图中)之间。换句话说,如图 4 所绘示,边界区域 140 总会包括一个横跨相邻的第一氧化区域 120 和第二氧化物区域 130 之间的,或相邻的低氧化物区域 130 和浅沟槽隔离结构 160 之间,的陡峭落差 141,这意味着陡峭落差 141 从一个氧化物区域横跨到另一个高度不同的氧化物区域。

[0042] 测试布局图案 150 也位于基材 110 上,又直接接触第一氧化物区域 120 和第二氧化物区域 130。正如图 4 所示,测试布局图案 150 是由形成在第一氧化物区域 120 和第二氧化物区域 130 上的一整片的导电材料 151,使用终点信号控制(end point signal)的干刻蚀方法图案化导电材料 151 所构成的。导电材料 151 通常包含多晶硅。

[0043] 测试布局图案 150 由包括多组个别部份 152 的导电材料 151 所组成。其中一组个别部份 152 可能是位于第一氧化物区域 120 或是第二氧化物区域 130 上。尤其是,其中一个的个别部份 152 可能覆盖边界区域 140 的其中一者。

[0044] 每一个的个别部份 152,可能是一个第一部份 153 或是一个第二部份 154。换句话说,多组个别部份 152 包括沿着第一方向 155 延伸的多个第一部份 153,和多个沿着第二方向 156 延伸的多个第二部分 154。第一方向 155 实质上与第二方向 156 垂直。

[0045] 再来,测试区域 160 是位于两相邻又相互平行的个别部份 152 之间。测试区域 160 又是与这些相邻的个别部份 152 垂直。例如,个别部份 152 都是第一部分 153。或是,个别部份 152 都是第二部分 154。

[0046] 本发明的另一个特点是,边界区域 140 的其中一个形成了测试区域 160。由于多组个别部份 152 是由形成在第一氧化物区域 120 和第二氧化物区域 130 上的一整片导电材料 151,使用干刻蚀的方法图案化导电材料 151 所建构而成的,边界区域 140 以及测试区域 160 都必定是被导电材料 151 所覆盖,而且是借由移除多余的导电材料 151 所形成的。

[0047] 如前所述,干刻蚀方法通常是使用终点信号来控制的,来普遍性地代表一种“理想化”导电材料 151 的刻蚀终点控制,如图 4 所示。由于任何两个相邻的第一个氧化物区域

120 和二氧化物区域 130 之间都存在着各式各样不同类型的陡峭落差 141, 陡峭落差 141 附近、导电材料 151 刻蚀过程的终点判定几乎是不可能普遍性地精确的, 所以很有可能会造成在陡峭落差 141 附近残存一些剩余的导电材料 151。

[0048] 正如图 5 所示, 当陡峭落差 141 附近累积了足够的残存导电材料 151 时, 累积的导电材料 151 就会作为个别部份 152 短路桥梁的导电路径。短路一旦形成, 原始的测试布局图案 150 就不再能够视为是电流的实际路径。原始的测试布局图案 150 终究是会失败的, 短路也导致了包含此等测试布局图案 (也就是说测试布局图案 150 所相对应的其它部位) 的半导体装置的故障。

[0049] 在本发明的一实施例中, 测试区域 160 没有剩下的导电材料 151, 如图 3 所示。当出现这种情况时, 原始的测试布局图案 150 就必定会有最长的导电路径, 并显示出最高的可能电阻。在本发明的另一实施例中, 测试区域 160 可能包括位于陡峭落差 141 附近, 没有被完全移除的导电材料 151, 如图 5 所示。当有成为短路桥梁而未完全移除的导电材料 151 时, 沿着整个测试布局图案 150 行进的总电阻就一定会比较低。

[0050] 就如前文所例示者, 沿着整个测试布局图案 150 行进的总电阻, 正好可以用来代表测试布局图案 150 的形成, 或是过量的导电材料 151 的移除是否准确。总之, 测试布局结构 100 可以代表其它区域中所相对应的部分, 例如在有源区域中 (未示於图中), 并侦测在测试布局图案中任何可能的桥接漏电问题。

[0051] 在本发明的一个实施例中, 多个第一部分 153 和多个第二部分 154 可能会一起沿着第一方向 155 或是第二方向 156 延伸, 而形成波浪形, 如图 3 或图 5 所示。

[0052] 以上所述仅为本发明的优选实施例而已, 并不用于限制本发明, 对于本领域的技术人员来说, 本发明可以有各种更改和变化。凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

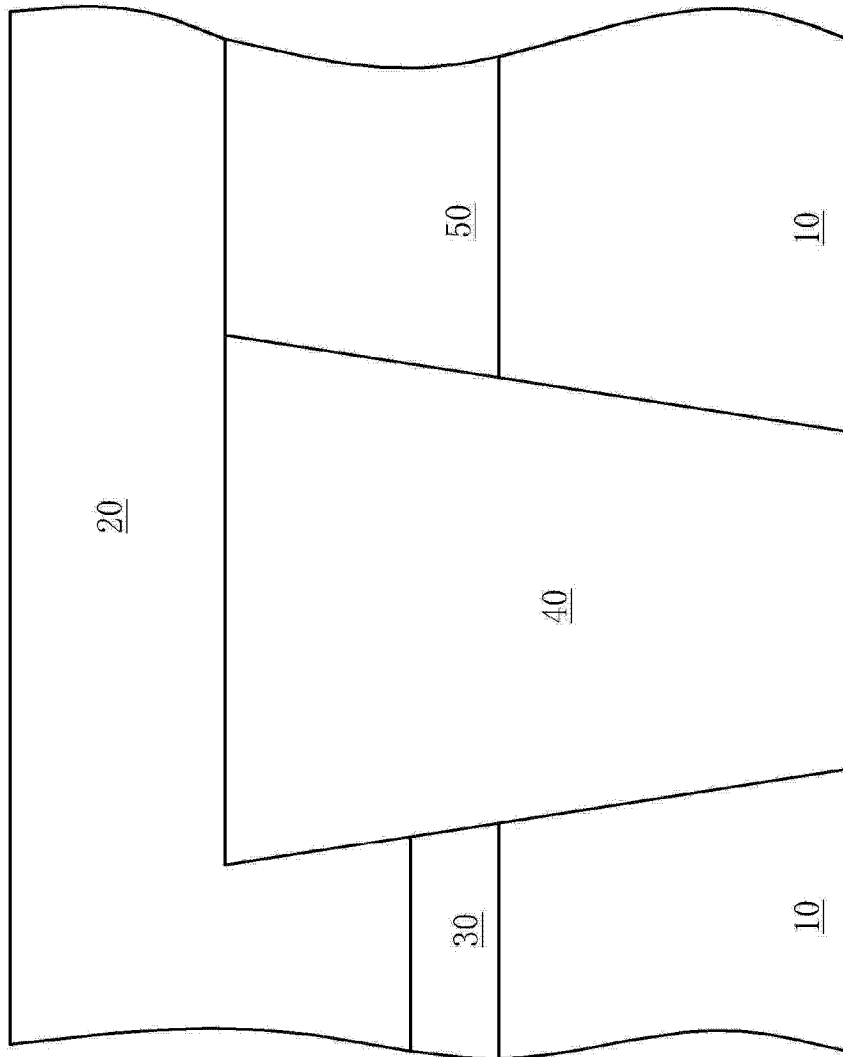


图 1

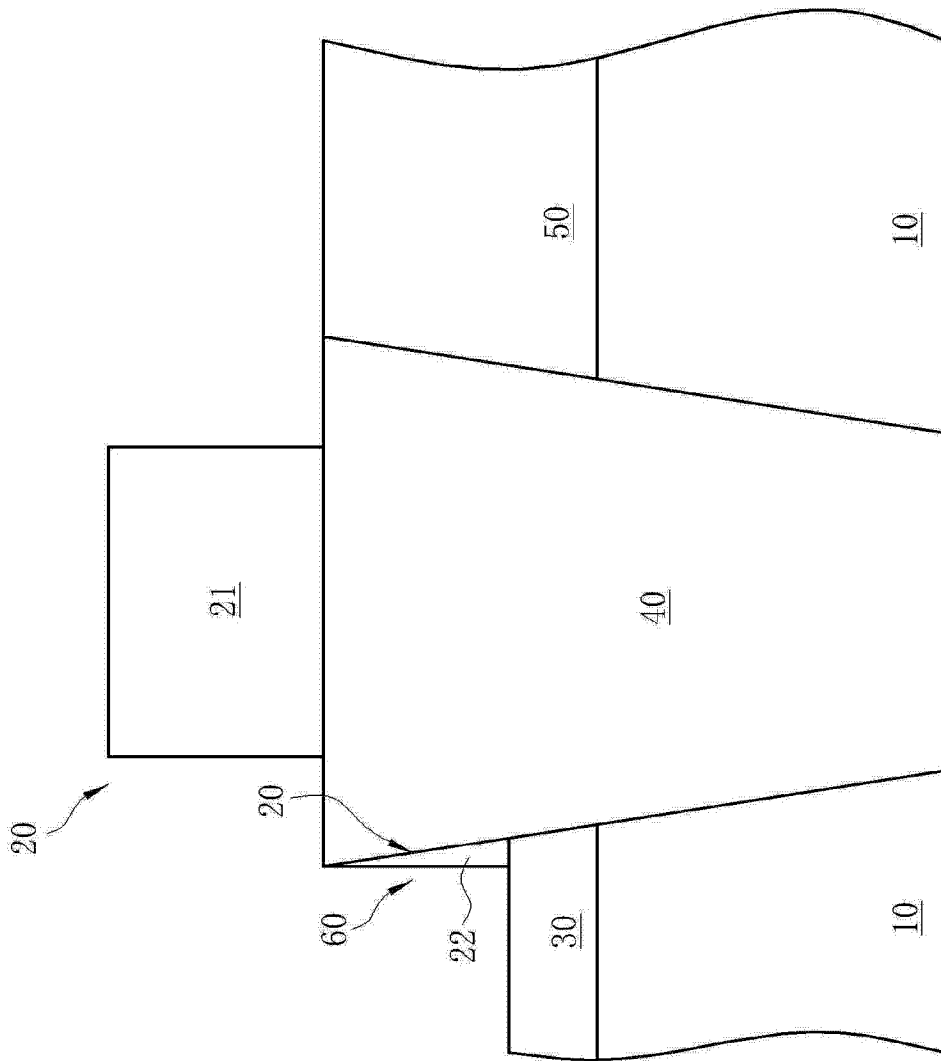


图 2

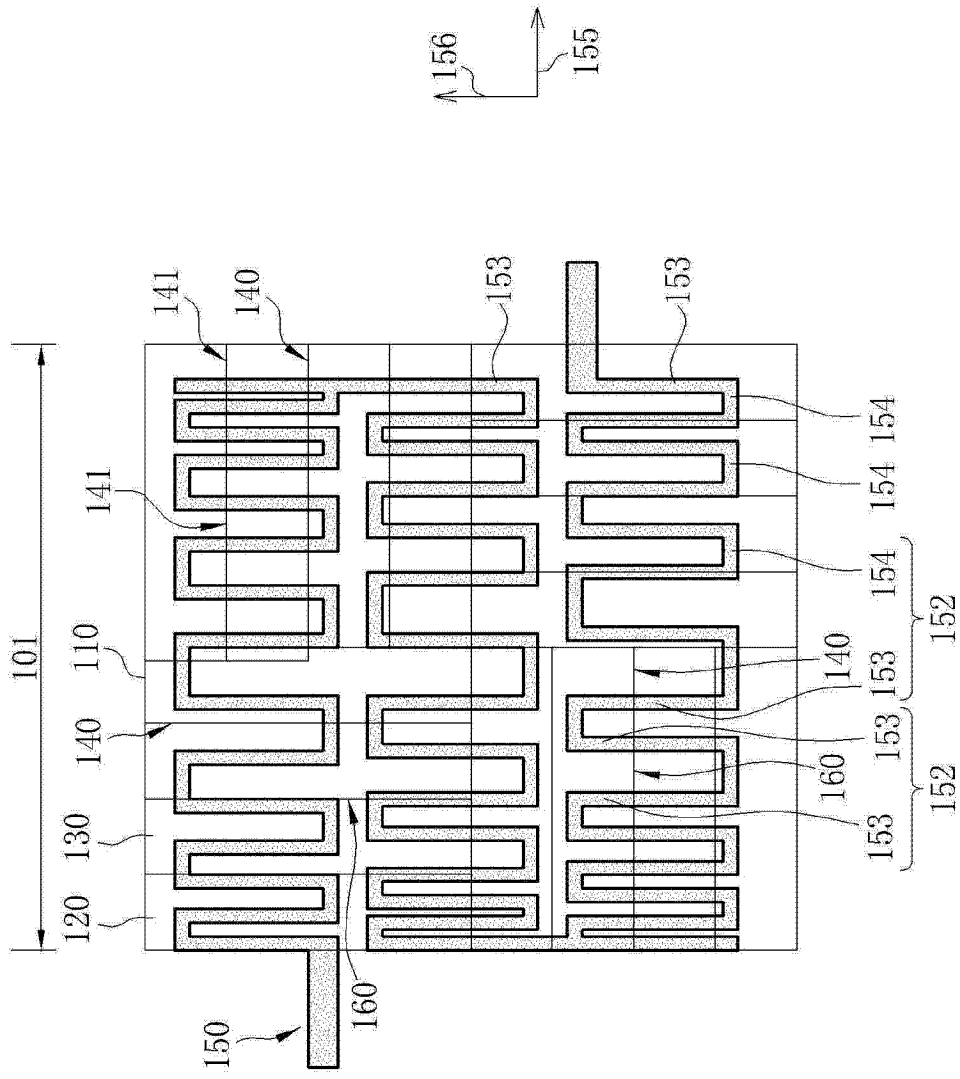


图 3

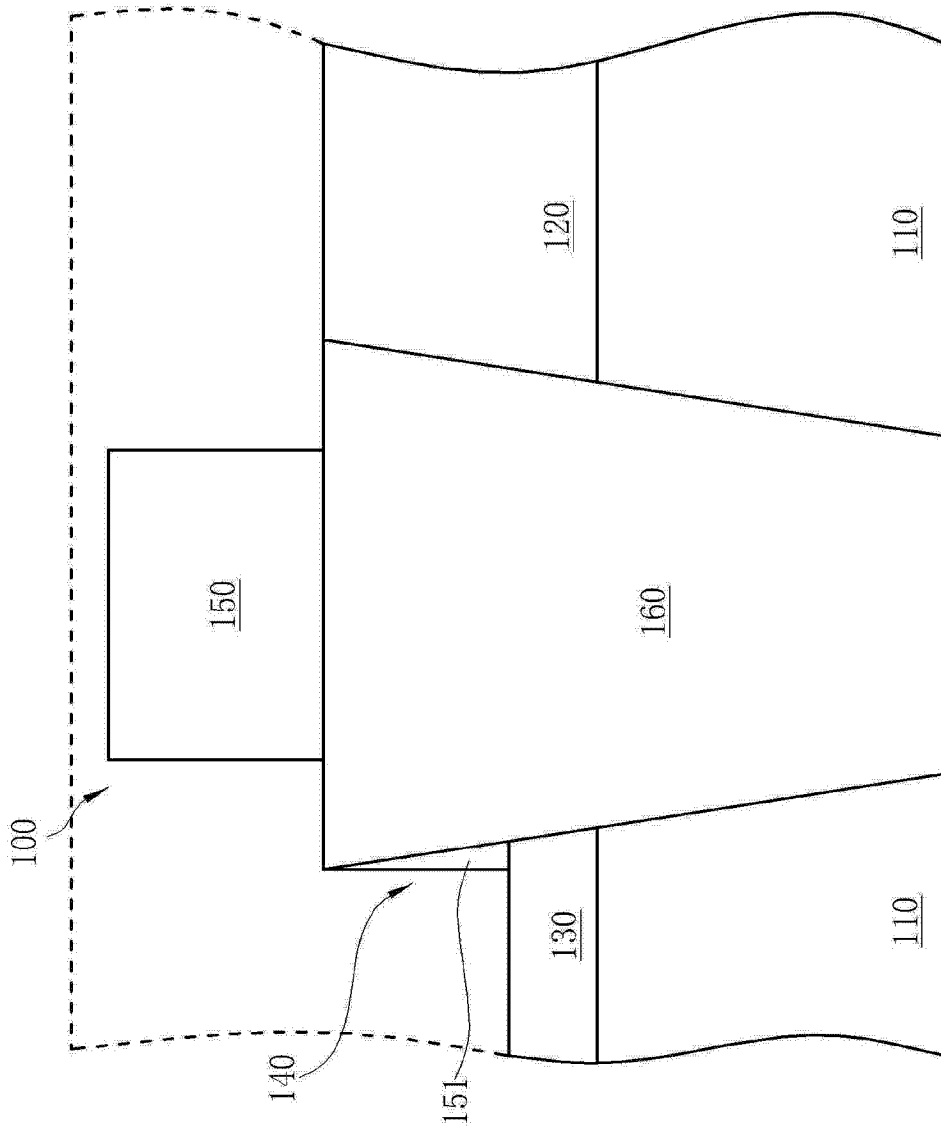


图 4

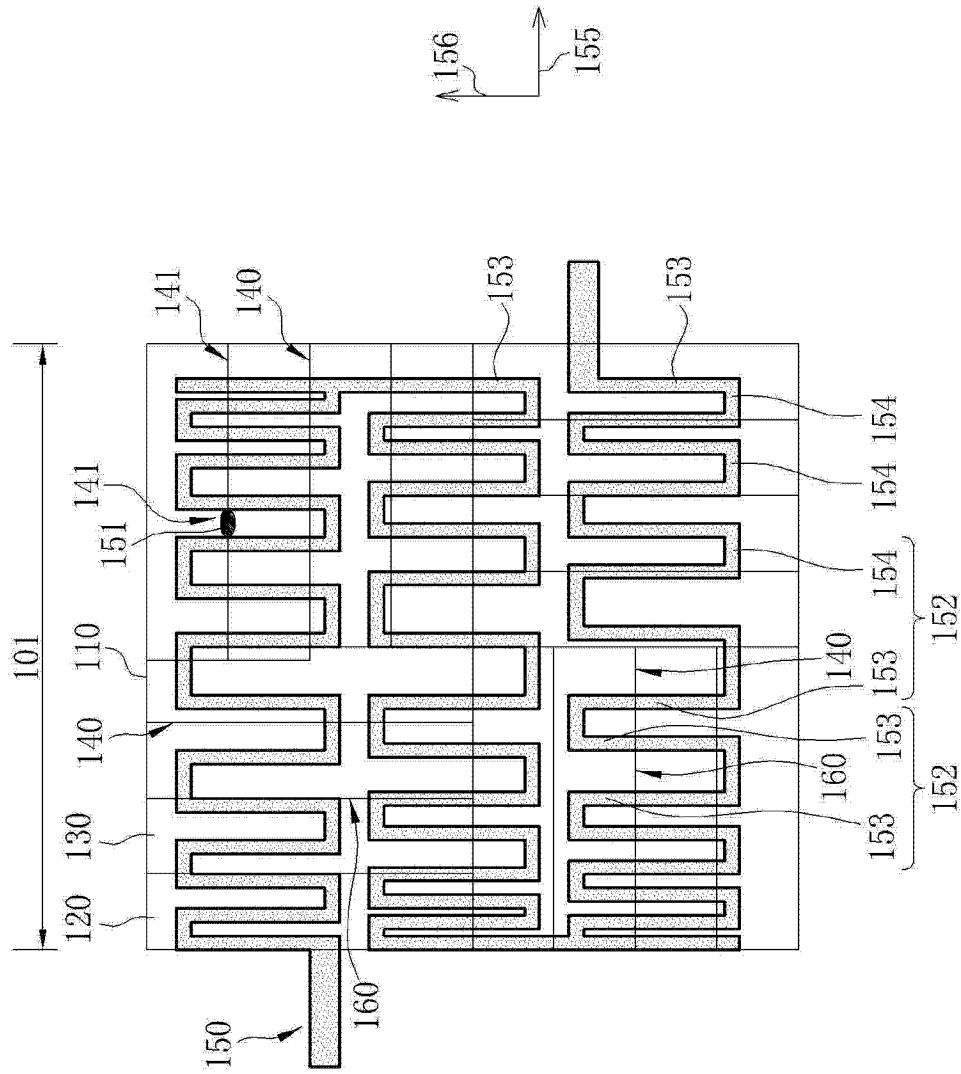


图 5