

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5219555号
(P5219555)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int. Cl.		F I			
HO 4 N	5/365	(2011.01)	HO 4 N	5/335	6 5 0
HO 4 N	5/374	(2011.01)	HO 4 N	5/335	7 4 0
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A

請求項の数 9 (全 13 頁)

<p>(21) 出願番号 特願2008-48175 (P2008-48175)</p> <p>(22) 出願日 平成20年2月28日(2008.2.28)</p> <p>(65) 公開番号 特開2009-206941 (P2009-206941A)</p> <p>(43) 公開日 平成21年9月10日(2009.9.10)</p> <p>審査請求日 平成23年2月28日(2011.2.28)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号</p> <p>(74) 代理人 100126240 弁理士 阿部 琢磨</p> <p>(74) 代理人 100124442 弁理士 黒岩 創吾</p> <p>(72) 発明者 山崎 和男 東京都大田区下丸子3丁目30番2号キヤノン株式会社内</p> <p>審査官 鈴木 肇</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 撮像装置及び撮像装置を用いた撮像システム

(57) 【特許請求の範囲】

【請求項1】

1つの光電変換素子を含む画素が2次元に配列した画素領域を有し、
各前記画素に1つの色に対応して配された複数の色のカラーフィルタを有する撮像装置であって、

前記光電変換素子にて生じた電荷が転送される浮遊拡散領域と、
前記浮遊拡散領域の電位に基づく信号を出力する増幅MOSトランジスタと、ウェルコンタクトが配された第1の画素と、

前記第1の画素を含む第1の画素列に配された、前記ウェルコンタクトに電気的に接続し、第1の電圧が供給された第1の配線と、を有し、

前記第1の画素と同一の色のカラーフィルタが配され、前記ウェルコンタクトが配されない、前記第1の画素列とは異なる第2の画素列に含まれる第2の画素と、

前記第2の画素列に配され、前記第1の電圧が供給された第2の配線と、を有することを特徴とする撮像装置。

【請求項2】

前記第1の配線は、前記第1の画素の浮遊拡散領域あるいは前記第1の画素の増幅MOSトランジスタのゲート電極の上部に配され、

前記第2の配線は、前記第2の画素の浮遊拡散領域あるいは前記第2の画素の増幅MOSトランジスタのゲート電極の上部に配されていることを特徴とする請求項1に記載の撮像装置。

【請求項 3】

前記カラーフィルタはバイヤー配列であって、
前記同一の色は青であることを特徴とする請求項 1 あるいは 2 に記載の撮像装置。

【請求項 4】

前記第 2 の画素は前記第 1 の画素と同一の行に配されたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 1 の画素列と前記第 2 の画素列との間に第 3 の画素列を有し、
前記第 3 の画素列には、前記増幅 MOS トランジスタのソースあるいはドレインと電気的に接続する、第 3 の配線を有し、

前記第 3 の配線は、前記第 1 の画素もしくは前記第 2 の画素の前記増幅 MOS トランジスタのソースあるいはドレインに第 2 の電圧を供給していることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記増幅 MOS トランジスタは、複数の前記光電変換素子からの電荷に基づく信号を出力することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記浮遊拡散領域は、複数の前記光電変換素子からの電荷に基づく信号が転送されることを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

1 つの光電変換素子を含む 1 つの画素が 2 次元に配列した画素領域を有する撮像装置であって、

前記光電変換素子にて生じた電荷が転送される浮遊拡散領域と、
前記浮遊拡散領域の電位に基づく信号を出力する増幅 MOS トランジスタと、ウェルコンタクトが配された第 1 の画素と、

前記第 1 の画素を含む第 1 の画素列に配され、前記ウェルコンタクトに電気的に接続し、第 1 の電圧が供給された第 1 の配線と、を有し、

前記第 1 の画素列とは異なる第 2 の画素列に含まれ、前記第 1 の画素に隣接する、前記ウェルコンタクトが配されない第 2 の画素と、

前記第 2 の画素列に配され、前記第 1 の電圧が供給された第 2 の配線と、を有することを特徴とする撮像装置。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の撮像装置と、

前記撮像装置からの出力信号を処理する信号処理回路と、を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ウェルコンタクトを有する増幅型の撮像装置に関する。

【背景技術】

【0002】

撮像装置は、デジタルカメラなどの数多くの画像入力装置に用いられている。この撮像装置の代表的な種類として、CCD 型や MOS 型などが挙げられる。

【0003】

特許文献 1 には、MOS 型の撮像装置において、出力信号に生じるシェーディングを低減するためにウェルに基準電圧を供給するためのウェルコンタクトを、画素配列エリアの内側に複数設ける技術が開示されている。

【特許文献 1】特開 2001 - 230400 号

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 4 】

しかしながら、特許文献 1 に記載の構成において画素の微細化を進めると、ウェルコンタクトを設けるための面積が必要となるため、光電変換素子の面積が小さくなり感度が低下してしまう。

【 0 0 0 5 】

このような感度低下を抑制するために、複数の画素のうち、1つの画素にウェルコンタクトを設ける方法がある。しかし、この方法においては、ウェルコンタクトを設けた画素が他の画素に比べて感度が低下するなど、補正を行う必要が生じてしまう。

【 0 0 0 6 】

この時、ウェルコンタクトに電圧を供給する配線が配置される画素列あるいは画素行の画素は、配線が配置されていない画素列あるいは画素行の画素とは増幅部の容量が異なるため感度が異なってしまう。この様な異なる感度の画素を用いて、ウェルコンタクトを設けた画素の補正を行うことは困難である。

10

【 0 0 0 7 】

また、ウェルコンタクトに電圧を供給する配線が配置される画素列あるいは画素行の画素と、配線が配されていない画素列あるいは画素行の画素とで感度が異なってしまうと、出力段差が線状のノイズとなって現れてしまう場合がある。

【 0 0 0 8 】

また、画素列あるいは画素行によって配線数が変わるため、光電変換素子の開口が、画素列あるいは画素行によって変わってしまう可能性がある。

20

【 0 0 0 9 】

そこで、本発明においては、複数の画素に対して1つの画素にウェルコンタクトを設ける撮像装置において、そのウェルコンタクトを設けた画素の補正を容易にすることを目的とする。また、線状のノイズを低減することを目的とする。また、画素の開口を均一にすることを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明は、1つの光電変換素子を含む画素が2次元に配列した画素領域を有し、各前記画素に1つの色に対応して配された複数の色のカラーフィルタを有する撮像装置であって、前記光電変換素子にて生じた電荷が転送される浮遊拡散領域と、前記浮遊拡散領域の電位に基づく信号を出力する増幅MOSトランジスタと、ウェルコンタクトが配された第1の画素と、前記第1の画素を含む第1の画素列に配された、前記ウェルコンタクトに電氣的に接続し、第1の電圧が供給された第1の配線と、を有し、前記第1の画素と同一の色のカラーフィルタが配され、前記ウェルコンタクトが配されない、前記第1の画素列とは異なる第2の画素列に含まれる第2の画素と、前記第2の画素列に配され、前記第1の電圧が供給された第2の配線と、を有することを特徴とする。

30

【 0 0 1 1 】

また、本発明は、1つの光電変換素子を含む1つの画素が2次元に配列した画素領域を有する撮像装置であって、前記光電変換素子にて生じた電荷が転送される浮遊拡散領域と、前記浮遊拡散領域の電位に基づく信号を出力する増幅MOSトランジスタと、ウェルコンタクトが配された第1の画素と、前記第1の画素を含む第1の画素列に配され、前記ウェルコンタクトに電氣的に接続し、第1の電圧が供給された第1の配線と、を有し、前記第1の画素列とは異なる第2の画素列に含まれ、前記第1の画素に隣接する、前記ウェルコンタクトが配されない第2の画素と、前記第2の画素列に配され、前記第1の電圧が供給された第2の配線と、を有することを特徴とする。

40

【発明の効果】

【 0 0 1 2 】

本発明によれば、ウェルコンタクトを配置した画素の補正が容易となる。また、線状のノイズの低減が可能となる。また、画素の開口を均一にすることが可能となる。

【発明を実施するための最良の形態】

50

【 0 0 1 3 】

本発明は、増幅型の撮像装置において、第1の配線によって電圧が供給されるウェルコンタクトを有する第1の画素と、第1の画素に近接したウェルコンタクトを有さない第2の画素に、第2の配線を配する構成である。このように、第2の画素にも第2の配線を配することで、第1の画素と第2の画素の配線によるカップリングの影響の差が小さくなる。よって、配線による第1の画素と第2の画素の出力差が小さくなり、第1の画素の補正が容易となる。また、第1の画素を含む第1の画素列と第2の画素を含む第2の画素列との出力段差が低減され、線状の出力段差を低減することが可能となる。また、第1の画素列と第2の画素列との開口が均一となる。

【 0 0 1 4 】

ここで、画素とは1つの光電変換素子に対応した最小単位であり、周期的に区切られた領域である。複数の画素が2次元に配列された領域を画素領域と称する。なお、光電変換素子から電荷を読み出すためのトランジスタなどは、2つの光電変換素子に共有される場合もあるため、画素に渡って配置されている場合がある。

【 0 0 1 5 】

ウェルコンタクトとは、画素のベースとなるウェルや増幅機能を有する素子のウェルの変動を低減するために設けられるコンタクトのことである。増幅機能を有する素子とは、例えば、増幅MOSトランジスタである。この増幅MOSトランジスタのウェルの電位が画素領域の場所によって異なると、増幅MOSトランジスタの出力に変動が生じてしまう場合がある。このウェルの電位を固定するために設けられる電圧供給構造をウェルコンタクトと称する。ここで、増幅MOSトランジスタのウェルは、ソース及びドレインが形成される一様な半導体領域で構成されていても、ゲート電極下のポテンシャルバリアといった部分的な半導体領域によって構成されていてもよい。

【 0 0 1 6 】

以下に、本発明の具体的な実施の形態について、図面を参照して説明する。

【 0 0 1 7 】

(第1の実施形態)

第1の実施形態を図1及び図2を用いて説明する。図1(A)は画素領域の概念図であり、例えば1800画素×1200画素が配列した216万画素の配列を示している。101は200画素×200画素の配列を示したものであり、この一部101毎に1つのウェルコンタクトを有している。102は画素領域の外周部に配置した、画素領域のウェルの電位を固定するためのウェル固定領域である。

【 0 0 1 8 】

図1(B)は、図1(A)の一部101のウェルコンタクトを有する画素を含む範囲を拡大した平面模式図であり、5画素×5画素の配列を示している。特定の配線以外は簡略のため図示及び説明を省略するが、各画素に対して同様に配置されていることを前提とする。図1(B)のx方向は画素行方向であり、y方向は画素列方向である。

【 0 0 1 9 】

1-1~5-5は画素であり、例えば1-1とは1行目の1列目の画素を意味しており、画素の外縁を108で示す。本実施形態の撮像装置はベイヤー配列のカラーフィルタを有しており、図1(B)の符号Bは青、符号Gr及びGbは緑、及び符号Rは赤のカラーフィルタに対応する画素であることを示している。以降、簡単のため青画素、緑画素及び赤画素と称する。110はウェルコンタクトであり、3-3はウェルコンタクトを配置した第1の画素である。各画素の構成については後に図2を用いて詳述する。図1(B)の105は第1の画素のウェルコンタクトに電氣的に接続する、第1の電圧が供給された第1の配線である。本実施形態において、第1の電圧とはGNDであり、ウェルはGNDに固定される。このウェルコンタクトを配することで、第1の画素の光電変換素子の受光面積が減少し、感度や飽和電荷量等の特性が低下してしまうため、第1の画素の補正が必要となる。

【 0 0 2 0 】

この第1の画素の補正に用いることが可能な画素を第2の画素とする。第2の画素は、第1の画素に出来るだけ近い特性を有する、隣接した画素を用いることが望ましい。本実施形態では、第2の画素とは第1の画素と同一の画素行に配された、隣り合う同色の画素である。具体的には、第1の画素3-3に対して第2の画素となりうる画素は画素3-1及び3-5である。もし第1の画素が画素2-3の場合には、第2の画素となりうる画素は画素2-1及び2-5となる。この第2の画素は1つでも複数でもよい。また、第2の画素は第1の画素の補正に使われるため、ウェルコンタクトが配置されないことが望まれる。

【0021】

本実施形態では、この第2の画素の特性を第1の画素に近づけるため、第2の画素に第2の配線を設けている。第2の配線は、例えば103、107である。第2の配線には第1の配線に供給される電圧が供給されている。このように第2の画素に第2の配線を設けることで、第1の配線が第1の画素に及ぼす影響、例えば容量カップリングの影響を第2の画素にも同様に与えることが可能となる。従って、第1の画素と第2の画素との特性差を小さくすることが可能となる。

10

【0022】

また、本実施形態では、第2の画素を含む画素列以外にも第2の配線を配している。このような構成によって、第1の画素列と第2の画素列とその他の画素列との出力差をより目立たないものにするのが可能となる。また、画素の開口を均一にすることが可能となる。

20

【0023】

次に、図2を用いて画素の構成について説明しながら、配線による容量変化について説明する。図2は、図1(B)の画素3-1、3-3、5-1、5-3の4つの画素を抜き出した図である。図2(A)はその4つの画素を拡大した平面模式図であり、図2(B)はそれに対応した等価回路図である。図2におけるMOSトランジスタは全てN型であり、駆動配線PRES3、PTX3、PSEL3、PRES5s、PTX5、PSEL5によってゲート電極がHiレベルとなることでオン状態となるものとする。ここで、図2(A)では図1と同様に特定方向の配線を図示し、その他の配線は省略する。

【0024】

図2(A)及び(B)において、201は光電変換素子であり、202は転送MOSトランジスタ、203はリセットMOSトランジスタ、204は増幅MOSトランジスタ、205は選択MOSトランジスタである。増幅MOSトランジスタ204はソースフォロア回路を構成する。206は半導体領域であり、207は増幅MOSトランジスタのゲート電極と半導体領域206とを接続する接続配線である。転送MOSトランジスタによって光電変換素子201から半導体領域206に電荷が転送され、電荷に基づく信号が増幅MOSトランジスタ204、選択MOSトランジスタを介して信号線V1あるいはV2に出力される。リセットMOSトランジスタ203は増幅MOSトランジスタ204の入力段のリセット(所定電位に設定する動作)を行う。増幅MOSトランジスタ204のゲート電極と同じノードの部分はソースフォロア回路の入力段となる。具体的に、入力段となるのは、増幅MOSトランジスタ204のゲート電極、半導体領域206、転送MOSトランジスタ及びリセットMOSトランジスタのドレイン、半導体領域206と接続配線207等である。

30

40

【0025】

ここで半導体領域206は光電変換素子201の電荷を電圧に変換する電荷変換部であり浮遊拡散領域(以下FD領域)とも称する。この電荷電圧変換の際に、半導体領域206の容量が電荷電圧変換の効率を決める。従って、半導体領域206の容量の変化は効率が変化してしまうため、出力信号に変化を生じさせてしまう。

【0026】

具体的には、光電変換素子201で発生した信号を転送MOSトランジスタ202を介して半導体領域206へと読み出した時、この半導体領域206の電圧変化 V は半導体

50

領域 206 の容量 (FD 領域容量) を C_{fd} とした場合、 $V = Q / C_{fd}$ となる。そして、電圧変化 V を信号として増幅 MOS トランジスタ 204 を介して信号線 V1 あるいは V2 へと出力する。従って、容量 C_{fd} によって同一の電荷量でも電圧変化 V が変化してしまう。

【0027】

ここで、半導体領域 206 は、増幅 MOS トランジスタのゲート電極、転送 MOS トランジスタ及びリセット MOS トランジスタのドレイン、半導体領域 206 と増幅 MOS トランジスタのゲート電極との接続配線 207 と接続している。よって、半導体領域 206 の容量 C_{fd} は増幅 MOS トランジスタのゲート電極、転送 MOS トランジスタ及びリセット MOS トランジスタのドレイン、接続配線 207 の容量も含む。更に、容量 C_{fd} は、それらの素子とその上部に配された配線とのカップリング容量を含む。特に、上部は直上でない場合を含む。つまり、容量 C_{fd} は配線の有無で配線によるカップリング容量分が変化し、出力信号も変化してしまう。

10

【0028】

そこで、第 1 の画素 3-3 に配された第 1 の配線 105 に対応して、第 2 の画素、例えば画素 3-1 含まれる第 2 の画素列に第 2 の配線 103 を配した。このような構成によって、第 1 の画素と第 2 の画素の配線とのカップリングによる容量 C_{fd} の差を低減させることが可能となった。

【0029】

ここで、単純にカップリング容量を均一にするならば、第 1 の配線 105 と第 2 の配線 103 とは異なる電源電圧に接続されていても良い。しかし、ノイズやクロック等によって配線電位は変動し、その変動量や回復時間は元々の配線の電位によって異なってしまう。従って、第 2 の配線 103 は第 1 の配線 105 と同じ電圧が供給される配線であることが望ましい。

20

【0030】

以上のように、第 1 の画素と同色のカラーフィルタを有し、第 1 の画素と同一の画素行の第 2 の画素上に、第 1 の配線と同じ第 1 の電圧が供給された第 2 の配線を有することで、第 1 の画素と第 2 の画素との出力差を抑制し、補正をより容易にすることを可能とした。

【0031】

本実施形態では、補正に用いた第 2 の画素として画素 3-1 のみを用いて説明を行ったが、補正の精度をあげるために画素 3-5 を用いてもよい。

30

【0032】

ここで、第 1 の画素と同一の画素行の画素を第 2 の画素としているが、異なる画素行の画素でもよい。しかしながら、信号を画素行ごとに読み出す撮像装置の場合には、信号を保持するメモリが必要となり、回路規模が大きくなってしまう。従って、このような撮像装置の場合には、第 1 の画素と第 2 の画素とは同一の画素行であると好ましい。

【0033】

また、配線のカップリング容量については、特に、配線が素子の直上に配された場合に最大となる。具体的には、増幅 MOS トランジスタのゲート電極上や接続配線 207 上に配線が配された場合、配線が最も素子に近接するためカップリングの影響が大きくなる。従って、第 1 の配線が増幅 MOS トランジスタのゲート電極上に配された場合には、第 2 の配線を配置することがより好ましい。

40

【0034】

また、撮像装置には、基準信号を得るための遮光膜にて遮光された遮光画素があり、遮光画素に第 2 の配線によって電圧が供給されるウェルコンタクトが配されていてもよい。遮光画素であれば、ウェルコンタクトによって光電変換素子の受光面積が小さくなったとしても、画像に大きな影響を与えないため、ウェルコンタクトを配してもよい。

【0035】

更には、第 1 の画素の補正を行わなかった場合においても、第 2 の画素に第 2 の配線を

50

配してもよい。第1の配線を第1の画素列にのみ配することによって生じる出力段差や開口の不均一等による線状のノイズを低減することが可能となる。

【0036】

本実施形態では、更に第2の画素を含む第2の画素列以外にも第2の配線を配している。このような構成によって、第1の画素列だけでなく、第2の画素列とその他の画素列との出力差を目立たないものにすることが可能となる。従って、線状のノイズをより低減することが可能となる。

【0037】

(第2の実施形態)

第2の実施形態について、図3を用いて説明する。図3(A)は画素領域の平面模式図であり、図3(B)は画素の回路を示したものである。図3(A)は、第1の実施形態を説明する図1(B)に対応し、図3(B)は図2(B)に対応し、共通の素子に関しては同一符号を付し説明を省略する。

10

【0038】

本実施形態の第1の実施形態と異なる点は、第1の画素3-3を含む第1の画素列と第2の画素3-1を含む第2の画素列との間の、第3の画素3-2を含む第3の画素列に、第3の配線301が配される点である。この第3の配線には、第1の電圧とは異なる第2の電圧が供給される。図1(B)では第3の配線は省略され各画素列(各画素)に配されていたが(不図示)、本実施形態では2画素列で第3の配線の共有化がなされている。このような構成によって、各画素列に必要な配線の数を削減することが可能となる。配線数が削減されることによって、配線レイアウトの自由度が向上し、光電変換素子の開口を広げることができるため、光電変換素子への入射効率を向上させることが可能となる。また、画素の開口を均一にすることが可能となる。

20

【0039】

図3(B)に等価回路を示す。図3(B)は図3(A)の画素3-2、3-3、2-2、2-3を抜粋した回路図である。配線303を有することで画素3-2を有する画素列に沿って配された第3の配線VDD(301)から画素3-3を有する画素列へ電圧を供給している(図3(A)では不図示)。ソースフォロア回路を構成する増幅MOSトランジスタの駆動電圧であり、増幅MOSトランジスタの入力部をリセットするためのリセット電圧である例えば、電源電圧(VDD)を第3の配線は供給する。

30

【0040】

ここで、第1の配線及び第2の配線と第3の配線とに供給される電圧が異なるため、ノイズ等による配線電位の変動量や元の電位に戻る時間が異なってしまう可能性がある。しかし、赤に応じた画素3-1、3-3、3-5には第1の配線103、及び第2の配線105、107が配されており、青に応じた画素3-2、3-4には第3の配線301、302が配されている。つまり、同色の色画素には同一の電圧が供給された配線が配されている。従って、画素3-1もしくは画素3-5を使用して画素3-3の補正を行う場合にも、容易に補正を行うことが可能となる。

【0041】

(第3の実施形態)

第3の実施形態を、図4を用いて説明する。図4は図1(B)と同様な画素領域の平面模式図である。本実施形態の第1の実施形態と異なる部分は、第1の配線105を画素行方向に配していることである。本実施形態のように第1の実施形態から行方向と列方向とを入れ替えてもよい。

40

【0042】

ここで、第1の配線105を画素行方向にした場合、第1の画素3-3の補正は同一の画素行の画素3-1や画素3-5を用いて行うことが出来る。しかし、第1の配線105のみが配された状態では、画素3-3を含む画素行の出力が他の画素行と異なってしまう。そこで、第1の配線と等しい第1の電圧を供給する第2の配線103、104、106及び107を画素行方向に配している。このように、更に第2の配線を配することで、第

50

1の画素の補正のみではなく、画素3-3を含む画素行の出力差を別の画素行を用いて補正することが可能となる。

【0043】

また、ここで、第1の画素3-3に対する第2の画素として画素1-3や5-3を用いることも可能である。この場合においても、第1の画素と第2の画素との間に出力差が生じてしまうため、第2の配線103や107を配することが望ましい。しかし、信号を画素行ごとに読み出す構成においては、第1の画素と異なる画素行の画素の信号を保持するためのメモリが必要となってしまうため、第2の画素は第1の画素と同じ画素行にあることが好ましい。

【0044】

(第4の実施形態)

第4の実施形態を、図5を用いて説明する。図5は図1(B)と同様な画素領域の平面模式図である。本実施形態の第1の実施形態と異なる部分は、ウェルコンタクトが配置される第1の画素3-3の対応するカラーフィルタの色である。第1の実施形態では赤画素にウェルコンタクトを配していたが、本実施形態では青画素3-3にウェルコンタクトを配している。

【0045】

ベイヤー配列のカラーフィルタを有する撮像装置において、緑のカラーフィルタが配された画素(緑画素)が他の色のカラーフィルタ(青画素及び赤画素)が配された画素よりも感度が高い傾向がある。従って、3原色を含む白色光を照射した際には、緑画素が青画素や赤画素よりも早く飽和する。具体的には、光電変換素子の飽和レベルを1Vとし、白色光を照射すると、緑画素が飽和(1V)に達した時に青画素は700mV、赤画素は800mVとなり、青画素と赤画素はまだ飽和レベルには達していない。つまり、緑画素が飽和の時点で白という認識になるので、青画素や赤画素の飽和レベルとの差分300mVと200mV分は使用しなくてもよいことになる。従って、ウェルコンタクトは緑画素に配置するよりも赤画素、更には青画素に配置することが望ましい。

【0046】

ウェルコンタクトを配置する画素を赤画素もしくは青画素とすることでウェルコンタクトを配置したことによる性能劣化を低減し、補正がより容易となり、良好な画像を得ることが可能となる。また、補正を行わない場合においても良好な画質を得ることが可能となる。

【0047】

(第5の実施形態)

第5の実施形態について図6を用いて説明する。本実施形態は図3に示す第2の実施形態と画素の回路構成が異なる構成を有する。2つの光電変換素子が増幅MOSトランジスタとリセットMOSトランジスタとを共有化している。図6(A)は図3(A)と同様な画素領域の平面模式図であり、図6(B)は図3(B)と同様な画素回路図である。同様の機能を有する構成には同じ符号を付し、説明を省略する。

【0048】

図6(A)及び図6(B)において、601は単位セルであり、この単位セル601が2次元に配されている。単位セル601は、2つの光電変換素子と増幅MOSトランジスタ204とリセットMOSトランジスタ203とを含む。言い換えると、1つの単位セルは2つの画素を含むともいえる。単位セル601では、2つの半導体領域206が1つの増幅MOSトランジスタ204に接続されている。本実施形態では、図6(A)に示すように半導体領域206は接続配線207によって接続されているが、半導体領域によって接続(同一の半導体領域)されていてもよい。このような回路構成によって、画素の素子を削減することが可能となるため、光電変換素子の面積を維持したまま画素の縮小を行うことも、画素の大きさを維持したまま光電変換素子の面積を大きくすることも可能となる。

【0049】

10

20

30

40

50

しかし、このような回路構成においては、接続配線207が長くなるなど容量 C_{fd} に含まれる素子と、第1の配線105(GND)とのカップリングが生じやすい。半導体領域206によって接続される場合も、半導体領域206の面積が大きくなるため、第1の配線105(GND)とのカップリングが生じやすい。従って、本実施形態のような画素構成においては、第2の実施形態に比べて第1の配線105(GND)による容量 C_{fd} への影響が大きくなる。従って、第2の配線(配線103あるいは配線107、VDD)を設けることがより望まれる。

【0050】

(撮像システムへの適用)

本実施形態では、第1の実施形態から第5の実施形態までで説明してきた撮像装置を撮像システムに適用した場合について、図7を用いて説明する。撮像システムとは、デジタルスチルカメラやデジタルビデオカメラや携帯電話用デジタルカメラである。

【0051】

図7はデジタルスチルカメラの構成図である。被写体の光学像は、レンズ802等を含む光学系によって撮像装置(光電変換装置)804の撮像面に結像される。レンズ802の外側には、レンズ802のプロテクト機能とメインスイッチを兼ねるバリア801が設けられうる。レンズ802には、それから出射される光の光量を調節するための絞り803が設けられうる。光電変換装置804から複数チャンネルで出力される撮像信号は、撮像信号処理回路805によって、各種の補正、クランプ等の処理が施される。撮像信号処理回路805から複数チャンネルで出力される撮像信号は、A/D変換器806でアナログ-デジタル変換される。A/D変換器806から出力される画像データは、信号処理部(画像処理部)807によって各種の補正、データ圧縮などがなされる。光電変換装置804、撮像信号処理回路805、A/D変換器806及び信号処理部807は、タイミング発生部808が発生するタイミング信号にしたがって動作する。

【0052】

805から808は、光電変換装置804と同一チップ上に形成されてもよい。また、各ブロックは、全体制御・演算部809によって制御される。その他、画像データを一時的に記憶するためのメモリ部810、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部811を備える。記録媒体812は、半導体メモリ等を含んで構成され、着脱が可能である。さらに、外部コンピュータ等と通信するための外部インターフェース(I/F)部813を備えてもよい。

【0053】

次に、図7の動作について説明する。バリア801のオープンに応じて、メイン電源、コントロール系の電源、A/D変換器806等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部809が絞り803を開放にする。光電変換装置804から出力された信号は、撮像信号処理回路805をスルーしてA/D変換器806へ提供される。A/D変換器806は、その信号をA/D変換して信号処理部807に出力する。信号処理部807は、そのデータを処理して全体制御・演算部809に提供し、全体制御・演算部809において露出量を決定する演算を行う。全体制御・演算部809は、決定した露出量に基づいて絞りを制御する。

【0054】

次に、全体制御・演算部809は、光電変換装置804から出力され信号処理部807で処理された信号の中から高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ802を駆動して、合焦か否かを判断する。合焦していないと判断したときは、再びレンズ802を駆動し、距離を演算する。

【0055】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、光電変換装置804から出力された撮像信号は、撮像信号処理回路805において補正等がされ、A/D変換器806でA/D変換され、信号処理部807で処理される。信号処理部807で処理された画像データは、全体制御・演算部809によりメモリ部810に蓄積される。

10

20

30

40

50

【 0 0 5 6 】

その後、メモリ部 8 1 0 に蓄積された画像データは、全体制御・演算部 8 0 9 の制御により記録媒体制御 I / F 部を介して記録媒体 8 1 2 に記録される。また、画像データは、外部 I / F 部 8 1 3 を通してコンピュータ等に提供されて処理される。

【 0 0 5 7 】

以上述べてきたように、本発明の構成によって、ウェルコンタクトを配置した画素の補正が容易となる。この画素の補正は、撮像信号処理回路 8 0 5 や信号処理部 8 0 7 など任意の場所で行われ、本発明の構成によって必要なメモリの削減や容易な演算が可能となる。

【 0 0 5 8 】

本発明の説明においては、ウェルコンタクトを光電変換素子と同一の活性領域上に配置した構成を用いたが、フィールド酸化膜を用いて分離された別の活性領域に配置してもよい。また、ウェルコンタクトを取る画素は本実施形態の色に限らなくてもよく、カラーフィルタを有さないモノクロ用の撮像装置においても適用可能である。

【 0 0 5 9 】

また、ベイア - 配列のカラーフィルタの G r と G b とを別の特性の画素として説明を行ったが、G r と G b とは同じ緑であることから、第 1 の画素が G r に対応する画素であった場合に第 2 の画素として G b に対応する画素を用いてもよい。

【 0 0 6 0 】

なお、各実施形態の構成は互いに組み合わせて用いることが可能である。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 (A) 第 1 の実施形態を示す画素領域の平面模式図、(B) 第 1 の実施形態を示す画素領域の平面模式図。

【 図 2 】 (A) 第 1 の実施形態を説明する画素領域の平面模式図、(B) 第 1 の実施形態を説明する画素領域の等価回路図。

【 図 3 】 (A) 第 2 の実施形態を説明する画素領域の平面模式図 (B) 第 2 の実施形態を説明する画素領域の等価回路図。

【 図 4 】 第 3 の実施形態を説明する画素領域の平面模式図。

【 図 5 】 第 4 の実施形態を説明する画素領域の平面模式図。

【 図 6 】 第 5 の実施形態を説明する画素領域の平面模式図。

【 図 7 】 撮像システムを説明するブロック図。

【 符号の説明 】

【 0 0 6 2 】

1 0 1 2 0 0 画素 × 2 0 0 画素の配列

1 0 2 ウェル固定領域

1 - 1 ~ 5 - 5 画素

1 1 0 ウェルコンタクト

1 0 5 第 1 の配線

1 0 3、1 0 4、1 0 6、1 0 7 第 2 の配線

1 0 8 画素の外縁

2 0 1 光電変換素子

2 0 2 転送 M O S トランジスタ

2 0 3 リセット M O S トランジスタ

2 0 4 増幅 M O S トランジスタ

2 0 5 選択 M O S トランジスタ

2 0 6 半導体領域

2 0 7 接続配線

V 1、V 2 信号線

3 0 1、3 0 2 第 3 の配線

10

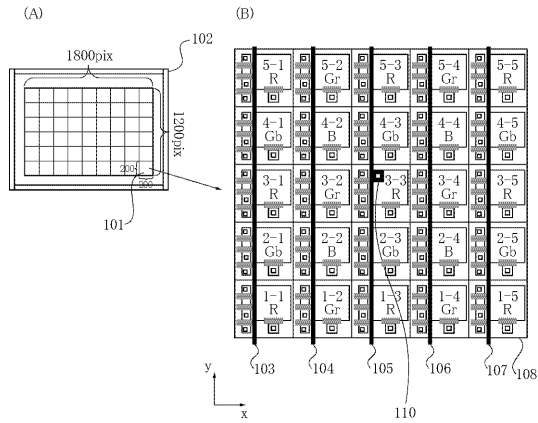
20

30

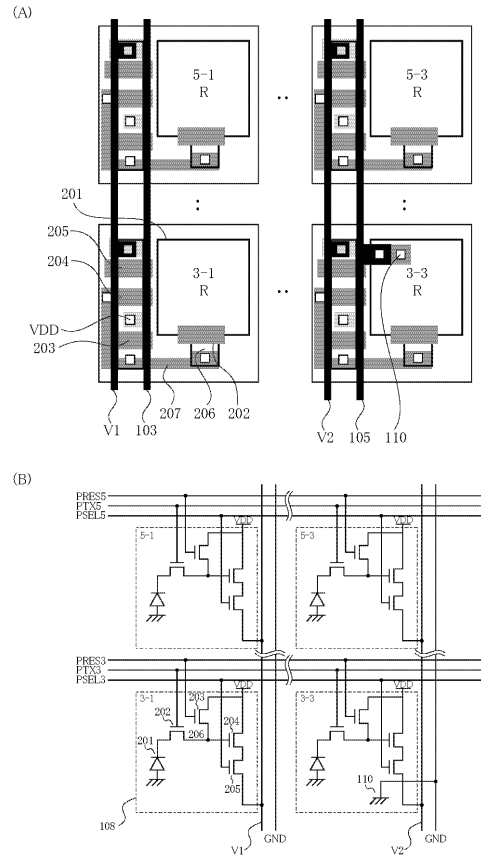
40

50

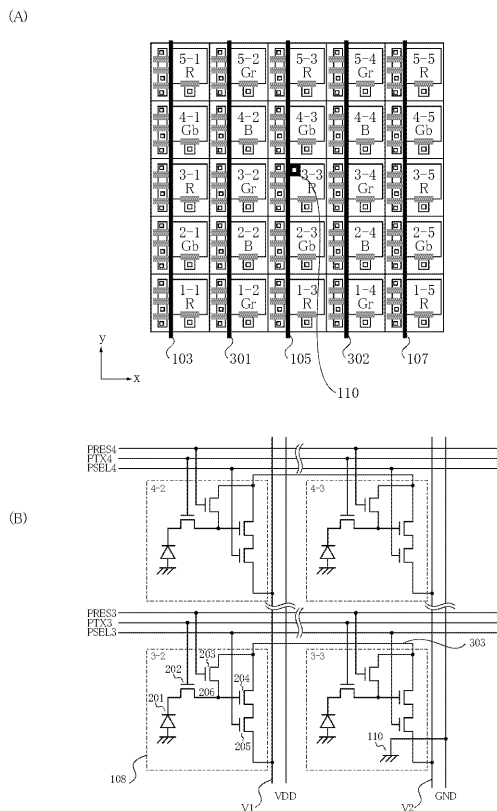
【図1】



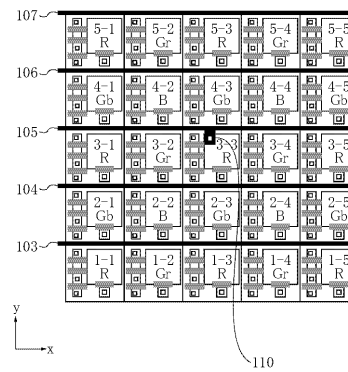
【図2】



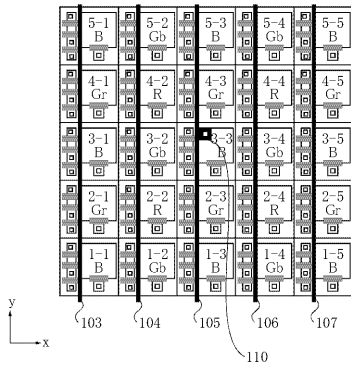
【図3】



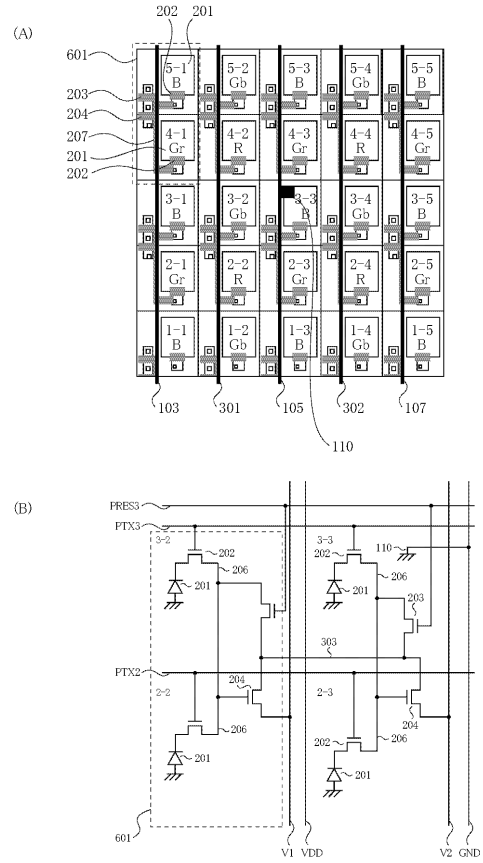
【図4】



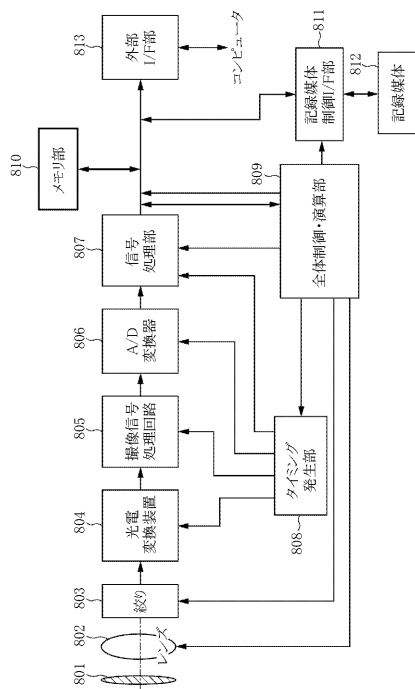
【図5】



【図6】



【図7】



フロントページの続き

- (56)参考文献 特開2001-230400(JP,A)
特開2007-095917(JP,A)
特開2006-080937(JP,A)
特開2005-142251(JP,A)
特開2007-243094(JP,A)
特開2001-332714(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762