

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4166013号
(P4166013)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl. F I
H O 1 G 4/33 (2006.01) H O 1 G 4/06 1 0 2

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2001-394512 (P2001-394512)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成13年12月26日(2001.12.26)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2003-197463 (P2003-197463A)	(74) 代理人	100099759 弁理士 青木 篤
(43) 公開日	平成15年7月11日(2003.7.11)		
審査請求日	平成16年11月24日(2004.11.24)	(74) 代理人	100119987 弁理士 伊坪 公一
前置審査		(74) 代理人	100081330 弁理士 樋口 外治
		(74) 代理人	100141254 弁理士 榎原 正巳
		(74) 代理人	100113826 弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 薄膜キャパシタ製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板上に、誘電体層を下部電極層と上部電極層とで挟み込んだキャパシタ構造体を形成し、そして下部電極層及び上部電極層のおおのに接続する導体部材を形成し、下部電極に接続する導体部材は下部電極の側面又は上面に接続することにより薄膜キャパシタを製造する方法であって、絶縁性基板上に下部電極膜、誘電体膜、及び上部電極膜を順次形成後に、

(a) 下部電極層を貫通する導体部材がある場合は、上部電極膜上に形成したレジストパターンをマスクに、上部電極膜、誘電体膜及び下部電極膜をイオンミリング法で一括してパターンニング加工することにより上部電極層、誘電体層及び下部電極層を形成し、

(b) 下部電極層を貫通する導体部材がない場合は、上部電極膜上に形成したレジストパターンをマスクに、上部電極膜及び誘電体膜をイオンミリング法で一括してパターンニング加工することにより上部電極層及び誘電体層を形成し、

そしてこのイオンミリング法でのパターンニング加工を、少なくとも当該誘電体層の側面に対し、導体部材による下部電極層と上部電極層との短絡を防ぐのに十分な傾斜を与えるように行うことを特徴とする薄膜キャパシタ製造方法。

【請求項2】

前記誘電体層に対し、前記下部電極層に接続する前記導通部材に隣接する前記誘電体層の縦断面における、当該導通部材に対向する底辺の先端と上辺の先端との水平方向距離が3 μm以上となる傾斜を与える、請求項1記載の薄膜キャパシタ製造方法。

【請求項 3】

前記イオンリング法によるパターニング加工を、パターニングすべき膜を備えた前記基板の表面に対する照射角度を45度以下としてイオンビームを照射して行う、請求項1又は2記載の薄膜キャパシタ製造方法。

【請求項 4】

前記下部電極膜、誘電体膜及び上部電極膜の形成を同一の装置において連続して行う、請求項1～3のいずれか1つに記載の薄膜キャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜キャパシタ（コンデンサ）に関する。より詳しく言えば、本発明は、高速動作デジタルLSIの高周波領域（GHz帯）での安定した動作を可能にするような薄膜キャパシタに関する。

【0002】

【従来の技術】

近年、マイクロプロセッサをはじめとするデジタルLSI（大規模集積回路）の高速化と低消費電力化により、LSIの負荷インピーダンスが急激に変動したときなどに電源電圧の変動を押さえ、スイッチングノイズを減少させて、高速動作デジタルLSIの高周波領域での動作を安定させるためのデカップリングキャパシタ（デカップリングコンデンサ又はバイパスコンデンサとも呼ばれる）の性能向上が望まれている。

【0003】

従来の回路配線基板では、電源電圧変動及び基板内の高周波ノイズによるLSI誤動作防止対策のために、デカップリングキャパシタとして、チップキャパシタをLSIチップ近傍に実装している。ところが、この場合、基板内でのチップキャパシタとLSIチップの間での配線の引き回しが必要になり、そして配線引き回しのためのリード間でのインダクタンスの存在することから、チップキャパシタによる高速動作LSIに対しての電源電圧変動の抑止及び高周波リップル吸収の効果は薄れてくる。

【0004】

電圧変動を抑えるためにキャパシタに求められることは、等価直列抵抗（ESR）、等価直列インダクタンス（ESL）の低減である。特に、配線の引き回しによるインダクタンスの増加は、デカップリングキャパシタの高周波特性を妨げている。インダクタンスの低減は、LSI近傍にキャパシタを配置し、LSI電源及びグランド端子からキャパシタまでの配線引き回しを最短にすることにより可能となる。そこで、セラミック回路基板上に誘電体薄膜キャパシタを形成してインダクタンスを低減することにより、電源系に対するノイズの低減を実現することが提案されている（特開平4-211191号公報）。また、ビアホールを有する支持基板上に形成された薄膜型キャパシタの上面パッドをLSIに、そして下面パッドは回路基板に接続（すなわち、LSIとそれを搭載する回路基板との間にキャパシタを挿入）して、インダクタンスを低減することも提案されている（特開平7-176453号公報）。

【0005】

薄膜型キャパシタの従来の一般的な製造方法を、図1～2を参照して説明する。図1（a）に示したように、シリコンなどのベース基板1上に下部電極膜を成膜し、加工成形（エッチングによるパターニング）処理して下部電極2を形成する（ここで製造を説明する薄膜型キャパシタの場合、下部電極膜の加工成形はこの図に示した領域内では行っていない）。下部電極2の上に、誘電体薄膜3を成膜し（図1（b））、加工成形処理して誘電体層3aを形成する（図1（c））。次に、上部電極膜4を成膜（図1（d））し、成形加工して上部電極4aを形成する（図1（e））。絶縁膜5を成膜後、パターニングして、下部電極2及び上部電極4aにそれぞれ通じる開口6、7を形成する（図1（f））。続いて、図2（a）に示したように、絶縁膜5の上にレジストパターン8を形成し、めっき法により開口6、7内に導体を充填し、パッド9を形成する（図2（b））。レジストパ

10

20

30

40

50

ターン 8 を除去後、パッド 9 の上にはんだバンプ 10 を形成 (図 2 (c)) して、薄膜キャパシタを得る。

【 0 0 0 6 】

【 発明が解決しようとする課題 】

この方法では、キャパシタを構成する下部電極膜、誘電体薄膜及び上部電極膜を成膜するたびに、それらをおのおの加工する工程が入るため、電極と誘電体との界面にゴミなどの不純物やパーティクルが付着する機会が多い。そのため、この方法は、信頼性の高い薄膜キャパシタを提供するのに難がある。また、この方法における製造工数が多いことは、キャパシタの効率的な製造を阻害する要因となっていた。

【 0 0 0 7 】

本発明は、上記問題点の解決を可能にする薄膜キャパシタと、その製造方法の提供を目的とする。

【 0 0 0 9 】

【 課題を解決するための手段 】

本発明の薄膜キャパシタ製造方法は、絶縁性基板上に、誘電体層を下部電極層と上部電極層とで挟み込んだキャパシタ構造体を形成し、そして下部電極層及び上部電極層のおのにおに接続する導体部材を形成し、下部電極に接続する導体部材は下部電極の側面又は上面に接続することにより薄膜キャパシタを製造する方法であって、絶縁性基板上に下部電極膜、誘電体膜、及び上部電極膜を順次形成後に、(a) 下部電極層を貫通する導体部材がある場合は、上部電極膜上に形成したレジストパターンをマスクに、上部電極膜、誘電体膜及び下部電極膜をイオンミリング法で一括してパターニング加工することにより上部電極層、誘電体層及び下部電極層を形成し、(b) 下部電極層を貫通する導体部材がない場合は、上部電極膜上に形成したレジストパターンをマスクに、上部電極膜及び誘電体膜をイオンミリング法で一括してパターニング加工することにより上部電極層及び誘電体層を形成し、そしてこのイオンミリング法でのパターニング加工を、少なくとも当該誘電体層の側面に対し、導体部材による下部電極層と上部電極層との短絡を防ぐのに十分な傾斜を与えるように行うことを特徴とする。

【 0 0 1 0 】

【 発明の実施の形態 】

本発明では、薄膜キャパシタ中に取り込まれる不純物やパーティクルを減少させ、同時に製造工数を削減するために、キャパシタを構成する下部電極層、誘電体層そして上部電極層用の膜を連続的に成膜し、電極引き出し (導体部材形成) 時にこの連続膜を一括して加工成形する。加工成形を差し挟まない成膜は、例えば同一のチャンバ内でのスパッタ法での成膜のように、連続の操作を可能にする。連続操作での成膜により、キャパシタ中への不純物やパーティクルの混入の機会が減る。そしてこれらの膜の一括加工成形によって、やはりキャパシタへの不純物やパーティクルの混入の機会が減ると同時に、製造工数が減少して薄膜キャパシタの製造がずっと簡単になる。

【 0 0 1 1 】

更に、本発明で用いるイオンミリングのようなドライプロセスにおいては、薄膜キャパシタの電極膜及び誘電体膜の加工成形時に加工側面に傾斜がつくことを利用することで、電極引き出し (導体部材形成) が容易となるだけでなく、膜の一括加工成形で起こりかねない導体部材を介しての上部・下部電極の短絡を防ぐこともできる。

【 0 0 1 2 】

薄膜キャパシタの電極層及び誘電体層用の連続膜を一括して加工成形 (パターニング) する場合、各膜の加工側面に実質的に傾斜をつけなければ、電極引き出しのための導体部材の一つが上部電極と下部電極との短絡の原因になりかねず、これは、上部電極及び下部電極がキャパシタの片側に引き出される場合についても、また上部電極及び下部電極がキャパシタの両側に引き出される場合についても言えることである。

【 0 0 1 3 】

上部電極及び下部電極がキャパシタの片側に引き出される場合を、図 3 (a) を参照して

10

20

30

40

50

説明する。この図における薄膜キャパシタは、絶縁性基板 3 1 に支持された、下部電極層 3 2、誘電体層 3 3 及び上部電極層 3 4 からなるキャパシタ構造体と、そして絶縁層 3 5 に設けた開口を通して上部電極層 3 4 及び下部電極層 3 2 にそれぞれつながる導体部材 3 6 a 及び 3 6 b を含む。この薄膜キャパシタの場合、下部電極層 3 2 につながる導体部材 3 6 b は、絶縁層 3 5 の開口のほかに、上部電極層 3 4 と誘電体層 3 3 に設けた開口を通して下部電極層 3 2 につながっている。図示のように、上部電極層 3 4 と誘電体層 3 3 に設けた開口の側壁を形成する上部電極層 3 4 及び誘電体層 3 3 の側面に実質的に傾斜がないと、絶縁層 3 5 の開口形成工程におけるプロセスマージンが少なくなると位置合わせ精度が低下することになり、絶縁層 3 5 の開口の側壁と上部電極層 3 4 の側面とが極めて接近することになる。その結果、下部電極層 3 2 に通じる導体部材 3 6 b は、上部電極層 3 4 の側面付近で上部電極層 3 4 に接触しやすくなり、それによって上部電極層 3 4 と下部電極層 3 2 とが短絡しやすくなる。

10

【 0 0 1 4 】

図 3 (b) に示した上部電極及び下部電極がキャパシタの両側に引き出される場合も、これと同様である。図 3 (b) の薄膜キャパシタは、絶縁性基板 3 1 ' (これを貫通するスルーピアホールに導体 3 8 が充填されている) に支持された、下部電極層 3 2 '、誘電体層 3 3 ' 及び上部電極層 3 4 ' からなるキャパシタ構造体と、そして絶縁層 3 5 ' に設けた開口を通して上部電極層 3 4 ' 及び下部電極層 3 2 ' にそれぞれつながる導体部材 3 6 a ' 及び 3 6 b ' を含み、導体部材 3 6 a ' 及び 3 6 b ' は基板 3 1 ' の導体 3 8 に接続している。この薄膜キャパシタの場合にも、図示のように、下部電極層 3 2 ' につながる導体部材 3 6 b ' は、上部電極層 3 4 ' の側面付近で上部電極層 3 4 ' に接触しやすくなり、そのため上部電極層 3 4 ' と下部電極層 3 2 ' とが短絡しやすくなっていることが分かる。

20

【 0 0 1 5 】

上部電極層と下部電極層とが電極引き出しのための導体部材を介し短絡する危険は、本発明により誘電体層の側面に傾斜をつけることにより、回避することができる。上部電極及び下部電極がキャパシタの片側に引き出される薄膜キャパシタを示す図 4 (a) を参照すると、この薄膜キャパシタは、図 3 (a) で説明した各部材と同様の部材で構成されており、それらは図 3 (a) で使用した参照番号に 1 0 を加えた番号で示されている。図 3 (a) に示した薄膜キャパシタとの違いは、誘電体層 4 3 の側面が大きく傾斜していることである。そのため、下部電極層 4 2 に接続する導体部材 4 6 b は、図示のように上部電極層 4 4 の側壁から十分離れた間隔を保つことができ、その結果導体部材 4 6 b を介して上部電極層 4 4 と下部電極層 4 2 とが短絡する危険は回避されることになる。

30

【 0 0 1 6 】

上部電極及び下部電極がキャパシタの両側に引き出される薄膜キャパシタを示す図 4 (b) を参照すると、この薄膜キャパシタも、図 3 (b) で説明した各部材と同様の部材で構成されており、それらは図 3 (b) で使用した参照番号に 1 0 を加えた番号で示されている。この場合にも、図 3 (b) に示した薄膜キャパシタとの違いは、誘電体層 4 3 ' の側面が大きく傾斜していることであり、それにより下部電極層 4 2 ' に接続する導体部材 4 6 b ' は上部電極層 4 4 ' の側壁から十分離れた間隔を保つことができ、導体部材 4 6 b ' を介して上部電極層 4 4 ' と下部電極層 4 2 ' とが短絡する危険が回避される。

40

【 0 0 1 7 】

導体部材による上部電極層と下部電極層との短絡回避のためには、少なくとも誘電体層の側面に、下部電極層に通じる導電部材と誘電体層の上に位置する上部電極層の側面との危険な接近を回避するのに十分大きな傾斜があればよい。この条件を満たす限り、上部電極層及び下部電極層 (導電部材がこれを貫通する場合) の側面の傾斜は、図 4 (a) に見られるように誘電体層のそれと異なっても、あるいは図 4 (b) に見られるように誘電体層のそれと同じであってもよい。また、同じ条件を満たす限り、下部電極層につながる導体部材は、図 4 (b) に見られるように誘電体層の側面の一部に接触してもよい。

【 0 0 1 8 】

50

下部電極層に接続する導通部材と上部電極層の側面との危険な接近を避けるためには、一般に、その導通部材に隣接する誘電体層の縦断面における、当該導通部材に対向する底辺の先端（これは導通部材に一番近い点に当たり、図4（a）における点Xに相当する）と上辺の先端（これは導通部材から一番遠い点に当たり、図4（a）における点Yに相当する）との水平方向距離（図4（a）においてLで表した長さ）が、3 μm以上であるのが好ましい。

【0019】

次に、本発明の薄膜キャパシタの製造方法を説明する。

まず、絶縁性のベース基板上に下部電極膜、誘電体膜、そして上部電極膜を順次成膜する。絶縁性ベース基板には、ガラス基板、サファイア基板、あるいは表面にSiO₂膜を形成したシリコン基板などを用いることができる。上部電極及び下部電極が片側に引き出されるキャパシタの場合は、スルーホールビアなしの基板を使用し、上部電極及び下部電極が両側に引き出されるキャパシタの場合は、スルーホールビアに導体を充填した基板を使用する。各電極膜は、白金、金、銅、パラジウム、ルテニウム、ルテニウム酸化物、イリジウム又はイリジウム酸化物などで作ることができる。上部電極膜と下部電極膜とで異なる材料を用いることもできる。誘電体膜は、ストロンチウム、バリウム、鉛、ジルコニウム、ビスマス、タンタル、チタン、マグネシウム及びニオブのうちの少なくとも1種を含む酸化物又は複合酸化物で作ることができる。各電極膜及び誘電体膜の形成は、いずれの成膜方法によることもできる。例えばスパッタ法を用いれば、各膜の形成を同一チャンバ内で連続して行うことができ、成膜プロセスにおけるパーティクル発生の問題解決にとってより有利である。

【0020】

次いで、上部電極膜上に形成したレジストパターンをマスクにしたイオンミリングによるドライプロセスで各膜を連続してパターンニングし、底部に下部電極層が露出された（上部電極及び下部電極が片側に引き出されるキャパシタの場合）、あるいは底部に基板のスルーホールビアが露出された（上部電極及び下部電極が両側に引き出されるキャパシタの場合）、開口を形成する。このドライプロセスにおいて、例えばArイオンミリングを使用する場合、図5に示したようにホルダ50に配置した処理基板51の表面に対するArイオンビーム52の照射角度を45度以下にすることで、信頼性の高いパターンニング加工ができる。照射角度を変化させることにより、各電極層及び誘電体層の側壁の傾斜角度を変えることができる。パターンニングした開口底部に下部電極層を露出させる場合、すなわちイオンミリングによるパターンニングを下部電極膜のところで停止させようとする場合には、下部電極膜の膜厚を上部電極膜のそれよりも大きくすることにより、キャパシタ特性に影響を与えることなくパターンニングすることができる。

【0021】

その後、各電極層に接続する導体部材のための開口を持つ絶縁層を形成し、そして導体部材を形成して、薄膜キャパシタを得ることができる。

【0022】

【実施例】

次に、実施例により本発明を更に説明するが、本発明はこれらの例に限定されるものではない。

【0023】

〔実施例1〕

ガラス基板に、CF₄ガスを使用するドライエッチングにより150 μmピッチ、直径60 μmのビア孔を形成した。形成したビア孔内壁にCVD法でSiO₂絶縁膜を堆積後、ビア孔に導体（Pt）を埋め込み、スルービアホールつき基板を作製した。

【0024】

図6（a）に示したように、こうして用意したガラス基板61（図中の62はガラス基板61のビア孔に埋め込まれた導体を示す）の上に、下部電極材料としてTiO₂（0.05 μm）/Pt（0.2 μm）をスパッタリング法により連続して成膜し、下部電極膜6

10

20

30

40

50

3を形成した。TiO₂スパッタは室温で行い、その後650でアニールした。Ptスパッタ時の基板温度は550であった。次に、同一真空系内で、高誘電体材料の(Ba, Sr)TiO₃(以下BSTとする)をスパッタ成膜し、誘電体膜64を形成した。このときの基板温度は650、Ar/O₂ガス比=30:4、圧力10mTorr(1.3Pa)、RF印加電力100Wで、Pt(111)に配向した膜厚120nm、比誘電率500のBST薄膜を形成した。更にその上に、Pt(0.2μm)をスパッタ成膜(基板温度300)し、上部電極膜65を形成した。

【0025】

次に、フォトリソグラフィ法により上部電極膜65の上にレジストパターン(図示せず)を形成し、そしてArイオンミリングを使用して、上部電極膜65、誘電体膜64、及び下部電極膜63の一括ドライエッチングを行ない、図6(b)に示したように3つの膜の側面に傾斜角をつけて開口66を形成するとともに、上部電極層65a、誘電体層64a、下部電極層63aを形成した。このとき、基板62に対する照射Arイオンビームの角度は20度とした。

10

【0026】

続いて、図6(c)に示したようにパターン化したポリイミド絶縁膜67を形成した。次いで、図6(d)に示したようにCu導体部材68を形成し、そしてCr膜0.05μm、Ni膜2μm、Au膜0.2μmが積層された表面パッド69、69'を、それぞれキャパシタ面と基板面とに形成し、薄膜キャパシタを完成させた。

【0027】

20

〔実施例2〕

BST誘電体膜64(図6(a))の成膜をゾルゲル法を用いて行ったことを除き、実施例1と同様のやり方で薄膜キャパシタを作製した。

ここでのBST誘電体膜の形成は次のように行った。おのおのが金属元素Ba、Sr、Tiの一つを有する3種類のアルコキシドを含有するBST出発溶液からスピコート法(2000rpm、30秒)により約100nmの膜厚の塗布膜を作り、これを乾燥(120)及び仮焼成(400)する一連の工程を2回繰り返す、所定の膜厚の仮焼成膜を得た。次いで、650で本焼成を行なうことにより、BSTを結晶化させ、誘電体膜64を形成した。

【0028】

30

〔実施例3〕

厚さ0.2mmのサファイア基板にレーザ光で200μmピッチ、直径50μmのビア孔を形成し、このビア孔の中にMOCVD法で導体(Pt)を埋め込み、スルービアホールつき基板を作製した。この基板を用い、実施例1と同様にして薄膜キャパシタを作製した。

【0029】

本発明は以上説明したとおりであるが、それをその様々な実施形態とともに付記として列挙すれば、次のとおりである。

(付記1) 絶縁性基板と、その上に位置する、誘電体層を下部電極層と上部電極層とで挟み込んだキャパシタ構造体と、下部電極層及び上部電極層のおのおのに接続する導体部材とを含む薄膜キャパシタであって、少なくとも当該誘電体層の側面が、上部電極層と下部電極層とが導体部材を介し短絡するのを防ぐのに十分な傾斜を備えていることを特徴とする薄膜キャパシタ。

40

(付記2) 前記下部電極層に接続する前記導通部材に隣接する前記誘電体層の縦断面における、当該導通部材に対向する底辺の先端と上辺の先端との水平方向距離が3μm以上である、付記1記載の薄膜キャパシタ。

(付記3) 前記誘電体層の材料が、ストロンチウム、バリウム、鉛、ジルコニウム、ピスマス、タンタル、チタン、マグネシウム及びニオブのうち少なくとも1種を含む酸化物又は複合酸化物である、付記1又は2記載の薄膜キャパシタ。

(付記4) 前記電極層の材料が、白金、金、銅、パラジウム、ルテニウム、ルテニウム

50

酸化物、イリジウム又はイリジウム酸化物である、付記 1 ~ 3 のいずれか 1 つに記載の薄膜キャパシタ。

(付記 5) 前記絶縁性基板が、ガラス基板、サファイア基板、又は表面に SiO_2 膜を備えたシリコン基板である、付記 1 ~ 4 のいずれか 1 つに記載の薄膜キャパシタ。

(付記 6) 絶縁性基板上に、誘電体層を下部電極層と上部電極層とで挟み込んだキャパシタ構造体を形成し、そして下部電極層及び上部電極層のおおのにおのに接続する導体部材を形成することにより薄膜キャパシタを製造する方法であって、絶縁性基板上に下部電極膜、誘電体膜、及び上部電極膜を順次形成後に、

(a) 下部電極層を貫通する導体部材がある場合は、上部電極膜、誘電体膜及び下部電極膜をイオンミリング法で一括してパターニング加工することにより上部電極層、誘電体層及び下部電極層を形成し、

(b) 下部電極層を貫通する導体部材がない場合は、上部電極膜及び誘電体膜をイオンミリング法で一括してパターニング加工することにより上部電極層及び誘電体層を形成し、そしてこのイオンミリング法でのパターニング加工を、少なくとも当該誘電体層の側面に対し、導体部材による下部電極層と上部電極層との短絡を防ぐのに十分な傾斜を与えるように行うことを特徴とする薄膜キャパシタ製造方法。

(付記 7) 前記誘電体層に対し、前記下部電極層に接続する前記導通部材に隣接する前記誘電体層の縦断面における、当該導通部材に対向する底辺の先端と上辺の先端との水平方向距離が $3 \mu\text{m}$ 以上となる傾斜を与える、付記 6 記載の薄膜キャパシタ製造方法。

(付記 8) 前記イオンミリング法によるパターニング加工を、パターニングすべき膜を備えた前記基板の表面に対する照射角度を 45 度以下としてイオンビームを照射して行う、付記 6 又は 7 記載の薄膜キャパシタ製造方法。

(付記 9) 前記誘電体層を、ストロンチウム、バリウム、鉛、ジルコニウム、ビスマス、タンタル、チタン、マグネシウム及びニオブのうちの少なくとも 1 種を含む酸化物又は複合酸化物により形成する、付記 6 ~ 8 のいずれか 1 つに記載の薄膜キャパシタ製造方法。

(付記 10) 前記電極層を、白金、金、銅、パラジウム、ルテニウム、ルテニウム酸化物、イリジウム又はイリジウム酸化物により形成する、付記 6 ~ 9 のいずれか 1 つに記載の薄膜キャパシタ製造方法。

(付記 11) 前記下部電極膜、誘電体膜及び上部電極膜の形成を同一の装置において連続して行う、付記 6 ~ 10 のいずれか 1 つに記載の薄膜キャパシタ製造方法。

(付記 12) 前記絶縁性基板として、ガラス基板、サファイア基板、又は表面に SiO_2 膜を備えたシリコン基板を使用する、付記 6 ~ 11 のいずれか 1 つに記載の薄膜キャパシタ。

【0030】

【発明の効果】

以上説明したように、本発明の薄膜キャパシタは、不純物やパーティクルの混入の原因になりがちなキャパシタの各構成膜（電極膜及び誘電体膜）の成膜のたびごとのパターニング加工を行うことなく、全ての膜を一括してパターニング加工して製造することができるので、信頼性の向上した薄膜キャパシタとすることができる。それだけにとどまらず、膜の一括パターニング加工は、各膜の連続の形成をも可能にするので、薄膜キャパシタ生産効率の向上にも大きく貢献することができる。

信頼性の向上した本発明の薄膜キャパシタは、LSI 誤動作防止用のデカップリングキャパシタなどのように特に信頼性の求められる用途に用いるのに好適である。

【図面の簡単な説明】

【図 1】薄膜型キャパシタの従来一般的な製造方法の前半の工程を説明する図である。

【図 2】薄膜型キャパシタの従来一般的な製造方法の後半の工程を説明する図である。

【図 3】電極層と誘電体層を一括してパターニングしたときの誘電体層の側面に実質的に傾斜がない場合における上部電極と下部電極との短絡の危険のある導体部材を説明する図である。

10

20

30

40

50

【図4】電極層と誘電体層を一括してパターンニングしたときの誘電体層の側面に十分な傾斜がある場合における上部電極と下部電極との短絡の危険のない導通部材を説明する図である。

【図5】処理基板に対するプラズマ照射角度を説明する図である。

【図6】実施例1の薄膜キャパシタの製造方法を説明する図である。

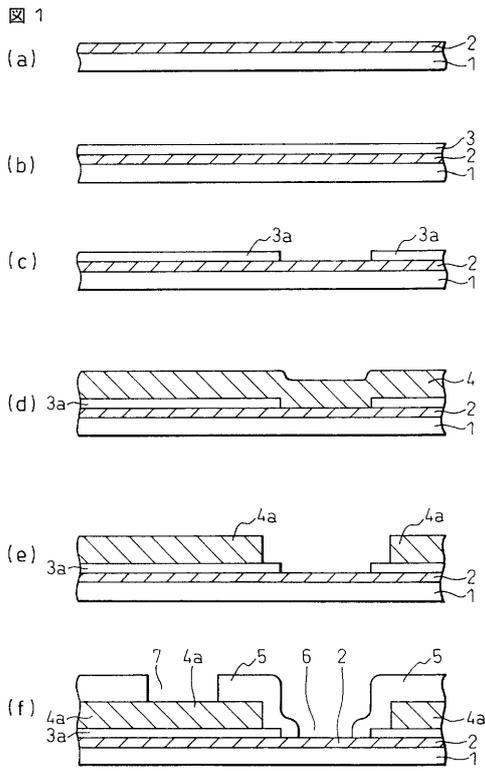
【符号の説明】

- 1 ... ベース基板
- 2 ... 下部電極
- 3 a ... 誘電体層
- 4 a ... 上部電極
- 5 ... 絶縁膜
- 9 ... パッド
- 10 ... はんだバンプ
- 3 1、3 1'、4 1、4 1' ... 絶縁性基板
- 3 2、3 2'、4 2、4 2' ... 下部電極層
- 3 3、3 3'、4 3、4 3' ... 誘電体層
- 3 4、3 4'、4 4、4 4' ... 上部電極層
- 3 5、3 5'、4 5、4 5' ... 絶縁層
- 3 6 a、3 6 a'、3 6 b、3 6 b'、4 6 a、4 6 a'、4 6 b、4 6 b' ... 導体部材
- 3 8 ... 導体
- 5 1 ... 処理基板
- 5 2 ... A r イオンビーム
- 6 1 ... ガラス基板
- 6 3 a ... 下部電極層
- 6 4 a ... 誘電体層
- 6 5 a ... 上部電極層
- 6 7 ... 絶縁膜
- 6 8 ... 導体部材
- 6 9、6 9' ... パッド

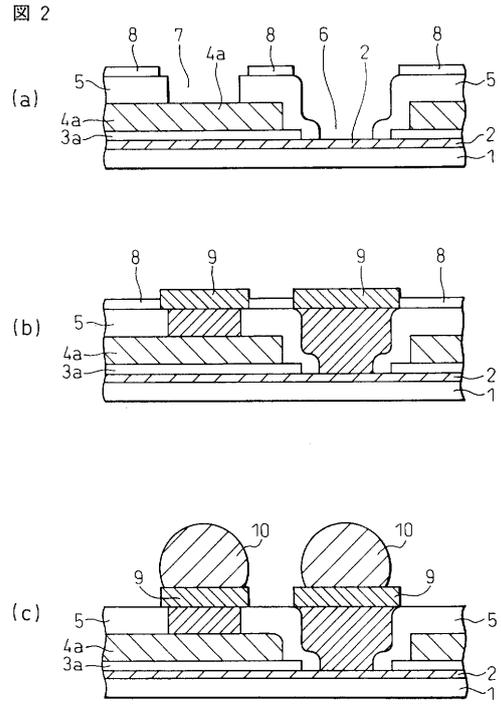
10

20

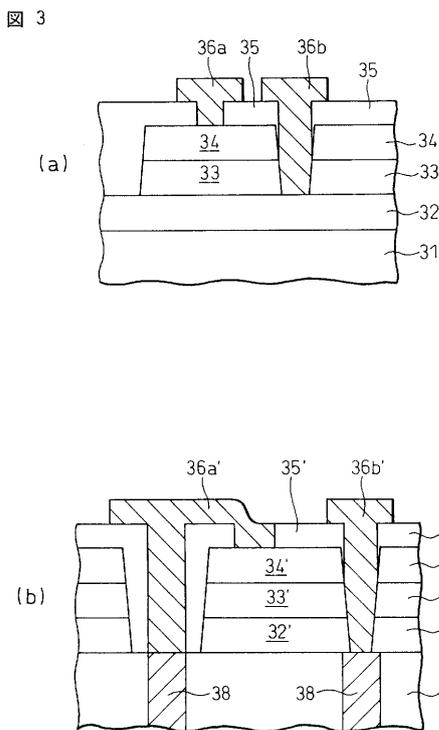
【図1】



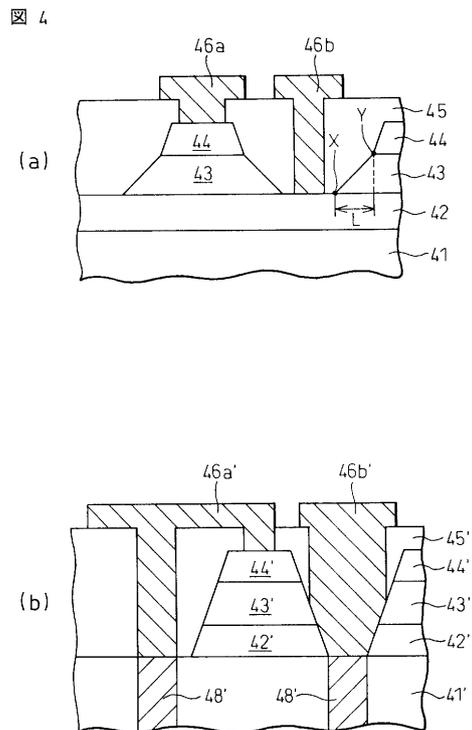
【図2】



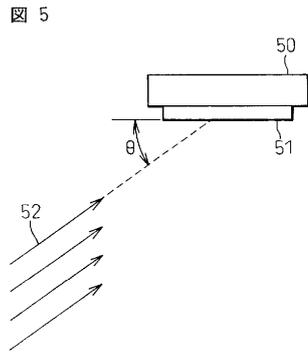
【図3】



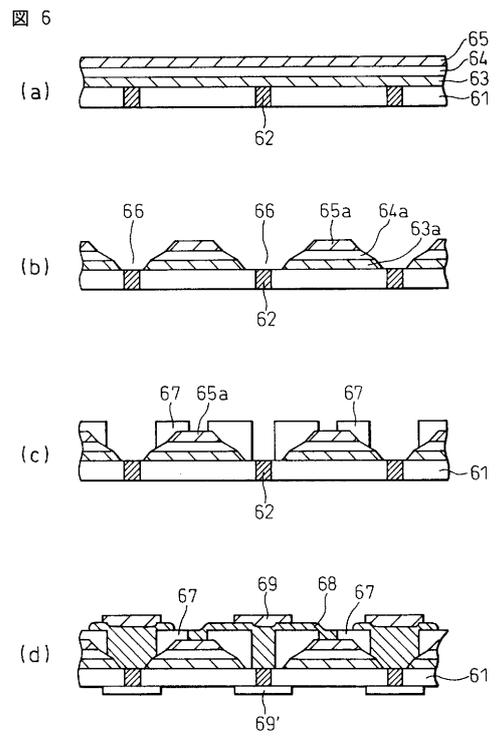
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 塩賀 健司

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 ジョン デイビッド ベネキ

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 栗原 和明

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 近藤 聡

(56)参考文献 特開平08-340090(JP,A)

特開平11-126729(JP,A)

特開平11-103029(JP,A)

特開平08-241830(JP,A)

特開2001-210789(JP,A)

特開2001-284168(JP,A)

国際公開第02/089161(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01G 4/00