

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-58277

(P2013-58277A)

(43) 公開日 平成25年3月28日(2013.3.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 H	5 M O 2 4
G 1 1 C 11/409 (2006.01)	G 1 1 C 11/34 3 5 4 A	

審査請求 未請求 請求項の数 28 O L (全 28 頁)

(21) 出願番号 特願2011-195158 (P2011-195158)
 (22) 出願日 平成23年9月7日(2011.9.7)

(出願人による申告)平成22年度、独立行政法人情報通信研究機構「高度通信・放送研究開発委託研究/光統合ネットワークの管理制御およびノード構成技術に関する研究開発」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 勢能 修一
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 下川 健寿
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 高野 将
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

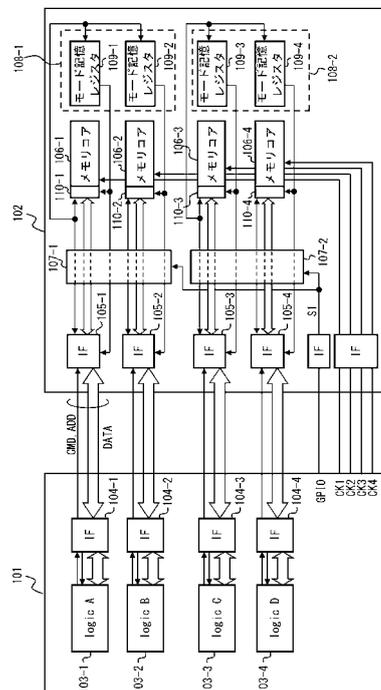
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】データ処理性能の低下を防止可能な半導体装置を提供すること。

【解決手段】本発明にかかる半導体装置は、インターフェイス回路105-1, 105-2と、インターフェイス回路105-1を介して設定可能な第1及び第2のモード情報を記憶するモード情報記憶部108-1と、クロック信号CK1が供給され第1のモード情報に基づいて動作するメモリコア106-1と、クロック信号CK2が供給されるメモリコア106-2と、メモリコア106-1をバスインターフェイス回路105-1に結合させ、メモリコア106-2を所定の切替情報に基づいてバスインターフェイス回路105-1, 105-2のいずれかに選択的に結合させる選択回路107-1と、を備える。そして、メモリコア106-2は、バスインターフェイス回路105-2に結合された場合に第2のモード情報に基づいて動作する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 及び第 2 のバスインターフェイス回路と、
前記第 1 のバスインターフェイス回路を介して設定可能な第 1 及び第 2 のモード情報を記憶するモード情報記憶部と、

前記第 1 のバスインターフェイス回路に結合されると共に第 1 のクロック信号が供給され前記第 1 のモード情報に基づいて動作する第 1 のメモリコアと、

第 2 のクロック信号が供給される第 2 のメモリコアと、

前記第 2 のメモリコアを所定の切替情報に基づいて前記第 1 のバスインターフェイス回路または前記第 2 のバスインターフェイス回路のいずれかに選択的に結合させる選択回路と、を備え、

前記第 2 のメモリコアは、前記第 2 のバスインターフェイス回路に結合された場合に前記第 2 のモード情報に基づいて動作する半導体装置。

【請求項 2】

前記第 2 のメモリコアは、前記第 1 のバスインターフェイス回路に結合された場合に前記第 1 のモード情報に基づいて動作する請求項 1 に記載の半導体装置。

【請求項 3】

前記選択回路は、前記モード情報記憶部に記憶された前記第 1 及び第 2 のモード情報の少なくとも一部を前記所定の切替情報として使用することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記選択回路は、外部から入力された信号を前記所定の切替情報として用いることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記第 1 及び第 2 のモード情報の少なくとも一部に基づいて、前記第 1 及び前記第 2 のクロック信号を生成するクロック生成回路をさらに備えた請求項 1 ~ 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記第 1 モード情報に基づいたバースト長で前記第 1 メモリコアにアクセスを行い、
前記第 2 モード情報に基づいたバースト長で前記第 2 メモリコアにアクセスを行う請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 モード情報に基づいた動作周波数にて前記第 1 メモリコアを動作させ、
前記第 2 モード情報に基づいた動作周波数にて前記第 2 メモリコアを動作させる請求項 5 に記載の半導体装置。

【請求項 8】

前記第 1 モード情報によって特定されたリードレイテンシーにて前記第 1 メモリコアからデータが読み出され、

前記第 2 モード情報によって特定されたリードレイテンシーにて前記第 2 メモリコアからデータが読み出される、請求項 6 に記載の半導体装置。

【請求項 9】

前記第 1 モード情報によって特定されたライトレイテンシーにて前記第 1 メモリコアにデータが書き込まれ、

前記第 2 モード情報によって特定されたライトレイテンシーにて前記第 2 メモリコアにデータが書き込まれる、請求項 8 に記載の半導体装置。

【請求項 10】

前記第 1 モード情報によって特定された時間間隔において前記第 1 メモリコアへのアクセスが許可され、

前記第 2 モード情報によって特定された時間間隔において前記第 2 メモリコアへのアクセスが許可される、請求項 9 に記載の半導体装置。

10

20

30

40

50

【請求項 1 1】

前記第 2 のメモリコアが前記第 1 のバスインターフェイス回路に結合された場合、前記第 2 のバスインターフェイスの入力端子は、所定の論理レベルに固定されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 1 2】

前記第 2 のメモリコアは、前記第 1 のバスインターフェイス回路に結合された場合に前記第 1 のモード情報と同じ内容の前記第 2 のモード情報に基づいて動作する請求項 2 に記載の半導体装置。

【請求項 1 3】

請求項 1 ~ 1 2 のいずれか一項に記載の半導体装置を備えたネットワーク装置。

10

【請求項 1 4】

複数のメモリコアと、

外部回路から前記複数のメモリコアの何れかへのアクセスをそれぞれインターフェイス可能な複数のバスインターフェイス回路と、

前記複数のメモリコアのそれぞれを、前記複数のバスインターフェイス回路のうち何れか一つのバスインターフェイス回路に接続させるように信号経路を選択する選択回路と、

前記外部回路から前記複数のメモリコアへのそれぞれのアクセスモードに応じて前記複数のメモリコアのそれぞれの動作モードを切り替える制御部と、を備えた半導体装置。

【請求項 1 5】

前記外部回路は、回路構成の書き換えが可能なフィールドプログラマブルゲートアレイであることを特徴とする請求項 1 4 に記載の半導体装置。

20

【請求項 1 6】

前記外部回路から前記複数のメモリコアへのそれぞれのアクセスモードを特定する複数のモード情報を記憶するモード情報記憶部をさらに備え、

前記制御部は、

前記複数のモード情報に基づいて、前記複数のメモリコアのそれぞれの動作モードを切り替えることを特徴とする請求項 1 4 又は 1 5 に記載の半導体装置。

【請求項 1 7】

前記複数のメモリコアのうち少なくとも 2 つのメモリコアが共通のバスインターフェイス回路に接続されている場合、前記モード情報記憶部には、前記少なくとも 2 つのメモリコアに対して共通のモード情報が記憶されることを特徴とする請求項 1 6 に記載の半導体装置。

30

【請求項 1 8】

前記複数のモード情報は、前記複数のバスインターフェイス回路のうち所定のバスインターフェイス回路を介して前記外部回路から前記モード情報記憶部に供給されることを特徴とする請求項 1 6 又は 1 7 に記載の半導体装置。

【請求項 1 9】

前記モード情報記憶部は、前記所定のバスインターフェイス回路を介して供給される切替情報を、前記複数のモード情報とともにさらに記憶し、

前記選択回路は、前記モード情報記憶部に記憶された当該切替情報に基づいて前記信号経路を選択することを特徴とする請求項 1 8 に記載の半導体装置。

40

【請求項 2 0】

前記制御部は、

各前記モード情報により特定されたバースト長のデータを、当該モード情報に対応するメモリコアから読み出し又は当該モード情報に対応するメモリコアに書き込むことを特徴とする請求項 1 6 ~ 1 9 のいずれか一項に記載の半導体装置。

【請求項 2 1】

前記制御部は、

各前記モード情報により特定された動作周波数にて、当該モード情報に対応するメモリコアからデータを読み出し又は当該モード情報に対応するメモリコアにデータを書き込む

50

ことを特徴とする請求項 16 ~ 20 のいずれか一項に記載の半導体装置。

【請求項 22】

前記制御部は、

各前記モード情報により特定されたリードレイテンシーにて、当該モード情報に対応するメモリコアからデータを読み出すことを特徴とする請求項 16 ~ 21 のいずれか一項に記載の半導体装置。

【請求項 23】

前記制御部は、

各前記モード情報により特定されたライトレイテンシーにて、当該モード情報に対応するメモリコアにデータを書き込むことを特徴とする請求項 16 ~ 22 のいずれか一項に記載の半導体装置。

【請求項 24】

前記制御部は、

各前記モード情報により特定された時間間隔において、当該モード情報に対応するメモリコアへのアクセスを許可することを特徴とする請求項 16 ~ 23 のいずれか一項に記載の半導体装置。

【請求項 25】

前記制御部は、

前記複数のメモリコアをそれぞれ異なるクロック信号に同期して動作させることを特徴とする請求項 14 ~ 24 のいずれか一項に記載の半導体装置。

【請求項 26】

複数の前記クロック信号を生成するクロック生成回路をさらに備えた請求項 25 に記載の半導体装置。

【請求項 27】

前記複数のバスインターフェイス回路のうち前記複数のメモリコアの何れにも接続されないバスインターフェイス回路の入力端子は、所定の論理レベルに固定されることを特徴とする請求項 14 ~ 26 のいずれか一項に記載の半導体装置。

【請求項 28】

請求項 14 ~ 27 のいずれか一項に記載の半導体装置を備えたネットワーク装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特にデータ処理性能の低下を防止するのに適した半導体装置に関する。

【背景技術】

【0002】

半導体プロセスの微細化により 1 チップに搭載可能な回路規模が増大し、ロジック L S I においてシステムに必要な多くの機能ブロックが 1 チップに実装可能になっている。そのため、ロジック L S I ではより多くのデータ処理が行われるようになってきている。それに伴い、ロジック L S I とメモリとの間のデータ転送性能を向上させて、システム全体の性能を向上させることが要求されている。

【0003】

このような要求に対する解決策が特許文献 1 に開示されている。特許文献 1 に開示されたマルチポートメモリは、複数ビット線と複数ワード線との交点に配置された複数メモリセルからなり n (n は 2 以上の整数) 個のメモリバンクに分割されたメモリアレイと、メモリバンク各々に対しコマンド、アドレス及びデータの入出力を独立して行う m (m は 2 以上の整数) 個の入出力ポートと、メモリバンク及び入出力ポート間におけるコマンド、アドレス及びデータ信号経路を任意に設定する経路切替回路と、を備える。経路切替回路は、メモリバンク及び入出力ポート間におけるコマンド、アドレス及びデータの各々の信号線の接続状態を設定するクロスバースイッチと、ブロードキャストモードにおいて、 1

10

20

30

40

50

つのメモリバンクから読み出すデータを複数ポートへ出力、又は1つのポートから入力したデータを複数メモリバンクに書込む経路を形成するブロードキャストスイッチ部と、により構成される。

【0004】

このマルチポートメモリは、通常動作状態にて、複数の入出力ポートから同一のメモリバンクに対して同時にアクセス要求が発生した場合、優先度の高い入出力ポートからのアクセスを許可し、残りの入出力ポートからのアクセスを禁止する制御を行う調停回路をさらに備える。この調停回路は、ブロードキャストモードにおいても、例えば、ブロードキャストリードコマンドが入力された入出力ポート以外の入出力ポートからのアクセスを禁止する。

10

【0005】

そのほか、特許文献2には、複数のメモリ機能を有する素子に対し独立したクロック信号を供給することにより、これら複数のメモリ機能を有する素子を独立して駆動する技術が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-230792号公報

【特許文献2】特開昭57-208689号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0007】

特許文献1に開示されたマルチポートメモリは、複数の入出力ポートから同一のメモリバンクに対して同時にアクセス要求が発生した場合、優先度の高い入出力ポートから順にアクセスを許可することが想定される。したがって、優先度の低い入出力ポートから当該メモリバンクに対するアクセスは遅延してしまう。その結果、このマルチポートメモリでは、データ処理性能が低下してしまうという問題があった。

【0008】

さらに、特許文献1には、複数のメモリバンクの動作モードを任意に変更可能である構成は開示されておらず、複数のメモリバンクの動作モードは固定されているものと考えられる。そのため、特許文献1に開示されたマルチポートメモリでは、バースト長等のアクセスモードやクロック周波数等の動作パラメータをメモリバンク毎に個別に設定することができず、データ処理性能の最適化が困難であった。

30

【課題を解決するための手段】

【0009】

本発明の一態様にかかる半導体装置は、個別にクロック信号を供給可能な複数のメモリコアと、メモリコア毎の動作情報を記憶するモード情報記憶部と、複数のメモリコアのそれぞれを一のバスインターフェイス回路に選択的に結合させる選択回路と、を備える。

【0010】

上述のような回路構成により、データ処理性能の最適化が可能となる。

40

【発明の効果】

【0011】

本発明により、データ処理性能の低下を防止することが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態1にかかる半導体集積回路を示すブロック図である。

【図2】本発明の実施の形態1にかかる半導体集積回路を示すブロック図である。

【図3】本発明の実施の形態1にかかるメモリに供給されるコマンド信号及びアドレス信号の関係を示す図である。

50

【図 4】本発明の実施の形態 1 にかかるメモリに供給されるアドレス信号を説明するための図である。

【図 5 A】本発明の実施の形態 1 にかかる半導体集積回路の動作を示すタイミングチャートである。

【図 5 B】本発明の実施の形態 1 にかかる半導体集積回路の動作を示すタイミングチャートである。

【図 5 C】本発明の実施の形態 1 にかかる半導体集積回路の動作を示すタイミングチャートである。

【図 6】本発明の実施の形態 2 にかかる半導体集積回路を示すブロック図である。

【図 7】本発明の実施の形態 2 にかかるメモリに供給されるアドレス信号を説明するための図である。

【図 8】本発明の実施の形態 3 にかかる半導体集積回路を示すブロック図である。

【図 9】本発明のメモリが搭載されたネットワーク装置を示す図である。

【図 10】本発明に至る前の構想にかかる半導体集積回路を示すブロック図である。

【図 11 A】本発明に至る前の構想にかかる半導体集積回路の動作を示すタイミングチャートである。

【図 11 B】本発明に至る前の構想にかかる半導体集積回路の動作を示すタイミングチャートである。

【図 11 C】本発明に至る前の構想にかかる半導体集積回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0013】

まず、本発明の実施の形態を説明する前に、本発明に至る前に本発明者らが検討した構成について説明する。

【0014】

図 10 は、本発明に至る前の構想にかかる半導体集積回路を示すブロック図である。図 10 に示す半導体集積回路は、複数の機能ブロックを有する集積回路 901 と、メモリ（半導体装置）902、903 と、を備える。各メモリ 902、903 は、データ信号（DATA）、データの読み書きを制御するコマンド信号（CMD）、及び、データの読み書き対象となる記憶領域を指定するアドレス信号（ADD）からなる一組のチャンネルを用いて複数の機能ブロックからのアクセスを可能にしたシェアド・メモリ方式を採用している。

【0015】

なお、集積回路 901 は、例えば、ソフトウェアによりその構成を変更可能な FPG A（Field Programmable Gate Array）である。デジタル家電等の組み込み機器やネットワーク装置の分野では、FPG A の共通基板（プラットフォーム）を用いて複数の派生製品を提供することができる。以下では、集積回路 901 が FPG A である場合を例に説明する（以下、FPG A 901 と称す）。

【0016】

FPG A 901 は、プログラミングされることにより、4 つの独立した機能ブロック 904 ~ 907 と、インターフェイス回路 908、909 と、調停回路 910、911 と、を有する。

【0017】

機能ブロック 904、905 は作業用データの一時退避等を目的としてメモリ 902 を共用し、機能ブロック 906、907 は作業用データの一時退避等を目的としてメモリ 903 を共用している。

【0018】

調停回路 910 は、機能ブロック 904、905 が同時にメモリ 902 にアクセスしようとした場合に、アクセスの順序を決定する機能を有する。同様に、調停回路 911 は、機能ブロック 905、906 が同時にメモリ 903 にアクセスしようとした場合に、アク

10

20

30

40

50

セスの順序を決定する機能を有する。インターフェイス回路908は、機能ブロック904又は機能ブロック905からメモリ902へのアクセスをインターフェイスする回路である。インターフェイス回路909は、機能ブロック906又は機能ブロック907からメモリ903へのアクセスをインターフェイスする回路である。

【0019】

メモリ902は、メモリコア912と、インターフェイス回路914と、を備える。なお、メモリコア912には、FPGA901から当該メモリコア912へのアクセスを実行するアクセス制御部（不図示）が付加されている。メモリ903は、メモリコア913と、インターフェイス回路915と、を備える。なお、メモリコア913には、FPGA901から当該メモリコア913へのアクセスを実行するアクセス制御部（不図示）が付加されている。各メモリコア912, 913は、データを記憶するためのメモリセル（記憶領域）を複数有する。各メモリコア912, 913では、アドレス信号によって指定されたメモリセルに対しデータが書き込まれ、又は、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される。インターフェイス回路914は、FPGA901からメモリコア912へのアクセスをインターフェイスする回路である。インターフェイス回路915は、FPGA901からメモリコア913へのアクセスをインターフェイスする回路である。

10

【0020】

つまり、機能ブロック904, 905とメモリコア912との間の信号伝達は、FPGA901側のインターフェイス回路908及びメモリ902側のインターフェイス回路914を介して行われる。機能ブロック906, 907とメモリコア913との間の信号伝達は、FPGA901側のインターフェイス回路909及びメモリ902側のインターフェイス回路915を介して行われる。

20

【0021】

図11A～図11Cは、図10に示す半導体集積回路の動作の一例を示すタイミングチャートである。より具体的には、図11Aは、機能ブロック904, 905のうち機能ブロック904のみがメモリ902に対してデータの読み出し要求を行った場合のタイミングチャートである。図11Bは、機能ブロック904がメモリ902に対してデータの読み出し要求を行うと同時に、機能ブロック905がメモリ902に対してデータの書き込み要求を行った場合のタイミングチャートである。図11Cは、機能ブロック906, 907のうち機能ブロック907のみがメモリ903に対してデータの読み出し要求を行った場合のタイミングチャートである。

30

【0022】

なお、機能ブロック904～906が1回のデータ読み出し要求によりメモリ902, 903から受信する必要がある読み出しデータの量は、それぞれデータ量Xであるものとする。一方、機能ブロック907が1回のデータ読み出し要求によりメモリ903から受信する必要がある読み出しデータの量は、データ量Xの2倍（データ量2X）であるものとする。つまり、機能ブロック907は、1回のデータ読み出し要求により、機能ブロック904の2倍の読み出しデータを受信する必要がある。また、メモリ902, 903は、1回のデータ読み出し要求に対して、それぞれデータ量Xの読み出しデータを送信可能であるものとする。

40

【0023】

まず、図11Aを用いて、機能ブロック904, 905のうち機能ブロック904のみがメモリ902に対してデータの読み出し要求を行った場合の動作について説明する。まず、機能ブロック904が調停回路910に対して読み出し要求を出す（時刻t1）。調停回路910は、他の機能ブロックからの要求がないため、機能ブロック904から受け取った読み出し要求を即時に受け付け、インターフェイス回路908に転送する（時刻t2）。インターフェイス回路908は、調停回路910から受け取った読み出し要求に応じたコマンド信号及びアドレス信号を生成し、メモリ902に対して出力する（時刻t3）。

50

【 0 0 2 4 】

メモリ 9 0 2 において、インターフェイス回路 9 1 4 は、F P G A 9 0 1 から出力されたコマンド信号及びアドレス信号を受信して、後段のメモリコア 9 1 2 に転送する（時刻 t_4 ）。メモリコア 9 1 2 では、所定期間の読み出し動作の後、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される（時刻 t_5 ）。インターフェイス回路 9 1 4 は、メモリコア 9 1 2 から読み出されたデータを F P G A 9 0 1 に対して出力する（時刻 t_5 ）。

【 0 0 2 5 】

F P G A 9 0 1 において、インターフェイス回路 9 0 8 は、メモリ 9 0 2 から出力されたデータを受信して、調停回路 9 1 0 に転送する（時刻 t_6 ）。調停回路 9 1 0 は、当該データを、読み出し要求の要求元である機能ブロック 9 0 4 に転送する（時刻 t_7 ）。機能ブロック 9 0 4 は、調停回路 9 1 0 からのデータをクロック信号 C K に同期して取り込む（時刻 t_8 ）。このようにして、データの読み出し要求に対する一連の動作が完了する。図 1 1 A の例では、機能ブロック 9 0 4 がデータの読み出し要求を出してから当該データを受け取るまでの期間は 9 クロックサイクル（時刻 $t_1 \sim t_8$ ）である。

10

【 0 0 2 6 】

次に、図 1 1 B を用いて、機能ブロック 9 0 4 がメモリ 9 0 2 に対してデータの読み出し要求を行ったと同時に、機能ブロック 9 0 5 がメモリ 9 0 2 に対してデータの書き込み要求を行った場合の動作について説明する。まず、機能ブロック 9 0 4 が調停回路 9 1 0 に対して読み出し要求を出すと同時に、機能ブロック 9 0 5 が調停回路 9 1 0 に対して書き込み要求を出す（時刻 t_1 ）。

20

【 0 0 2 7 】

調停回路 9 1 0 は、例えば、機能ブロック 9 0 5 からの書き込み要求を優先し、インターフェイス回路 9 0 8 に転送する（時刻 t_2 ）。なお、機能ブロック 9 0 4 からの読み出し要求は、機能ブロック 9 0 5 からの書き込み要求により書き込み動作が行われている間、保留される。インターフェイス回路 9 0 8 は、調停回路 9 1 0 から受け取った書き込み要求に応じたコマンド信号、アドレス信号及び書き込み用データ信号を生成し、メモリ 9 0 2 に対して出力する（時刻 t_3 ）。

【 0 0 2 8 】

ここで、メモリ 9 0 2 では、データの読み出し要求や書き込み要求を受け付ける時間間隔（ランダムサイクル） t_{RC} の最小値が、メモリコア 9 1 2 の動作速度に応じて予め規定されている。そのため、調停回路 9 1 0 は、F P G A 9 0 1 からメモリ 9 0 2 へのアクセス間隔が時間間隔 t_{RC} の最小値以上となるように、機能ブロック 9 0 4 からの読み出し要求を保留する（時刻 $t_2 \sim t_4$ ）。時刻 t_4 になると、調停回路 9 1 0 は、保留されていた機能ブロック 9 0 4 からの読み出し要求を、インターフェイス回路 9 0 8 に転送する。その後の動作は、図 1 1 A の場合と同様であるため説明を省略する。

30

【 0 0 2 9 】

図 1 1 B の例では、機能ブロック 9 0 4 がデータの読み出し要求を出してから当該データを受け取るまでの期間は、図 1 1 A の例と比較して 4 クロックサイクル多い、13 クロックサイクル（時刻 $t_1 \sim t_5$ ）である。つまり、複数の機能ブロックが同一のメモリに対して同時にアクセスしようとした場合、クロックサイクル数が増加した分だけデータ処理性能が低下している。

40

【 0 0 3 0 】

このように、シェアド・メモリ方式は、1つのメモリを複数の機能ブロックで共用できるため、例えば、F P G A 内の機能ブロック数が変化した場合でもプラットフォームの再設計を回避できる点で有効である。しかし、複数の機能ブロックが1つのメモリに同時にアクセスしようとした場合にデータ処理性能が低下するという問題も生じてしまう。

【 0 0 3 1 】

次に、図 1 1 C を用いて、機能ブロック 9 0 6 , 9 0 7 のうち機能ブロック 9 0 7 のみがメモリ 9 0 3 に対してデータの読み出し要求を行った場合の動作について説明する。ま

50

ず、機能ブロック907が調停回路911に対して読み出し要求を出す(時刻 t_1)。調停回路911は、他の機能ブロックからの要求がないため、機能ブロック907から受け取った読み出し要求を即時に受け付ける。ここで、上記したように、機能ブロック907は、1回のデータ読み出し要求によりデータ量 $2X$ の読み出しデータを受信する必要がある。一方、メモリ903は、1回のデータ読み出し要求に対してデータ量 X の読み出しデータを送信可能である。つまり、メモリ903は、機能ブロック907からのデータ読み出し要求に対し必要な読み出しデータの全てを一度に送信することができない。

【0032】

そのため、調停回路911は、機能ブロック907からの1回のデータ読み出し要求を2回のデータ読み出し要求(前半のデータ読み出し要求及び後半のデータ読み出し要求と称す)に分割する必要があると判断する。そして、調停回路911は、前半のデータ読み出し要求をインターフェイス回路909に転送するとともに、後半のデータ読み出し要求のタイミングをスケジューリングする(時刻 t_2)。インターフェイス回路909は、調停回路911から受け取った読み出し要求に応じたコマンド信号及びアドレス信号を生成し、メモリ903に対して出力する(時刻 t_3)。

10

【0033】

ここで、メモリ903では、データの読み出し要求や書き込み要求を受け付ける時間間隔(ランダムサイクル) t_{RC} の最小値が、メモリコア913の動作速度に応じて予め規定されている。そのため、調停回路911は、FPGA901からメモリ903へのアクセス間隔が時間間隔 t_{RC} の最小値以上となるように、後半のデータ読み出し要求を保留する(時刻 $t_2 \sim t_4$)。時刻 t_4 になると、調整回路911は、保留されていた後半のデータ読み出し要求を、インターフェイス回路909に転送する。その後の動作は、図11Aの場合と同様であるため説明を省略する。

20

【0034】

図11Cの例では、機能ブロック905がデータの読み出し要求を出してから当該データを受け取るまでの期間は、図11Aの例と比較して4クロックサイクル多い、13クロックサイクル(時刻 $t_1 \sim t_5$)である。つまり、クロックサイクル数が増加した分だけデータ処理性能が低下している。

【0035】

このように、バースト長等のアクセスモードの異なる複数の機能ブロックによって一つのメモリが共用されている場合、データ処理性能が低下するという問題が生じてしまう。

30

【0036】

まとめると、シェアド・メモリ方式では、複数の機能ブロックが一つのメモリに同時にアクセスしようとした場合にデータ処理性能が低下するという問題があった。さらに、バースト長等のアクセスモードの異なる複数の機能ブロックによって一つのメモリが共用されている場合、データ処理性能がさらに低下するという問題があった。特に、FPGAに設けられた機能ブロックの数が増加すると調停動作が頻発するため、データの処理性能の低下は顕著になる。一方、性能を重視して一つのメモリコアを共用する機能ブロックの数を少なくすると、メモリコアの数が機能ブロック数に左右されてしまいプラットフォームの変更を余儀なくされる。さらに、増加したメモリ容量を使い切れないというコスト的な問題が生じる。以上のような問題に対し、データ処理性能の低下を防止することが可能なメモリ(半導体装置)が求められていた。

40

【0037】

以下、図面を参照しつつ、本発明の実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として本発明の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の記号を付し、重複する説明は省略する。

【0038】

実施の形態1

図1は、本発明の実施の形態1にかかるメモリ(半導体装置)を備えた半導体集積回路を示すブロック図である。本実施の形態にかかるメモリは、独立にアクセス可能な複数の

50

メモリコアと、外部回路から複数のメモリコアの何れかへのアクセスをインターフェイスする複数のインターフェイス回路と、複数のメモリコアのそれぞれを複数のインターフェイス回路のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する選択回路と、外部回路から複数のメモリコアへのそれぞれのアクセスモードに応じて前記複数のメモリコアのそれぞれの動作モードを切り替える制御部と、を備える。それにより、本実施の形態にかかるメモリは、複数の機能ブロックから同一のメモリコアに対して同時に読み書き要求が発生せず調停回路による調停を行う必要がないため、データ処理性能の低下を防止することができる。さらに、本実施の形態にかかるメモリは、外部回路から複数のメモリコアへのそれぞれのアクセスモードに応じて複数のメモリコアのそれぞれの動作モードを切り替えることができるため、バースト長等のアクセスモードの異なる複数の機能ブロックからアクセスがあった場合でも、データ処理性能の低下を防止することができる。以下、具体的に説明する。

【0039】

図1に示す半導体集積回路は、複数の機能ブロックを有する集積回路（外部回路）101と、メモリ102と、を備える。なお、集積回路101は、例えば、ソフトウェアによりその構成を変更可能なFPGA（Field Programmable Gate Array）である。以下では、集積回路101がFPGAである場合を例に説明する（以下、FPGA101と称す）。

【0040】

FPGA101は、プログラミングされることにより、4つの独立した機能ブロック103-1～103-4と、インターフェイス回路104-1～104-4と、を有する。インターフェイス回路104-1～104-4は、それぞれ機能ブロック103-1～103-4からメモリ102へのアクセスをインターフェイスする回路である。なお、FPGA101は、図示していないが、機能ブロック103-1～103-4やメモリ102に供給されるクロック信号を生成する回路や、後述する切替信号（切替情報）S1を生成する回路をさらに有する。

【0041】

メモリ102は、独立にアクセス可能な4つのメモリコア（第1のメモリコア）106-1、メモリコア（第2のメモリコア）106-2、メモリコア106-3及びメモリコア106-4を備える。さらに、メモリ102は、インターフェイス回路（第1のバスインターフェイス回路）105-1、インターフェイス回路（第2のバスインターフェイス回路）105-2、インターフェイス回路105-3及びインターフェイス回路105-4を備える。さらに、メモリ102は、選択回路107-1、107-2と、モード情報記憶部108-1、108-2と、アクセス制御部110-1～110-4と、を備える。なお、メモリコア106-1、106-2によりメモリアレイM1が構成される。メモリコア106-3、106-4によりメモリアレイM2が構成される。また、アクセス制御部110-1～110-4により制御部が構成される。FPGA101とメモリ102との間では、外部バスを介して信号伝達が行われる。

【0042】

メモリコア106-1～106-4は、それぞれデータを記憶するためのメモリセル（記憶領域）を複数有する。アクセス制御部110-1～110-4は、それぞれ、モード設定レジスタ109-1～109-4（後述）に記憶されたモード情報に基づいて、メモリコア106-1～106-4の動作モードを切り替える。メモリコア106-1～106-4は、それぞれ、アクセス制御部110-1～110-4によって設定された動作モードにて動作する。それにより、FPGA101は、所望のアクセスモードにて、メモリコア106-1～106-4にアクセスすることが可能になる。より具体的には、FPGA101は、モード設定レジスタ109-1～109-4に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-1～106-4にアクセスすることが可能になる。

【0043】

10

20

30

40

50

メモリコア106-1~106-4では、アドレス信号(ADD)によって指定されたメモリセルに対しデータが書き込まれ、又は、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される。なお、データの読み出し及び書き込みは、コマンド信号(CMD)に含まれるライトイネーブル信号によって切り替えられる。

【0044】

インターフェイス回路105-1~105-4は、FPGA101からメモリコア106-1~106-4のいずれかへのアクセスをインターフェイスする回路である。なお、インターフェイス回路105-1~105-4は、FPGA101から供給される切替信号(切替情報)S1に基づいてそれぞれ活性化されるか否か(使用されるか否か)が制御される。

【0045】

選択回路107-1は、インターフェイス回路105-1, 105-2とメモリコア106-1, 106-2との間に設けられる。選択回路107-1は、FPGA101から供給される切替信号S1に基づいて、インターフェイス回路105-1, 105-2とメモリコア106-1, 106-2との間の信号経路を選択する。より具体的には、選択回路107-1は、複数のメモリコア106-1, 106-2のそれぞれを、複数のインターフェイス回路105-1, 105-2のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する。換言すると、選択回路107-1は、活性化されたインターフェイス回路が互いに異なるメモリコアに接続されるように、当該インターフェイス回路とメモリコア106-1, 106-2との間の信号経路を選択する。ここで、「活性化されたインターフェイス回路」とは、インターフェイス回路105-1, 105-2のうち、FPGA101からメモリアレイM1(メモリコア106-1, 106-2)へのアクセスを実際にインターフェイスしている回路のことである。

【0046】

選択回路107-2は、インターフェイス回路105-3, 105-4とメモリコア106-3, 106-4との間に設けられる。選択回路107-2は、FPGA101から供給される切替信号S1に基づいて、インターフェイス回路105-3, 105-4とメモリコア106-3, 106-4との間の信号経路を選択する。より具体的には、選択回路107-2は、複数のメモリコア106-3, 106-4のそれぞれを、複数のインターフェイス回路105-3, 105-4のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する。換言すると、選択回路107-2は、活性化されたインターフェイス回路が互いに異なるメモリコアに接続されるように、当該インターフェイス回路とメモリコア106-3, 106-4との間の信号経路を選択する。ここで、「活性化されたインターフェイス回路」とは、インターフェイス回路105-3, 105-4のうち、FPGA101からメモリアレイM2(メモリコア106-3, 106-4)へのアクセスを実際にインターフェイスしている回路のことである。

【0047】

図1の例では、FPGA101からメモリ102に対してHレベルの切替信号S1が供給されている。それにより、メモリ102では、インターフェイス回路105-1~105-4は、選択回路107-1, 107-2を介してそれぞれメモリコア106-1~106-4に接続される。つまり、インターフェイス回路105-1~105-4は、いずれも活性化される。

【0048】

より具体的には、図1の例では、機能ブロック103-1とメモリコア106-1との間の信号伝達は、FPGA101側のインターフェイス回路104-1及びメモリ102側のインターフェイス回路105-1を介して行われる。機能ブロック103-2とメモリコア106-2との間の信号伝達は、FPGA101側のインターフェイス回路104-2及びメモリ102側のインターフェイス回路105-2を介して行われる。機能ブロック103-3とメモリコア106-3との間の信号伝達は、FPGA101側のインターフェイス回路104-3及びメモリ102側のインターフェイス回路105-3を介し

10

20

30

40

50

て行われる。機能ブロック103-4とメモリアコア106-4との間の信号伝達は、FPGA101側のインターフェイス回路104-4及びメモリ102側のインターフェイス回路105-4を介して行われる。

【0049】

このように、複数のメモリアコア106-1~106-4は、それぞれ、複数のインターフェイス回路105-1~105-4のうち何れか一つのインターフェイス回路に接続されている。換言すると、活性化されているインターフェイス回路105-1~105-4は、互いに異なるメモリアコアに接続されている。

【0050】

なお、活性化されているインターフェイス回路が互いに異なるメモリアコアに接続されるのであれば、例えば、インターフェイス回路105-1がメモリアコア106-2に接続され、インターフェイス回路105-2がメモリアコア106-1に接続されるように信号経路が選択されても良い。

【0051】

モード情報記憶部108-1は、チャンネル毎に個別にモード情報を記憶する部である。モード情報記憶部108-1は、メモリアコア106-1, 106-2に対応するモード設定レジスタ109-1, 109-2を有する。モード設定レジスタ109-1, 109-2は、それぞれメモリアコア106-1, 106-2のモード情報(第1及び第2のモード情報)を記憶する。なお、モード情報とは、FPGA101からメモリアコアへのアクセスモード(例えばバースト長)を特定するための情報である。本実施の形態では、各モード設定レジスタ109-1, 109-2に記憶されるモード情報は、動作モード設定時において、FPGA101からアドレス信号線及びコマンド信号線を伝達しインターフェイス回路105-1を介して供給される。

【0052】

アクセス制御部110-1は、モード設定レジスタ109-1に記憶されたモード情報に基づいて、メモリアコア106-1の動作モードを切り替える。メモリアコア106-1は、アクセス制御部110-1により設定された動作モードにて動作する。それにより、FPGA101(ここでは機能ブロック103-1)は、所望のアクセスモードにてメモリアコア106-1にアクセスすることが可能になる。より具体的には、FPGA101は、モード設定レジスタ109-1に記憶されたモード情報により特定されるアクセスモードにて、メモリアコア106-1にアクセスすることが可能になる。

【0053】

同様に、アクセス制御部110-2は、モード設定レジスタ109-2に記憶されたモード情報に基づいて、メモリアコア106-2の動作モードを切り替える。メモリアコア106-2は、アクセス制御部110-2により設定された動作モードにて動作する。それにより、FPGA101(ここでは機能ブロック103-2)は、所望のアクセスモードにてメモリアコア106-2にアクセスすることが可能になる。より具体的には、FPGA101(ここでは機能ブロック103-2)は、モード設定レジスタ109-2に記憶されたモード情報により特定されるアクセスモードにて、メモリアコア106-2にアクセスすることが可能になる。動作モード設定の詳細については後述する。

【0054】

モード情報記憶部108-2は、チャンネル毎に個別にモード情報を記憶する部である。モード情報記憶部108-2は、メモリアコア106-3, 106-4に対応するモード設定レジスタ109-3, 109-4を有する。モード設定レジスタ109-3, 109-4は、それぞれメモリアコア106-3, 106-4のモード情報を記憶する。本実施の形態では、各モード設定レジスタ109-3, 109-4に記憶されるモード情報は、動作モード設定時において、FPGA101からアドレス信号線及びコマンド信号線を伝達しインターフェイス回路105-3を介して供給される。

【0055】

アクセス制御部110-3は、モード設定レジスタ109-3に記憶されたモード情報

10

20

30

40

50

に基づいて、メモリコア106-3の動作モードを切り替える。メモリコア106-3は、アクセス制御部110-3により設定された動作モードにて動作する。それにより、FPGA101(ここでは機能ブロック103-3)は、所望のアクセスモードにてメモリコア106-3にアクセスすることが可能になる。より具体的には、FPGA101(ここでは機能ブロック103-3)は、モード設定レジスタ109-3に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-3にアクセスすることが可能になる。

【0056】

同様に、アクセス制御部110-4は、モード設定レジスタ109-4に記憶されたモード情報に基づいて、メモリコア106-4の動作モードを切り替える。メモリコア106-4は、アクセス制御部110-4により設定された動作モードにて動作する。それにより、FPGA101(ここでは機能ブロック103-4)は、所望のアクセスモードにてメモリコア106-4にアクセスすることが可能になる。より具体的には、FPGA101(ここでは機能ブロック103-4)は、モード設定レジスタ109-4に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-4にアクセスすることが可能になる。

10

【0057】

FPGA101は、メモリ102にアクセスを必要とする機能ブロックの数に応じた信号レベルの切替信号S1を生成し、外部端子GPIOからメモリ102に対して出力する。さらに、FPGA101は、クロック信号CK1~CK4を生成しメモリ102に対して出力する。クロック信号CK1~CK4は、それぞれアクセス制御部110-1~110-4に供給される。アクセス制御部110-1~110-4は、FPGA101からメモリコア106-1~106-4へのアクセスをそれぞれクロック信号CK1~CK4に同期して実行する。つまり、メモリ102は、メモリコア106-1~106-4をそれぞれ異なる動作周波数で動作させることができる。換言すると、メモリ102は、チャンネル毎に異なる動作周波数で動作させることができる。なお、クロック信号CK1は、第1のクロック信号と称す場合がある。クロック信号CK2は、第2のクロック信号と称す場合がある。

20

【0058】

図2に示す半導体集積回路は、図1に示すFPGA101を再プログラミングしてFPGA201としたものである。具体的には、FPGA201は、再プログラミングされることにより、2つの独立した機能ブロック203-1, 203-2と、インターフェイス回路204-1~204-4と、を有する。その他の回路構成は図1の場合と同様であるため説明を省略する。

30

【0059】

インターフェイス回路204-1, 204-3は、それぞれ機能ブロック203-1, 203-2からメモリ102へのアクセスをインターフェイスする回路である。一方、インターフェイス回路204-2, 204-4は、メモリ102との間のインターフェイスに使用されない。

【0060】

図2の例では、FPGA201からメモリ102に対してLレベルの切替信号S1が供給されている。それにより、メモリ102では、インターフェイス回路105-1が選択回路107-1を介してメモリコア106-1, 106-2に接続され、インターフェイス回路105-3が選択回路107-2を介してメモリコア106-3, 104-4に接続される。つまり、インターフェイス回路105-1~105-4のうちインターフェイス回路105-1, 105-3のみが活性化される(実際に使用される)。

40

【0061】

つまり、図2の例では、機能ブロック203-1とメモリコア106-1, 106-2との間の信号伝達は、FPGA201側のインターフェイス回路204-1及びメモリ102側のインターフェイス回路105-1を介して行われる。機能ブロック203-2と

50

メモリコア 106 - 3 , 106 - 4 との間の信号伝達は、FPGA 201 側のインターフェイス回路 204 - 3 及びメモリ 102 側のインターフェイス回路 105 - 3 を介して行われる。

【0062】

このように、複数のメモリコア 106 - 1 ~ 106 - 4 は、それぞれ、複数のインターフェイス回路 105 - 1 ~ 105 - 4 のうち何れか一つのインターフェイス回路に接続されている。換言すると、活性化されているインターフェイス回路 105 - 1 , 105 - 3 は、互いに異なるメモリコアに接続されている。

【0063】

一方、インターフェイス回路 105 - 2 , 105 - 4 は使用されない。したがって、インターフェイス回路 105 - 2 , 105 - 4 には、例えば、FPGA 201 からの信号の代わりに固定信号（所定の論理レベルの電圧）が供給される。それにより、入力端子オープンによるフローティングを防ぐことができる。

【0064】

なお、活性化されているインターフェイス回路が互いに異なるメモリコアに接続されるのであれば、例えば、インターフェイス回路 105 - 1 がメモリコア 106 - 1 にのみ接続され、インターフェイス回路 105 - 3 がメモリコア 106 - 3 にのみ接続されるように信号経路が選択されても良い。

【0065】

このように、本実施の形態にかかるメモリ 102 では、選択回路 107 - 1 , 107 - 2 が、活性化されている（実際に使用される）インターフェイス回路を互いに異なるメモリコアに接続させるように、当該インターフェイス回路とメモリアレイとの間の信号経路を選択する。換言すると、選択回路 107 - 1 , 107 - 2 は、複数のメモリコアのそれぞれを複数のインターフェイス回路のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する。それにより、本実施の形態にかかるメモリ 102 は、複数の機能ブロックから同一のメモリコアに対して同時に読み書き要求が発生せず調停回路による調停を行う必要がないため、データ処理性能の低下を防止することができる。なお、上記の例では、メモリ 102 において活性化されるインターフェイス回路が 4 個又は 2 個である場合を例に説明したが、これに限られない。活性化されるインターフェイス回路は任意に変更可能である。

【0066】

次に、メモリ 102 の動作モードの設定方法について、図 3 及び図 4 を用いてさらに詳細に説明する。

【0067】

なお、動作モード設定時にモード情報記憶部 108 - 1 , 108 - 2 にそれぞれ供給されるモード情報は、常に活性化されているインターフェイス回路を介して供給されることが好ましい。それにより、モード情報記憶部 108 - 1 , 108 - 2 へのモード情報の供給ができなくなるという問題は生じなくなる。本実施の形態では、動作モード設定時にモード情報記憶部 108 - 1 , 108 - 2 に供給されるモード情報は、それぞれ常に活性化されているインターフェイス回路 105 - 1 , 105 - 3 を介して供給される場合を例に説明する。

【0068】

図 3 は、FPGA (101 又は 201) からメモリ 102 に供給されるコマンド信号及びアドレス信号の関係を示す図である。なお、図 3 では、FPGA (101 又は 201) からインターフェイス回路 105 - 1 に供給されるコマンド信号及びアドレス信号について説明するが、FPGA (101 又は 201) からインターフェイス回路 105 - 3 に供給されるコマンド信号及びアドレス信号の場合も同様である。したがって、インターフェイス回路 105 - 3 に供給されるコマンド信号及びアドレス信号についての説明は省略する。

【0069】

図3に示すように、インターフェイス回路105-1は、コマンド信号として、チップセレクト信号CSN₁、ライトイネーブル信号WEN₁及びリフレッシュ信号REFN₁をFPGAから受信する。また、インターフェイス回路105-1は、アドレス信号として、n(nは自然数)ビットのアドレス信号A(n-1)₁~A0₁をFPGAから受信する。

【0070】

例えば、チップセレクト信号CSN₁が論理値1の場合、インターフェイス回路105-1に接続されたメモリコアに対してデータの書き込み等を行われない(図3のNOP)。

【0071】

例えば、チップセレクト信号CSN₁が論理値0、ライトイネーブル信号WEN₁が論理値1及びリフレッシュ信号REFN₁が論理値1の場合、アドレス信号A(n-1)₁~A0₁によって指定されたメモリセルに記憶されたデータの読み出しが行われる(図3のREAD)。

【0072】

例えば、チップセレクト信号CSN₁が論理値0、ライトイネーブル信号WEN₁が論理値0及びリフレッシュ信号REFN₁が論理値1の場合、アドレス信号A(n-1)₁~A0₁によって指定されたメモリセルに対してデータの書き込みが行われる(図3のWRITE)。

【0073】

例えば、チップセレクト信号CSN₁が論理値0、ライトイネーブル信号WEN₁が論理値1及びリフレッシュ信号REFN₁が論理値0の場合、インターフェイス回路105-1に接続されたメモリコアに対してリフレッシュが実行される(図3のREFRESH)。

【0074】

例えば、チップセレクト信号CSN₁が論理値0、ライトイネーブル信号WEN₁が論理値0及びリフレッシュ信号REFN₁が論理値0の場合、即ち、動作モード設定時では、アドレス信号A(n-1)₁~A0₁に含まれるモード情報がモード情報記憶部108-1に記憶される(図3のMRS)。

【0075】

図4は、動作モード設定時にFPGA(101又は201)からメモリ102に供給されるアドレス信号を説明するための図である。なお、図4では、FPGA(101又は201)からインターフェイス回路105-1に供給されるアドレス信号について説明するが、FPGA(101又は201)からインターフェイス回路105-3に供給されるアドレス信号の場合も同様である。したがって、インターフェイス回路105-3に供給されるアドレス信号についての説明は省略する。

【0076】

図4に示すように、チップセレクト信号CSN₁が論理値0、ライトイネーブル信号WEN₁が論理値0及びリフレッシュ信号REFN₁が論理値0の場合(図3のMRSの場合)、即ち、動作モード設定時、アドレス信号A(n-1)₁~A0₁には、モード情報記憶部108-1に記憶させるためのモード情報が含まれている。

【0077】

まず、図1に示す回路構成の場合におけるメモリ102の動作モードの設定方法について図4を参照して説明する。図1に示す回路構成の場合、チャンネル1用(モード設定レジスタ109-1用)のモード情報(第1のモード情報)としてアドレス信号A4₁~A0₁が用いられ、チャンネル2用(モード設定レジスタ109-2用)のモード情報(第2のモード情報)としてアドレス信号A9₁~A5₁が用いられる。

【0078】

アドレス信号A0₁には、インターフェイス回路105-1に設けられた複数の外部端子のうち、データの受け渡しをする外部端子として、双方向の入出力端子を使用するか

10

20

30

40

50

入力専用端子及び出力専用端子を使用するか、を決定するための情報が含まれている。例えば、アドレス信号 A 0 _ 1 が論理値 0 の場合、データの受け渡しをする外部端子として双方向の入出力端子が使用される (図 4 の Common I/O)。一方、アドレス信号 A 0 _ 1 が論理値 1 の場合、データの受け渡しをする外部端子として入力専用端子及び出力専用端子が使用される (図 4 の Separated I/O)。

【 0 0 7 9 】

アドレス信号 A 2 _ 1 , A 1 _ 1 には、メモリア 1 0 6 - 1 から読み出されるデータ又はメモリア 1 0 6 - 1 に書き込まれるデータのバースト長を決定するための情報が含まれている。例えば、アドレス信号 A 2 _ 1 が論理値 0、アドレス信号 A 1 _ 1 が論理値 0 の場合、バースト長は " 2 " となる。アドレス信号 A 2 _ 1 が論理値 0、アドレス信号 A 1 _ 1 が論理値 1 の場合、バースト長は " 4 " となる。アドレス信号 A 2 _ 1 が論理値 1、アドレス信号 A 1 _ 1 が論理値 0 の場合、バースト長は " 8 " となる。

10

【 0 0 8 0 】

アドレス信号 A 4 _ 1 , A 3 _ 1 には、メモリア 1 0 6 - 1 におけるランダムサイクル時間 t R C、ライトレイテンシー t W L 及びリードレイテンシー t R L を決定するための情報が含まれている。例えば、アドレス信号 A 4 _ 1 が論理値 0、アドレス信号 A 3 _ 1 が論理値 0 の場合、ランダムサイクル時間 t R C は 1 クロックサイクル、ライトレイテンシー t W L は 2 クロックサイクル、及び、リードレイテンシー t R L は 1 クロックサイクルとなる。また、このときのメモリア 1 0 6 - 1 の動作周波数は 2 0 0 M H z となる。

20

【 0 0 8 1 】

アドレス信号 A 4 _ 1 が論理値 0、アドレス信号 A 3 _ 1 が論理値 1 の場合、ランダムサイクル時間 t R C は 2 クロックサイクル、ライトレイテンシー t W L は 5 クロックサイクル、及び、リードレイテンシー t R L は 3 クロックサイクルとなる。また、このときのメモリア 1 0 6 - 1 の動作周波数は 4 0 0 M H z となる。アドレス信号 A 4 _ 1 が論理値 1、アドレス信号 A 3 _ 1 が論理値 0 の場合、ランダムサイクル時間 t R C は 4 クロックサイクル、ライトレイテンシー t W L は 9 クロックサイクル、及び、リードレイテンシー t R L は 6 クロックサイクルとなる。また、このときのメモリア 1 0 6 - 1 の動作周波数は 6 0 0 M H z となる。

【 0 0 8 2 】

同様にして、アドレス信号 A 5 _ 1 には、インターフェイス回路 1 0 5 - 2 に設けられた複数の外部端子のうち、データの受け渡しをする外部端子として、双方向の入出力端子を使用するか、入力専用端子及び出力専用端子を使用するか、を決定するための情報が含まれている。アドレス信号 A 6 _ 1 , A 7 _ 1 には、メモリア 1 0 6 - 2 から読み出されるデータ又はメモリア 1 0 6 - 2 に書き込まれるデータのバースト長を決定するための情報が含まれている。アドレス信号 A 8 _ 1 , A 9 _ 1 には、メモリア 1 0 6 - 2 におけるランダムサイクル時間 t R C、ライトレイテンシー t W L 及びリードレイテンシー t R L を決定するための情報が含まれている。

30

【 0 0 8 3 】

モード設定レジスタ 1 0 9 - 1 には、動作モード設定時において、アドレス信号 A 4 _ 1 ~ A 0 _ 1 の情報 (モード情報) が記憶される。アクセス制御部 1 1 0 - 1 は、モード設定レジスタ 1 0 9 - 1 に記憶されたモード情報に基づいてメモリア 1 0 6 - 1 の動作モードを切り替える。それにより、通常動作時において、メモリア 1 0 6 - 1 は、アクセス制御部 1 1 0 - 1 によって設定された動作モードにて動作する。それにより、機能ブロック 1 0 3 - 1 は、モード設定レジスタ 1 0 9 - 1 に記憶されたモード情報により特定されるアクセスモードにて、メモリア 1 0 6 - 1 へのアクセスが可能になる。

40

【 0 0 8 4 】

また、モード設定レジスタ 1 0 9 - 2 には、動作モード設定時において、アドレス信号 A 9 _ 1 ~ A 5 _ 1 の情報 (モード情報) が記憶される。アクセス制御部 1 1 0 - 2 は、モード設定レジスタ 1 0 9 - 2 に記憶されたモード情報に基づいてメモリア 1 0 6 - 2

50

の動作モードを切り替える。それにより、通常動作時において、メモリコア106-2は、アクセス制御部110-2によって設定された動作モードにて動作する。それにより、機能ブロック103-2は、モード設定レジスタ109-2に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-2へのアクセスが可能になる。

【0085】

同様に、モード設定レジスタ109-3, 109-4には、動作モード設定時において、インターフェイス回路105-3に供給されるアドレス信号の情報(モード情報)が記憶される。アクセス制御部110-3, 110-4は、それぞれ、モード設定レジスタ109-3, 109-4に記憶されたモード情報に基づいて、メモリコア106-3, 106-4の動作モードを切り替える。それにより、通常動作時において、メモリコア106-3, 106-4は、それぞれ、アクセス制御部110-3, 110-4によって設定された動作モードにて動作する。それにより、機能ブロック103-3, 103-4は、それぞれ、モード設定レジスタ109-3, 109-4に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-3, 106-4へのアクセスが可能になる。

10

【0086】

次に、図2に示す回路構成の場合におけるメモリ102の動作モードの設定について図4を参照して説明する。図2に示す回路構成の場合、チャンネル1用(モード設定レジスタ109-1, 109-2用)のモード情報としてアドレス信号A4_1~A0_1が用いられる。つまり、モード設定レジスタ109-1, 109-2には、共通のモード情報が記憶される。なお、モード設定レジスタ109-1用のモード情報としてアドレス信号A4_1~A0_1が用いられ、モード設定レジスタ109-2用のモード情報としてアドレス信号A9_1~A5_1が用いられても良い。このとき、これらのモード情報は、互いに同じ内容の情報となっている。具体的な動作モードの設定方法については、上記と同様であるため説明を省略する。

20

【0087】

この場合、通常動作時において、機能ブロック203-1は、モード設定レジスタ109-1に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-1へのアクセスが可能になる。また、機能ブロック203-1は、モード設定レジスタ109-2に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-2へのアクセスが可能になる。

30

【0088】

同様に、通常動作時において、機能ブロック203-2は、モード設定レジスタ109-3に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-3へのアクセスが可能になる。また、機能ブロック203-2は、モード設定レジスタ109-4に記憶されたモード情報により特定されるアクセスモードにて、メモリコア106-4へのアクセスが可能になる。

【0089】

なお、上記したメモリ102の動作モードの設定条件は、あくまでも一例であり、各メモリコアの能力を超えない範囲内で様々な設定条件に変更可能である。また、モード情報の伝達に用いられるアドレス信号のビット幅は、1チャンネル当たり5ビット幅である場合に限られず、適宜変更可能である。このように、アドレス信号線及びコマンド信号線を用いてモード情報を伝達することにより、モード情報の伝達用に追加の信号線及び外部端子が不要になるため、回路規模の増大を抑制することが可能になる。

40

【0090】

(タイミングチャート)

図5Aは、図1に示す半導体集積回路の動作の一例を示すタイミングチャートである。より具体的には、図5Aは、機能ブロック103-1がメモリ102に対してデータの読み出し要求を行うと同時に、機能ブロック103-2がメモリ102に対してデータの書き込み要求を行った場合のタイミングチャートである。つまり、図5Aは、図11Bに示

50

すタイミングチャートと同じ条件のアクセス要求があった場合のタイミングチャートである。

【0091】

なお、機能ブロック103-1~103-3が1回のデータ読み出し要求によりメモリ102から受信する必要がある読み出しデータの量は、それぞれデータ量Xであるものとする。一方、機能ブロック103-4が1回のデータ読み出し要求によりメモリ102から受信する必要がある読み出しデータの量は、データ量Xの2倍(データ量2X)であるものとする。つまり、機能ブロック103-4は、1回のデータ読み出し要求により、機能ブロック103-1の2倍の読み出しデータを受信する必要がある。また、メモリ102は、1回のデータ読み出し要求に対して、それぞれデータ量Xの読み出しデータを送信可能であるものとする。

10

【0092】

まず、機能ブロック103-1がインターフェイス回路104-1に対して読み出し要求を出すと同時に、機能ブロック103-2がインターフェイス回路104-2に対して書き込み要求を出す(時刻t1)。このように、機能ブロック103-1,103-2から出された読み出し要求及び書き込み要求は、調停回路による調停が行われることなくそれぞれ直接インターフェイス回路104-1,104-2に伝達される。

【0093】

インターフェイス回路104-1は、機能ブロック103-1から受け取った読み出し要求に応じたコマンド信号及びアドレス信号を生成し、メモリ102に対して出力する。同時に、インターフェイス回路104-2は、機能ブロック103-2から受け取った書き込み要求に応じたコマンド信号、アドレス信号及び書き込み用のデータ信号を生成し、メモリ102に対して出力する(時刻t2)。

20

【0094】

メモリ102において、インターフェイス回路105-1は、FPGA101から出力されたコマンド信号及びアドレス信号を受信して、後段のメモリコア106-1に転送する(時刻t3)。同時に、インターフェイス回路105-2は、FPGA101から出力されたコマンド信号、アドレス信号及び書き込み用のデータ信号を受信して、後段のメモリコア106-2に転送する(時刻t3)。このように、本実施の形態にかかるメモリ102では、活性化されているインターフェイス回路105-1,105-2が互いに異なるメモリコアに接続される。そのため、複数の機能ブロックから同時に読み書き要求があった場合でも、これらの要求は調停回路により調停されることなく並行して処理が実行される。

30

【0095】

メモリコア106-1では、所定期間の読み出し動作の後(時刻t3~t4)、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される(時刻t4)。インターフェイス回路105-1は、メモリコア106-1から読み出されたデータをFPGA101に対して出力する(時刻t4)。一方、メモリコア106-2では、メモリコア106-2と並行してアクセスが実行され、所定期間の書き込み動作の後、アドレス信号によって指定されたメモリセルにデータが書き込まれる(時刻t3~t5)。

40

【0096】

FPGA101において、インターフェイス回路104-1は、メモリ102から出力されたデータを受信して、読み出し要求の要求元である機能ブロック103-1に転送する(時刻t5)。機能ブロック103-1は、インターフェイス回路104-1から転送されたデータをクロック信号CK1に同期して取り込む(時刻t6)。このようにして、データの読み出し要求及び書き込み要求に対する一連の動作が完了する。

【0097】

図5Aの例では、機能ブロック103-1がデータの読み出し要求を出してから当該データを受け取るまでの期間は、同条件の図11Bの例と比較して6クロックサイクル少ない、7クロックサイクル(時刻t1~t6)である。つまり、クロックサイクル数が減少

50

した分だけデータ処理性能が向上している。

【0098】

さらに、このときのデータ処理性能は、調停回路の処理時間が省略されるため、図11Aのようにデータの読み出し要求が単独であった場合と比較しても2クロックサイクル少なくなる。

【0099】

このように、本実施の形態にかかるメモリ（半導体装置）では、活性化されているインターフェイス回路を互いに異なるメモリコアに接続させるように、選択回路が当該インターフェイス回路とメモリアレイとの間の信号経路を選択する。換言すると、本実施の形態にかかるメモリ（半導体装置）では、選択回路が、複数のメモリコアのそれぞれを複数のインターフェイス回路のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する。それにより、本実施の形態にかかるメモリは、複数の機能ブロックから同一のメモリコアに対して同時に読み書き要求が発生せず調停回路による調停を行う必要がないため、データ処理性能の低下を防止することができる。

10

【0100】

また、複数の機能ブロックから同時に読み書き要求があった場合でも、これらの読み書き要求はそれぞれ異なるメモリコアにアクセスされるため、図2の場合のように機能ブロックの数が増減しても、これら機能ブロックは常に一定の性能を維持することができる。

【0101】

図5Bは、図1に示す半導体集積回路の動作の他の例を示すタイミングチャートである。より具体的には、図5Bは、機能ブロック103-3が単独でメモリ102に対してデータの読み出し要求を行った場合のタイミングチャートである。つまり、図5Bは、図11Aに示すタイミングチャートと同様に、1つの機能ブロックが単独でデータ量Xのデータ読み出し要求を行った場合のタイミングチャートである。

20

【0102】

なお、機能ブロック103-3は、他の機能ブロック103-1, 103-2, 103-4と比較して遅い動作周波数で動作可能であるものとする。ここで、メモリ102は、上記したように、独立にアクセス可能なメモリコア106-1~106-4に対してそれぞれ独自の動作モードを設定することが可能である。つまり、メモリ102は、メモリコア106-3を他のクロック信号CK1, CK2, CK4よりも遅い周波数のクロック信号CK3にて動作させるように動作モードを設定することが可能である。それにより、機能ブロック103-3は、他の機能ブロックよりも低い所望の動作周波数で動作することが可能となる。

30

【0103】

まず、機能ブロック103-3がインターフェイス回路104-3に対して読み出し要求を出す（時刻t1）。このように、機能ブロック103-3から出力された読み出し要求は、調停回路による調停が行われることなく直接インターフェイス回路104-3に伝達される。インターフェイス回路104-3は、機能ブロック103-3から受け取った読み出し要求に応じたコマンド信号及びアドレス信号を生成し、メモリ102に対して出力する（時刻t2）。

40

【0104】

メモリ102において、インターフェイス回路105-3は、FPGA101から出力されたコマンド信号及びアドレス信号を受信して、後段のメモリコア106-3に転送する（時刻t3）。メモリコア106-3では、所定期間の読み出し動作の後（時刻t3~t4）、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される（時刻t4）。インターフェイス回路105-3は、メモリコア106-3から読み出されたデータをFPGA101に対して出力する（時刻t4）。

【0105】

FPGA101において、インターフェイス回路104-3は、メモリ102から出力されたデータを受信して、読み出し要求の要求元である機能ブロック103-3に転送す

50

る（時刻 t_5 ）。機能ブロック 103 - 3 は、インターフェイス回路 104 - 3 から転送されたデータをクロック信号 CK3 に同期して取り込む（時刻 t_6 ）。このようにして、データの読み出し要求に対する一連の動作が完了する。

【0106】

このように、本実施の形態にかかるメモリは、独立にアクセス可能な複数のメモリコアにそれぞれ独自の動作モードを設定することが可能である。換言すると、本実施の形態にかかるメモリは、複数のモード設定レジスタにそれぞれ独自のモード情報を記憶することが可能である。そのため、複数の機能ブロックは、それぞれ所望の動作周波数にてメモリアクセスを行うことが可能になる。つまり、複数の機能ブロックは、図 11A の場合と異なり、不必要に速い又は遅い動作周波数にてメモリアクセスを行う必要が無くなる。それにより、本実施の形態にかかるメモリは、データ処理性能の低下をさらに防止することができる。

10

【0107】

さらに、本実施の形態にかかるメモリは、これらメモリコアの動作モードを、アクセス元の機能ブロックのアクセスモードに応じた動作モードに適宜変更することが可能である。換言すると、本実施の形態にかかるメモリは、複数のモード設定レジスタに記憶されたモード情報を適宜変更することが可能である。そのため、FPGA 101 が再プログラミングされることにより機能ブロックが変更された場合でも、それぞれの機能ブロックが所望の動作周波数にてメモリアクセスできるように柔軟に対応することが可能である。

【0108】

なお、図 5B の例でのデータ処理性能は、調停回路の処理時間が省略されるため、図 11A の場合と比較しても 2 クロックサイクル少なくなる。

20

【0109】

図 5C は、図 1 に示す半導体集積回路の動作の他の例を示すタイミングチャートである。より具体的には、図 5C は、機能ブロック 103 - 4 が単独でメモリ 102 に対してデータの読み出し要求を行った場合のタイミングチャートである。つまり、図 5C は、図 11C に示すタイミングチャートと同様に、1 つの機能ブロックが単独でデータ量 2X のデータ読み出し要求を行った場合のタイミングチャートである。

【0110】

ここで、メモリ 102 は、上記したように、独立にアクセス可能なメモリコア 106 - 1 ~ 106 - 4 に対してそれぞれ独自の動作モードを設定することが可能である。したがって、メモリ 102 は、1 回のデータ読み出し要求に対してデータ量 2X のデータをメモリコア 106 - 4 から読み出させるように動作モードを設定することが可能である。つまり、メモリ 102 は、メモリコア 106 - 4 から読み出されるデータのバースト長を、他のメモリコアの場合の 2 倍にするように動作モードを設定することが可能である。それにより、機能ブロック 103 - 4 は、1 回のデータ読み出し要求により、調停回路によって読み出し要求を複数回に分割することなく、所望のデータ量（2X）の読み出しデータを受信することが可能となる。

30

【0111】

まず、機能ブロック 103 - 4 がインターフェイス回路 104 - 4 に対して読み出し要求を出す（時刻 t_1 ）。このように、機能ブロック 103 - 4 から出力された読み出し要求は、調停回路による調停が行われることなく直接インターフェイス回路 104 - 4 に伝達される。インターフェイス回路 104 - 4 は、機能ブロック 103 - 4 から受け取った読み出し要求に応じたコマンド信号及びアドレス信号を生成し、メモリ 102 に対して出力する（時刻 t_2 ）。

40

【0112】

メモリ 102 において、インターフェイス回路 105 - 4 は、FPGA 101 から出力されたコマンド信号及びアドレス信号を受信して、後段のメモリコア 106 - 4 に転送する（時刻 t_3 ）。メモリコア 106 - 4 では、所定期間の読み出し動作の後（時刻 t_3 ~ t_4 ）、アドレス信号によって指定されたメモリセルに記憶されたデータが読み出される

50

(時刻 t_4)。このとき、図 5 B の場合と比較して 2 倍のデータ量 (2X) のデータが読み出される (時刻 $t_4 \sim t_6$)。インターフェイス回路 105 - 4 は、メモリコア 106 - 4 から読み出されたデータを F P G A 101 に対して出力する (時刻 t_4)。

【0113】

F P G A 101 において、インターフェイス回路 104 - 4 は、メモリ 102 から出力されたデータを受信して、読み出し要求の要求元である機能ブロック 103 - 4 に転送する (時刻 t_5)。機能ブロック 103 - 4 は、インターフェイス回路 104 - 4 から転送されたデータをクロック信号 C K 4 に同期して取り込む (時刻 t_6)。このようにして、データの読み出し要求に対する一連の動作が完了する。

【0114】

図 5 C の例では、機能ブロック 103 - 4 がデータの読み出し要求を出力してから当該データを受け取るまでの期間は、図 11 C の場合と比較して 6 クロックサイクル少ない、7 クロックサイクル (時刻 $t_1 \sim t_6$) である。つまり、クロックサイクル数が減少した分だけデータ処理性能が向上している。

【0115】

このように、本実施の形態にかかるメモリは、独立にアクセス可能な複数のメモリコアにそれぞれ独自の動作モードを設定することが可能である。換言すると、本実施の形態にかかるメモリは、複数のモード設定レジスタにそれぞれ独自のモード情報を記憶することが可能である。そのため、複数の機能ブロックは、図 11 C の場合と異なり調停回路によって読み出し要求を複数回に分割することなく、所望のバースト長の読み出しデータを受信することが可能になる。それにより、本実施の形態にかかるメモリは、データ処理性能の低下をさらに防止することができる。

【0116】

さらに、本実施の形態にかかるメモリは、これらメモリコアの動作モードを、アクセス元の機能ブロックのアクセスモードに応じた動作モードに適宜変更することが可能である。換言すると、本実施の形態にかかるメモリは、複数のモード設定レジスタに記憶されたモード情報を適宜変更することが可能である。そのため、F P G A 101 が再プログラミングされることにより機能ブロックが変更された場合でも、それぞれの機能ブロックが所望のバースト長の読み出しデータを受信できるように柔軟に対応することが可能である。

【0117】

実施の形態 2

図 6 は、本発明の実施の形態 2 にかかるメモリ (半導体装置) を備えた半導体集積回路を示すブロック図である。図 6 に示すメモリ 102 a では、図 1 に示すメモリ 102 と比較して、F P G A 101 から切替信号 S 1 が供給されない。ここで、図 6 に示すメモリ 102 a では、動作モード設定時のアドレス信号に含まれるモード情報に基づいて、選択回路 107 - 1, 107 - 2 による信号経路の選択、及び、インターフェイス回路 105 - 1 ~ 105 - 4 の活性・非活性が制御される。図 6 に示す半導体集積回路のその他の構成については、図 1 に示す半導体集積回路と同様であるため、その説明を省略する。

【0118】

図 7 は、動作モード設定時に F P G A 101 からメモリ 102 a に供給されるアドレス信号を説明するための図である。なお、図 7 では、F P G A 101 からインターフェイス回路 105 - 1 に供給されるアドレス信号について説明するが、F P G A 101 からインターフェイス回路 105 - 3 に供給されるアドレス信号の場合も同様である。したがって、インターフェイス回路 105 - 3 に供給されるアドレス信号についての説明は省略する。

【0119】

図 7 に示すように、動作モード設定時、アドレス信号 $A(n-1)_{-1} \sim A0_{-1}$ には、モード情報記憶部 108 - 1 に記憶させるためのモード情報が含まれている。ここで、チャンネル 1 用のモード情報としてアドレス信号 $A4_{-1} \sim A0_{-1}$ が用いられる。チャンネル 2 用のモード情報としてアドレス信号 $A10_{-1} \sim A6_{-1}$ が用いられる。

10

20

30

40

50

【 0 1 2 0 】

そして、アドレス信号 A 5 _ 1 には、選択回路 1 0 7 - 1 による信号経路の選択、及び、インターフェイス回路 1 0 5 - 1 , 1 0 5 - 2 の活性・非活性、を決定するための情報（切替情報）が含まれている。例えば、アドレス信号 A 5 _ 1 が論理値 0 の場合、インターフェイス回路 1 0 5 - 1 とメモリアレイ 1 0 6 - 1 とが接続され、インターフェイス回路 1 0 5 - 2 とメモリアレイ 1 0 6 - 2 とが接続されるように、信号経路が選択されることとなる。一方、アドレス信号 A 5 _ 1 が論理値 1 の場合、インターフェイス回路 1 0 5 - 1 と 2 つのメモリアレイ 1 0 6 - 1 , 1 0 6 - 2 とが接続されるように、信号経路が選択されることとなる。

【 0 1 2 1 】

このように、本実施の形態にかかるメモリは、モード情報に切替信号 S 1 に相当する情報を含めることにより、実施の形態 1 の場合と同様の効果を奏することができる。また、切替信号 S 1 用の外部端子が不要になるため、回路規模の増大を抑制することが可能になる。

【 0 1 2 2 】

実施の形態 3

図 8 は、本発明の実施の形態 3 にかかるメモリ（半導体装置）を備えた半導体集積回路を示すブロック図である。図 8 に示すメモリ 1 0 2 b は、図 1 に示すメモリ 1 0 2 と比較して、クロック生成回路 1 1 1 をさらに備える。クロック生成回路 1 1 1 は、F P G A 1 0 1 から供給されるクロック信号 C K に基づきそれぞれ独自の周波数のクロック信号 C K 1 ~ C K 4 を生成する。例えば、クロック生成回路 1 1 1 は、モード設定レジスタ 1 0 9 - 1 ~ 1 0 9 - 4 に記憶されたモード情報に基づいて、それぞれ所望の周波数のクロック信号 C K 1 ~ C K 4 を生成する。

【 0 1 2 3 】

このように、本実施の形態にかかるメモリは、クロック生成回路 1 1 1 を備えることにより所望の周波数のクロック信号を生成することができるため、各メモリアレイの動作モードの条件をより柔軟に設定することが可能となる。

【 0 1 2 4 】

以上のように、上記実施の形態 1 ~ 3 にかかるメモリ（半導体装置）では、活性化されているインターフェイス回路を互いに異なるメモリアレイに接続させるように、選択回路が当該インターフェイス回路とメモリアレイとの間の信号経路を選択する。換言すると、上記実施の形態にかかるメモリ（半導体装置）では、選択回路が、複数のメモリアレイのそれぞれを複数のインターフェイス回路のうち何れか一つのインターフェイス回路に接続させるように信号経路を選択する。それにより、上記実施の形態にかかるメモリは、複数の機能ブロックから同一のメモリアレイに対して同時に読み書き要求が発生せず調停回路による調停を行う必要がないため、データ処理性能の低下を防止することができる。

【 0 1 2 5 】

さらに、上記実施の形態 1 ~ 3 にかかるメモリは、独立にアクセス可能な複数のメモリアレイにそれぞれ独自の動作モードを設定することが可能である。換言すると、上記実施の形態 1 ~ 3 にかかるメモリは、複数のモード設定レジスタにそれぞれ独自のモード情報を記憶することが可能である。そのため、複数の機能ブロックは、それぞれ所望のアクセスモードにてメモリアレイアクセスを行うことが可能になる。それにより、本実施の形態にかかるメモリは、データ処理性能の低下をさらに防止することができる。

【 0 1 2 6 】

さらに、上記実施の形態 1 ~ 3 にかかるメモリは、これらメモリアレイの動作モードを、アクセス元の機能ブロックのアクセスモードに応じた動作モードに適宜変更することが可能である。換言すると、上記実施の形態 1 ~ 3 にかかるメモリは、複数のモード設定レジスタに記憶されたモード情報を適宜変更することが可能である。そのため、F P G A が再プログラミングされることにより機能ブロックが変更された場合でも、それぞれの機能ブロックが所望のアクセスモードにてメモリアレイアクセスできるように柔軟に対応することが可

10

20

30

40

50

能である。

【0127】

なお、本発明は上記実施の形態1～3に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。上記実施の形態1～3では、メモリが4つのインターフェイス回路と4つのメモリコアを備えた場合を例に説明したが、これに限られず、任意の数のインターフェイス回路及び任意の数のメモリコアを備えた回路構成に適宜変更可能である。

【0128】

本発明にかかるメモリは、例えば、高速なデータ処理性能が要求されるルータに搭載される。ルータにおけるデータ処理性能が向上することにより、消費電力の低減も期待できる。なお、ルータとは、図9に示すように異なるネットワーク間を相互接続するネットワーク装置のことである。

10

【符号の説明】

【0129】

101 F P G A

102, 102a, 102b メモリ

103-1～103-4 機能ブロック

104-1～104-4, 105-1～105-4 インターフェイス回路

106-1～106-4 メモリコア

107-1, 107-2 選択回路

20

108-1, 108-2 モード情報記憶部

109-1～109-4 モード設定レジスタ

110-1～110-4 アクセス制御部

111 クロック生成回路

201 F P G A

203-1, 203-2 機能ブロック

204-1～204-4 インターフェイス回路

901 F P G A

902, 903 メモリ

904～907 機能ブロック

30

908, 909 インターフェイス回路

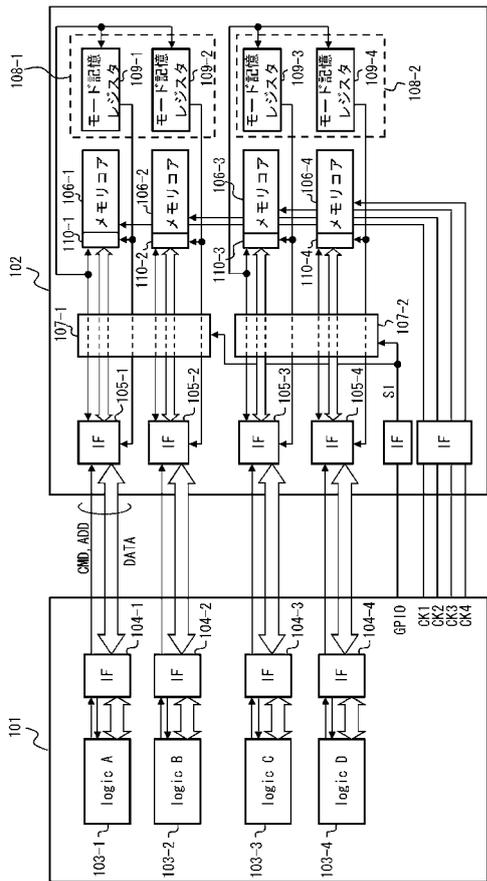
910, 911 調停回路

912, 913 メモリコア

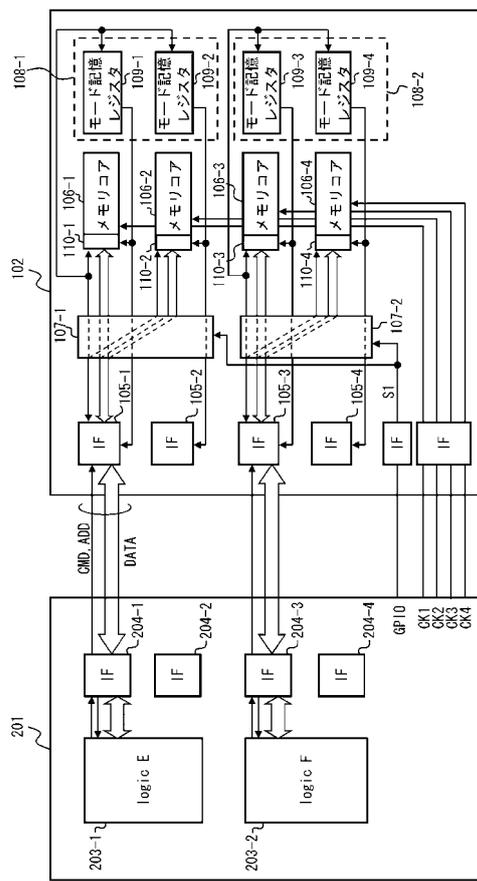
914, 915 インターフェイス回路

M1, M2 メモリアレイ

【図 1】



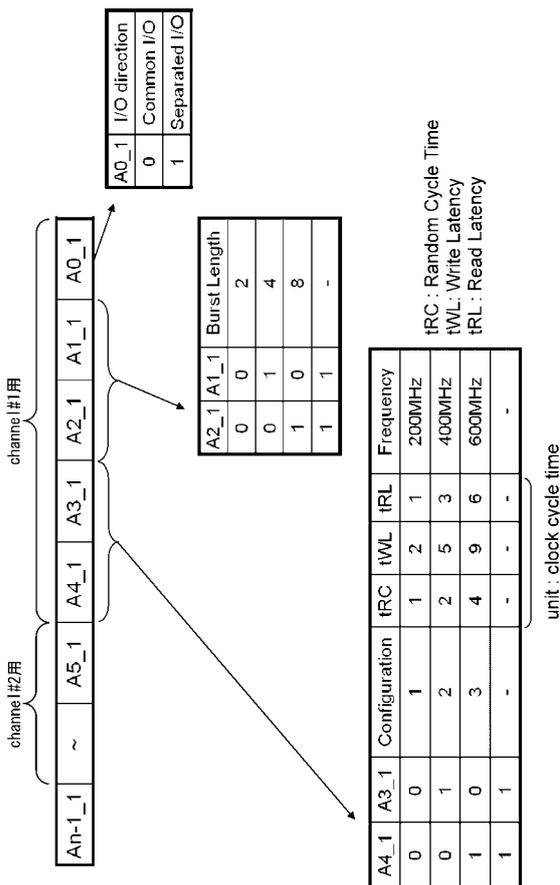
【図 2】



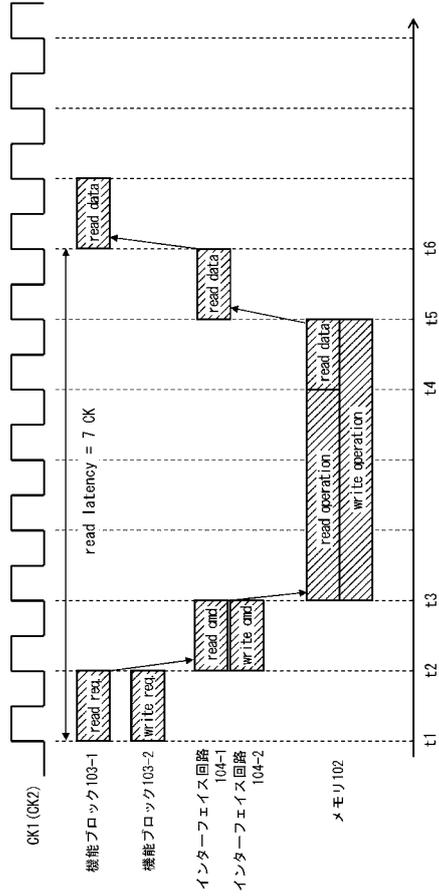
【図 3】

Command	CSN_1	WEN_1	REFN_1	A(n-1)_1~A0_1	Comment
NOP	1	X	X	X	No Operation
READ	0	1	1	Address	Read
WRITE	0	0	1	Address	Write
REFRESH	0	1	0	X	-
MRS	0	0	0	CODE	Mode setting

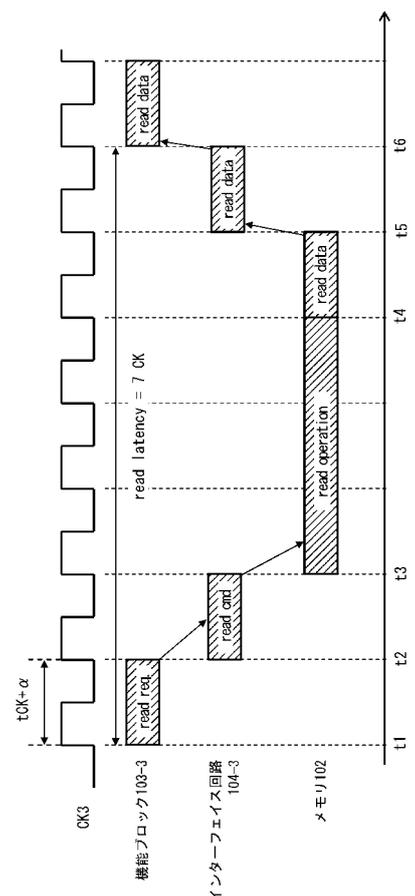
【図 4】



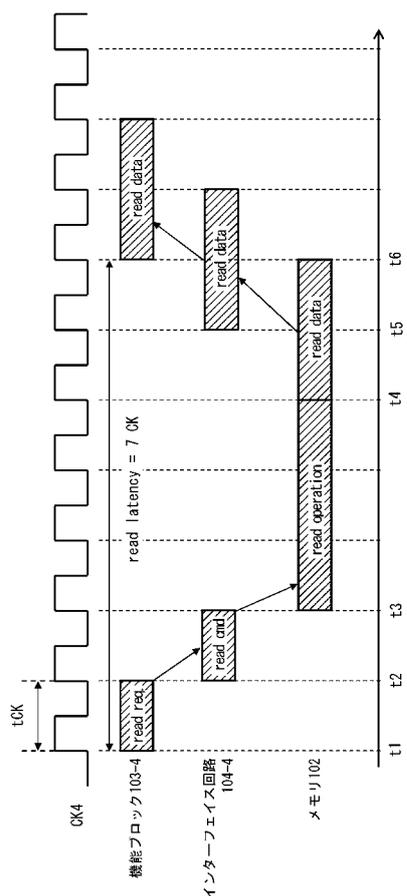
【図 5 A】



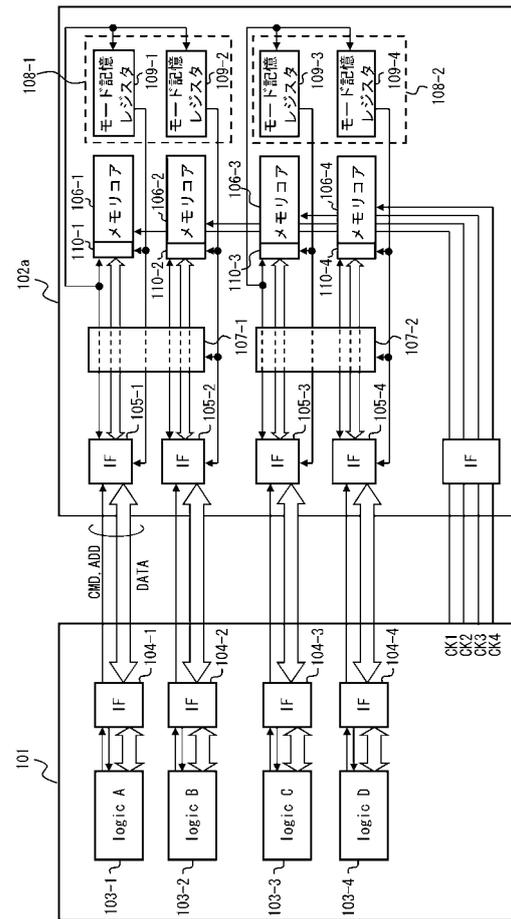
【図 5 B】



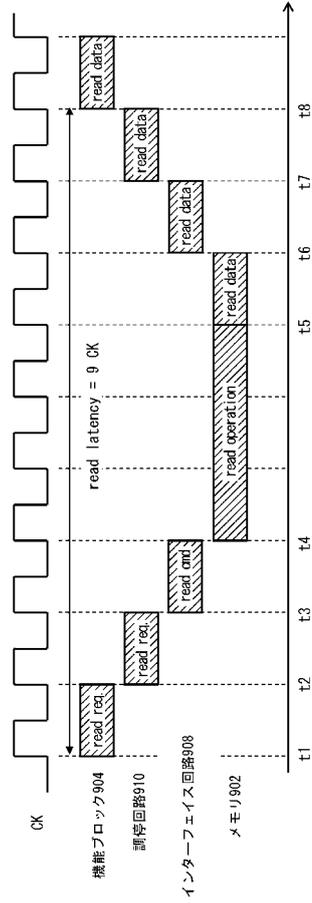
【図 5 C】



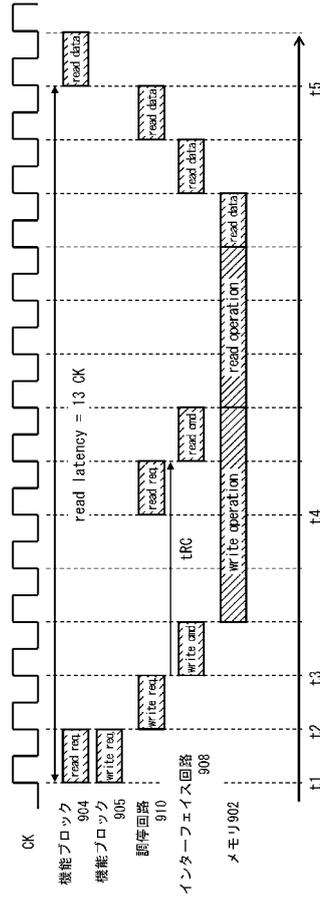
【図 6】



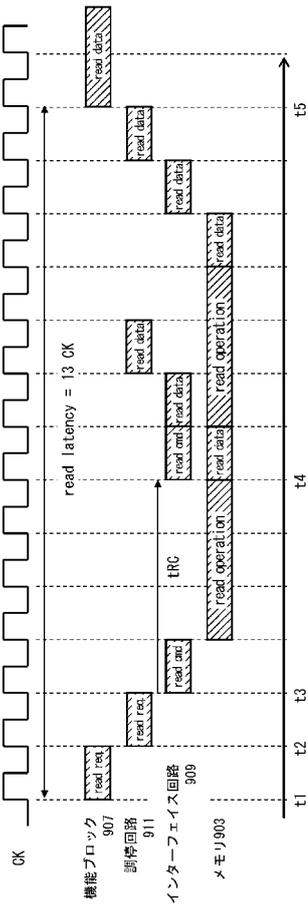
【図 1 1 A】



【図 1 1 B】



【図 1 1 C】



フロントページの続き

(72)発明者 船木 寿彦

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 有馬 秀明

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5M024 AA50 BB17 BB28 BB33 BB34 JJ40 JJ52 KK10 KK38 PP01

PP07