

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6186381号
(P6186381)

(45) 発行日 平成29年8月23日(2017.8.23)

(24) 登録日 平成29年8月4日(2017.8.4)

(51) Int.Cl. F I
G 1 1 C 11/4096 (2006.01) G 1 1 C 11/4096 4 5 0
G 1 1 C 5/06 (2006.01) G 1 1 C 5/06 2 0 0

請求項の数 1 (全 27 頁)

(21) 出願番号	特願2015-6783 (P2015-6783)	(73) 特許権者	513192281
(22) 出願日	平成27年1月16日 (2015.1.16)		ピーエスフォー ルクスコ エスエイアー
(62) 分割の表示	特願2007-272898 (P2007-272898)		ルエル
原出願日	平成19年10月19日 (2007.10.19)		PS4 Luxco S. a. r. l.
(65) 公開番号	特開2015-99630 (P2015-99630A)		ルクセンブルク大公国エルー 2 1 2 1、ル
(43) 公開日	平成27年5月28日 (2015.5.28)		クセンブルク、ヴァル デ ボン マラデ
審査請求日	平成27年1月16日 (2015.1.16)	(74) 代理人	100115738
			弁理士 鷲頭 光宏
		(74) 代理人	100121681
			弁理士 緒方 和文
		(74) 代理人	100130982
			弁理士 黒瀬 泰之

最終頁に続く

(54) 【発明の名称】 半導体記憶装置と品種展開方法

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルがマトリクス状に配置されてなるメモリセルアレイを含む n 個のバンクと、

データ信号を入力及び/又は出力する複数のデータ信号端子と、

制御信号を入力する複数の制御信号端子と、

アドレス信号を入力する複数のアドレス信号端子と、

前記 n 個のバンクのうち n / p 個のバンクをまとめてそれぞれ一つの独立したチップとして動作可能とされる p 個のバーチャルチップと、

を備え、

前記複数のデータ信号端子は、各バーチャルチップに個別に割り当てられ、

前記複数の制御信号端子と前記複数のアドレス信号端子とは、複数のバーチャルチップ構成の場合、前記複数のバーチャルチップ間で共有され、

前記制御信号及び前記アドレス信号は、前記複数のバーチャルチップに対して時分割で供給される、ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、複数品種に展開可能な半導体記憶装置に関する。

【背景技術】

【 0 0 0 2 】

近年、シンクロナスDRAM (SDRAM) はクロック周波数の向上により、そのデータ転送レート (バンド幅) が著しく向上している。例えば、DDR3 (Double Data Rate 3) 規格のSDRAMでは最大クロック周波数が800MHzとなり、DQピン1ピン当りのデータ転送レートは1.6Gbpsに達する。従ってDQピンの数が4バイト = 32ピンのチップでは、単品でも6.4GB/sのバンド幅が得られる。

【 0 0 0 3 】

一方、DRAMコアであるメモリセルアレイの動作速度の向上は、クロック周波数の向上に比べて遅いため、高いデータ転送レートを達成するためには、アレイから同時に読み出す (プリフェッチする) ビット数を増やして対応することになる。

10

【 0 0 0 4 】

DDR3規格の場合は、1DQピン当り8ビットのプリフェッチを行い、これをシリアルライザでパラレル - シリアル変換して連続して出力 (バースト読出し) する。

【 0 0 0 5 】

書込みの場合も同様に、1DQピンあたり8ビットのデータを連続して入力 (バースト書込み) し、これをデシリアルライザでシリアル - パラレル変換を行い、8ビットを同時にメモリアレイに書き込む。

【 0 0 0 6 】

上記の8ビット連続するアクセス (バーストアクセス) は、SDRAMに対する1回の読出し、又は書込み要求で実行される。

20

【 0 0 0 7 】

このため、例えば32個のDQピンを持つ構成 (x32構成) の場合、1回のアクセスで読出し、又は書込みされるデータ量は4バイト (= 32ビット) x 8連続アクセス = 32バイトとなる。

【 0 0 0 8 】

この値は、マイクロプロセッサとメインメモリの間の1度のデータ転送量としては大きな値であり、多くのアプリケーションは、これより少ないデータ転送量を必要とする。

【 0 0 0 9 】

一方、マイクロプロセッサやマイクロコントローラに複数個のCPUコアが搭載されるようになり、各コアが独立して異なるタスクを実効するようになってきており、1個のコアに対する1回当りのデータ転送量は多くなくても、マルチコアプロセッサ全体としては多くのデータ転送量が必要になる。

30

【 0 0 1 0 】

それも、メインメモリ上で各コアに割り当てられた異なった領域に対するデータ転送を行う必要が生ずる。

【 0 0 1 1 】

このような要求は、従来のDRAMが提供している仕様では満足できなくなっている。

【 0 0 1 2 】

【特許文献1】特開平8 - 111088号公報

40

【特許文献2】特開2000 - 11641号公報

【特許文献3】特開2000 - 68441号公報

【特許文献4】特開2003 - 242800号公報

【特許文献5】米国特許出願公開第2006 / 0117155号明細書 (US2006 / 0117155A1)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

近年、シンクロナス (S) DRAMはクロック周波数の向上により、そのデータ転送レート (バンド幅) が著しく向上している。例えば、DDR3規格のSDRAMでは最大ク

50

ロック周波数が800MHzとなり、DQピン1ピン当りのデータ転送レートは1.6Gbpsに達する。従ってDQピンの数が4バイト=32ピンのチップでは、単品でも6.4GB/sのバンド幅が得られる。

【0014】

一方、DRAMコアであるメモリセルアレイの動作速度の向上は、クロック周波数の向上に比べて遅いため、高いデータ転送レートを達成するためには、アレイから同時に読み出す(プリフェッチする)ビット数を増やして対応することになる。DDR3規格の場合、1DQピン当たり8ビットのプリフェッチを行い、これをシリアライズでパラレル-シリアル変換して連続して出力(バースト読出し)する。書込みの場合も同様に、1DQピンあたり8ビットのデータを連続して入力(バースト書込み)し、これをデシリアライズで

10

【0015】

上記の8ビット連続するアクセス(バーストアクセス)は、SDRAMに対する1回の読出し、又は書込み要求で実行される。

【0016】

このため、例えば32個のDQピンを持つ構成(x32構成)の場合、1回のアクセスで読出し、又は書込みされるデータ量は4バイト(=32ビット)x8連続アクセス=32バイトとなる。

【0017】

この値は、マイクロプロセッサとメインメモリの間の1度のデータ転送量としては大きな値であり、多くのアプリケーションはこれより少ないデータ転送量を必要とする。

20

【0018】

そこで、このような問題に対処するために、DRAMメーカーでは、例えば同じチップでDQピンの数を変えた品種や、バンク数を変えた品種を、

- ・ワイヤボンディング切り替え、
- ・ヒューズ切断、
- ・配線工程におけるマスクの切り替え、
- ・モードレジスタ設定値の切り替え、

等の手段を使って展開し、顧客の要求に合わせた製品を供給している(例えば上記特許文献1乃至4参照)。

30

【0019】

しかしながら、DQピンの数を少なくすると、同じクロック周波数のSDRAMでもバンド幅が小さくなってしまい、せっかくの高速性能を十分活かさないという問題がある。

【0020】

また、例えばx8構成の単品SDRAMを4個使えば、x32構成の単品1個と同じバンド幅が得られるが、必要以上にメインメモリの容量を持つことになり、システムのコストの増加、実装面積の増加などの問題がある。

【0021】

図20乃至図25は、上記の問題を説明するために、DDR3規格のSDRAMの動作波形を示した図である。図20乃至図25において、CLKはクロック、CMDはコマンド(A0はバンクアクティブ、R0はリードコマンド、W0はライトコマンド、P0はプレチャージコマンド)、ADDはアドレス信号(X0はX(ロウ)アドレス、Y0はY(カラム)アドレス)である。図面作成の都合で4DQはデータ端子DQ4本分を表している。図20は、8MWord x 32Bit x 8Bank、16MWord x 16Bit x 8Bank、32MWord x 8Bit x 8Bank、64MWord x 4Bit x 8Bank構成のリード動作を示している。図21は図20の左半分、図22は図20の右半分を示す部分拡大図である。

40

【0022】

図23は、8MWord x 32Bit x 8Bank、16MWord x 16Bit x 8Bank、32MWord x 8Bit x 8Bank、64MWord x 4Bit x 8Ba

50

n k 構成のライト動作を示している。図 2 4 は図 2 3 の左半分、図 2 5 は図 2 3 の右半分を示す部分拡大図である。

【 0 0 2 3 】

図 2 0 乃至図 2 2、図 2 3 乃至図 2 5 からわかるように、従来の品種展開方法に従うと、ビット幅を半分にするとチップとしての転送レートも半分になってしまう。

【 0 0 2 4 】

x 3 2 構成では、1 回のアクセスで読み出されるデータ量が 3 2 バイトと大きすぎる場合、x 1 6、x 8、x 4 構成の展開品を使えばよいが、バンド幅が小さくなる。

【 0 0 2 5 】

バンド幅を拡大するために、チップ数を増やすと、必要以上のメモリ容量となり、コストの増加や実装面積の増加といった問題が生じる。

【 0 0 2 6 】

上記した問題を対策するための一つの方法として、特許文献 5 (U S 2 0 0 6 / 0 1 1 7 1 5 5 A 1) には、マイクロスレッディングと呼ばれる手法が開示されている。しかしながら、この手法は、標準的な汎用 S D R A M とは異なった X D R - D R A M と呼ばれる規格に対応した手法である。このため、特許文献 5 に記載の手法を、広く一般的に用いられている S D R A M に適用することはできない。

【 0 0 2 7 】

したがって、本発明の主たる目的は、同一チップで一度にアクセスされるデータ転送量を変えても、トータルのピークバンド幅を一定に保つことを可能とする半導体記憶装置及び方法を提供することにある。

【 0 0 2 8 】

本発明の他の目的は、標準的な規格との互換性を維持しながら、使い勝手を向上させることができる半導体記憶装置を提供することにある。

【 0 0 2 9 】

本発明の他の目的は、複数個のプロセッサコアのそれぞれに対応した形でメモリバスをアサインできるシステムを提供することにある。

【課題を解決するための手段】

【 0 0 3 0 】

本願で開示される発明は前記課題を解決するため概略以下の構成とされる。

【 0 0 3 1 】

本発明においては、1 つのチップが 1 又は複数のバーチャルチップに仮想的に分割自在とされ、複数のバーチャルチップのそれぞれに対して専用のデータピンを割り当て、コマンド、アドレスピンは、複数のバーチャルチップで共有し、コマンドとアドレスは、時分割で、各バーチャルチップに供給される、半導体記憶装置が提供される。各バーチャルチップのデータピンの本数とバーチャルチップ数の積が一定となるように品種展開が行われる。

【 0 0 3 2 】

本発明の 1 つの側面 (アスペクト) によれば、複数のメモリセルがマトリクス状に配置されてなるメモリセルアレイを含む複数のバンクと、データ信号を入力及び / 又は出力する複数のデータ信号端子と、制御信号を入力する複数の制御信号端子と、アドレス信号を入力する複数のアドレス信号端子と、前記複数のバンクのうち所定個数のバンクをまとめて一つの独立したチップとして動作可能とされる 1 又は複数のバーチャルチップと、を備え、前記複数のデータ信号端子は、各バーチャルチップに個別に割り当てられ、前記複数の制御信号端子と前記複数のアドレス信号端子とは、複数のバーチャルチップ構成の場合、前記複数のバーチャルチップ間で共有される半導体記憶装置が提供される。

【 0 0 3 3 】

本発明において、同一の半導体記憶装置からバ - チャルチップ構成に関連して複数の品種に展開自在とされ、ある品種での前記バ - チャルチップの数を n (ただし、n は 1 以上の所定の整数) とし、1 個のバーチャルチップに属する前記データ信号端子の数を m (た

10

20

30

40

50

だし、 m は1以上の所定の整数)としたとき、複数品種間で n と m の積が一定値となるように、品種が展開される。

【0034】

本発明において、前記バ - チャルチップの数 n と、1個のバ - チャルチップに属する前記データ信号端子の数 m はともに2のべき乗である。

【0035】

本発明において、前記複数のアドレス信号端子に入力されるアドレス信号が、前記複数のバンクを指定するためのバンクアドレス信号と、前記バ - チャルチップを指定するためのチップアドレス信号と、を含み、前記バンクアドレス信号と前記チップアドレス信号とは、ある品種で前記バンクアドレス信号としての役割を担っている信号が他の品種では前記チップアドレス信号としての役割を担うように設定される。

10

【0036】

本発明において、前記複数のバ - チャルチップに対する、制御信号及びアドレス信号は、それぞれ前記制御信号端子と、前記アドレス信号端子から、時分割で入力される。

【0037】

本発明において、前記データ信号は、前記制御端子からの1つの所定の命令の入力に対応して、1つの前記データ信号端子から、予め定められた所定個数のデータ信号が連続して入力又は出力される形態で転送される。

【0038】

本発明において、前記所定個数のデータ信号が連続して入力又は出力される期間が、異なるバ - チャルチップ間でタイミング的に一部重なる構成とされる。

20

【0039】

本発明において、前記複数種の品種は、
(A)前記半導体記憶装置内の品種設定用レジスタの値に所定の方法で所定の値を設定する、
(B)前記半導体記憶装置内のボンディングパッドをボンディングによって所定の電位に設定する、
(C)前記半導体記憶装置内のヒューズ素子を所定の方法で切断する、
(D)前記半導体記憶装置内のアンチヒューズ素子を所定の方法で接続する、
(E)前記半導体記憶装置の製造過程において、1乃至所定の枚数のホトマスクを品種に対応して切り替えて用いる
の少なくともいずれかより、品種展開される。

30

【0040】

本発明の別の側面によれば、複数のプロセッサコアと、前記複数のプロセッサコアと外部記憶装置との間のデータ転送を制御する制御ブロックを含むマルチコアプロセッサと、本発明に係る前記半導体記憶装置と、を備え、前記半導体記憶装置が前記制御ブロックによって制御されるコンピュータシステムが提供される。

40

【0041】

本発明のさらに別の側面によれば、一つのチップを仮想的に分割し、所定個数のバンクをまとめて一つの独立したチップとして動作可能とされるバ - チャルチップに関して、バンク数最大、データピン数最大の1つのバ - チャルチップ構成の一の品種から、データピン数が異なり複数のバ - チャルチップの他の品種に展開する際に、

前記複数のバ - チャルチップの各々に割当てられるデータピン数を前記一の品種よりも少なくするとともに、複数のバ - チャルチップの各々に対して専用データピンを割当て、

各バ - チャルチップのデータピンの本数とバ - チャルチップ数の積が一定となるように品種展開を行う品種展開方法が提供される。

50

【 0 0 4 2 】

本発明に係る方法において、前記バ - チャルチップの数と、1個のバ - チャルチップに属する前記データピンの数がともに2のべき乗である。

【 0 0 4 3 】

本発明に係る方法において、複数種の品種は、

(A) チップ上の設定用レジスタの値に所定の方法で所定の値を設定する、

(B) 前記チップ上のボンディングパッドをボンディングによって所定の電位に設定する、

(C) 前記チップ上のヒューズ素子を所定の方法で切断する、

(D) 前記チップ上のアンチヒューズ素子を所定の方法で接続する、

(E) 前記チップの製造過程において、1乃至所定の枚数のホットマスクを品種に対応して切り替えて用いる、の少なくともいずれかより、品種展開される。

10

【 0 0 4 4 】

本発明に係る方法において、クロック、コマンド信号、アドレス信号をそれぞれ入力するピンは、複数のバ - チャルチップで共有し、コマンド信号とアドレス信号は、時分割で、複数のバ - チャルチップの各バ - チャルチップに供給される。

【 0 0 4 5 】

本発明に係る半導体デバイスは、複数のメモリセルがマトリクス状に配置されてなるメモリセルアレイを含む複数のバンクを備え、データ信号を入力及び/又は出力するデータピンに関して、一つのチップを仮想的に分割し、所定個数のバンクをまとめて一つの独立したチップとして動作可能とされる1つ又は複数のバ - チャルチップのそれぞれに対して専用にデータピンが割り当てられ、複数のバ - チャルチップ構成において、コマンド信号と、アドレス信号を入力するピンは、複数のバ - チャルチップで共有し、コマンド信号とアドレス信号は、時分割で、各バ - チャルチップに供給される。

20

【 0 0 4 6 】

本発明に係る半導体デバイスにおいて、1つの品種のバ - チャルチップ内のバンク数から、バンク数が半分の品種においては、バ - チャルチップ数が前記1つの品種の倍になり、前記倍の数のバ - チャルチップの各々において、バ - チャルチップに対応する専用のデータピンの数は、1つの品種のバ - チャルチップの専用のデータピンの数の半分に設定される。

30

【 0 0 4 7 】

本発明に係る半導体デバイスにおいて、前記バ - チャルチップのそれぞれは、

バンクアドレス、ロウアドレス、カラムアドレスを入力する1つ又は複数のバンクを備え、複数バ - チャルチップ構成の場合、バンクアドレスとともにバ - チャルチップを選択するチップアドレスを入力し、

複数のバンクに対して、バンクアドレスにしたがって1つのバンクを選択するセレクタと、

前記セレクタからの所定ビット幅の平行データを受け、シリアルデータに変換してデータピンに出力し、データピンからのシリアルデータを所定ビット幅の平行データに変換し前記セレクタに供給する直列並列変換・並列直列変換回路を備えている。

40

【 0 0 4 8 】

本発明に係る半導体デバイスにおいて、前記バンクの構成は品種に応じて可変され、バ - チャルチップ内のデータピン数を、バ - チャルチップ内のデータピン数最大の品種のデータピン数の、 2^n 分の1(ただし、 n は所定の非負整数)とする品種では、

前記バンクは、

品種選択信号と、

前記バ - チャルチップ内データピン数最大の品種の最上位カラムアドレスに加えて、前記最上位カラムアドレスの上位側の連続する n ビットのカラムアドレスを用いて、前記バ - チャルチップ内バンク数最大のバンクのデータ入出力線を 2^n 分の1間隔で対応する前記セレクタに接続する。

50

【発明の効果】

【0049】

本発明によれば、同一チップで一度にアクセスされるデータ転送量を変えても、トータルのピークバンド幅を一定に保つことができる。

【0050】

本発明によれば、標準的な規格との互換性を維持しながら、使い勝手を向上させることができるメモリを提供することができる。

【0051】

本発明によれば、複数個のプロセッサコアのそれぞれに対応した形でメモリバスをアサインできるメモリを提供することができる。

10

【発明を実施するための最良の形態】

【0052】

上記した本発明についてさらに詳細に説明すべく、添付図面を参照して実施例を以下に説明する。

【0053】

はじめに本発明の原理を説明する。本発明に係る半導体記憶装置においては、同一チップからデータ入出力ピン(DQピン)の数の異なる品種を展開する際に、DQピン数を少なくしていくのと並行して、一つのチップを仮想的に複数のバーチャルチップに分割し、各バーチャルチップに専用のDQピンを割り当て、各バーチャルチップのDQの個数とバーチャルチップ数の積が一定となるようなメモリを提供する。例えば同一チップを $n = 2^p$ ($p = 0, 1, 2, \dots$)のバーチャルチップに分割すると共に、各バーチャルチップのデータ信号端子の個数 m とバーチャルチップ数 n の積を一定としている。

20

【0054】

本発明に係る半導体記憶装置において、クロック、コマンド、アドレスピンは、各バーチャルチップで共有し、コマンド信号(命令)とアドレス信号は、例えば時分割で、各バーチャルチップに供給される。

【0055】

この結果、本発明に係る半導体記憶装置において、各バーチャルチップをあたかも独立したチップのように動作させることができる。

【0056】

このため、各バーチャルチップのデータ転送量を少なくしつつ、チップトータルとしてのピークバンド幅を維持することが可能になる。

30

【0057】

DQピンに対してコマンドとアドレスピンは、対応するバスに流れる情報の絶対量が少ないため、各バーチャルチップがこれを時分割で使っても、トータルの性能を制限することは無い。

【0058】

上記の品種展開は、

- ・ワイヤボンディングの切り替え、
- ・ヒューズ切断、
- ・配線工程におけるマスクの切り替え、
- ・モードレジスタ設定値の切り替え

等のいずれかの手法で行う。

40

【0059】

特に、モードレジスタ設定値の切り替えによれば、システムを起動する段階で、DQ構成とバーチャルチップ数を設定することができる。

【0060】

バーチャルチップの分割単位をメモリアレイバンクの最小単位の整数倍とすることで、バンクアドレスをそのまま使ってバーチャルチップの選択を行えるので、SDRAMのピン構成を変更する必要が無い。

50

【 0 0 6 1 】

このように、関連技術の構成では、ビット幅を変更するような品種展開を行うと、チップとしては単にバンド幅が変わるだけであったが、本発明によれば、トータルバンド幅を最大値に維持しつつ、複数個のアクセス元（プロセッサやD R A Mコントローラ等）に対してデータのやり取りが出来る。

【 0 0 6 2 】

また、バンク切り替えに関しては、関連技術では、バンク数の切り替えと、I / O数の切り替えは独立であった。これに対して、本発明においては、バンク数とバーチャルチップ数とI / O数が相互に関連している。例えば、バンク数が半分になると、バーチャルチップ数が倍になり、バーチャルチップに対応したI / O数は半分になる（チップトータルのI / O数は変わらない）という関係にある。

10

【 0 0 6 3 】

一般に、バンクが複数個あっても、各バンクは、I / Oを共用するため、異なるバンクに対するアクセスはI / Oが競合しないことが必要となる。

【 0 0 6 4 】

バーチャルチップの場合には、それぞれに専用のI / Oを割り当てるため、バーチャルチップ間でI / Oが競合しても問題が生じることは無い。以下実施例に即して説明する。

【実施例】

【 0 0 6 5 】

図1、図4は、本発明の一実施例における読み出し動作と書き込み動作を説明するためのタイミング図である。本発明のD R A Mにおけるビット構成の品種展開の例と、各構成における読み出し時の入出力波形を示す。チップ全体としては2 Gビットの容量を持ち、1バーチャルチップ（8 Mワード×32ビット×8バンク構成）、2バーチャルチップ（16 Mワード×16ビット×4バンク構成）、4バーチャルチップ（32 Mワード×8ビット×2バンク構成）、8バーチャルチップ（64 Mワード×4ビット×1バンク構成）の4品種に展開可能に設計されている。1バーチャルチップ構成の場合は8 Mワード×32ビット×8バンク構成の標準的なD D R 3 - S D R A Mと全く同じ構成で同じ動作を行うことが出来る。図2は図1の左半分、図3は、図1の右半分を示す部分拡大図である。また、図5は図4の左半分、図6は図4の右半分を示す部分拡大図である。

20

【 0 0 6 6 】

図1、図4において、C L Kはクロック、C M Dはコマンド（A 0 0はバンクアクティブ、R 0 0はリードコマンド、W 0 0はライトコマンド、P 0 0はプレチャージコマンド）、A D Dはアドレス信号（X 0はX（ロウ）アドレス、Y 0はY（カラム）アドレス）、4 D Qはデータ端子D Q 4本分を表している。

30

【 0 0 6 7 】

図1乃至図3は、8 M W o r d x 3 2 B i t x 8 B a n k x 1 V i r t u a l - C h i p、1 6 M W o r d x 1 6 B i t x 4 B a n k x 2 V i r t u a l - C h i p、3 2 M W o r d x 8 B i t x 2 B a n k x 4 V i r t u a l - C h i p、6 4 M W o r d x 4 B i t x 1 B a n k x 8 V i r t u a l - C h i p構成のリード動作を示している。

【 0 0 6 8 】

各バーチャルチップに対するI / Oへのアクセスが、1クロックずれた状態で重なっていることがわかる。ここで、1クロックずれるのは、アドレスやコマンドの信号が各バーチャルチップで共用されているために、時分割で入力する必要があるためである。

40

【 0 0 6 9 】

1 6 M W o r d x 1 6 B i t x 4 B a n k x 2 V i r t u a l - C h i pでは、T 0で、コマンド（チップ0用）A 0 0、アドレス（チップ0用）X 0、T 1で、コマンド（チップ1用）A 0 1、アドレス（チップ1用）X 1、T 8で、コマンド（チップ0用リードコマンド）R 0 0、アドレス（チップ0用）Y 0、T 9でコマンド（チップ1用）R 0 1、アドレス（チップ1用）Y 1が入力される。

【 0 0 7 0 】

50

32MWord x 8Bit x 2Bank x 4Virtual - Chipでは、T0で、コマンド(チップ0用)A00、アドレス(チップ0用)X0、T1で、コマンド(チップ1用)A01、アドレス(チップ1用)X1、T2で、コマンド(チップ2用)A02、アドレス(チップ2用)X2、T3で、コマンド(チップ3用)A03、アドレス(チップ3用)X3、T8でコマンド(チップ0用)R00、アドレス(チップ0用)Y0、T9でコマンド(チップ1用)R01、アドレス(チップ1用)Y1、T10でコマンド(チップ2用)R02、アドレス(チップ2用)Y2、T11でコマンド(チップ3用)R03、アドレス(チップ3用)Y3が入力される。

【0071】

64MWord x 4Bit x 1Bank x 8Virtual - Chipでは、T0で、コマンド(チップ0用)A00、アドレス(チップ0用)X0、T1で、コマンド(チップ1用)A01、アドレス(チップ1用)X1、T2で、コマンド(チップ2用)A02、アドレス(チップ2用)X2、T3で、コマンド(チップ3用)A03、アドレス(チップ3用)X3、T4で、コマンド(チップ4用)A04、アドレス(チップ4用)X4、クロックT5で、コマンド(チップ5用)A05、アドレス(チップ5用)X5、クロックT6で、コマンド(チップ6用)A06、アドレス(チップ6用)X6、T7で、コマンド(チップ7用)A07、アドレス(チップ7用)X7、T8で、コマンド(チップ0用)R00、アドレス(チップ0用)Y0、T9でR01、Y1、T10でR02、Y2、T11でR03、Y3、クロックT12でR04、Y4、T13でR05、Y5、T14でR06、Y6、T15でR07、Y7が入力される。

【0072】

このような制約を課すことで、従来品とピンコンパチブルを保ちながらバーチャルチップを導入することが可能になっている。また、バーチャルチップ内に複数個のバンクを持つことも可能である。

【0073】

上記の通り、図1乃至図3において、T0において、バンクアクティブコマンドA00(バーチャルチップ0のバンク0を活性化している。ここでは最初の0がバンクアドレス、後の0がバーチャルチップの識別を示す)と選択されたロウアドレスX0が入力される。T8において、リードコマンドR00(バーチャルチップ0のバンク0に対する読み出しが行われる。ここでは最初の0がバンクアドレス、後の0がバーチャルチップの識別を示す)と選択されたカラムアドレスY0が入力される。

【0074】

その後、一定時間のレイテンシを経てT16以降、クロックに同期して出力データQ0からQ7がダブルデータレートでバースト出力される。ここでは図面サイズの関係で一つのQは4ビット分のデータを示している。

【0075】

従って、同時に32ビット分のデータが32個のDQピンから8ビットバーストで読み出されていることを示している。従ってこの1回の読み出しアクセスでは、1個のバーチャルチップから32バイト分のデータが読み出される。

【0076】

2バーチャルチップ(16Mワード x 16ビット x 4バンク構成)の場合は、8Mワード x 32ビット x 8バンク x 1バーチャルチップ構成と比べ、各バーチャルチップのワード数が2倍、ビット構成が半分になる。

【0077】

ここまでは、従来の品種展開方法と同じであるが、本実施例によれば、さらにバンク数を半分にすると共にバーチャルチップ数を倍にしている。

【0078】

バーチャルチップは、バンクと異なり、独立したDQピンを持つ。このため、異なるバーチャルチップからのデータ読み出しが重なっても良い。

【0079】

10

20

30

40

50

そこで、例えばT 0においてバーチャルチップ0に対してアクティブコマンドA 0 0とロウアドレスX 0を入力し、次にT 1において、バーチャルチップ1に対してアクティブコマンドA 0 1とロウアドレスX 1を入力できる。

【0080】

続いて、T 8においてリードコマンドR 0 0とカラムアドレスY 0を入力し、T 9においてリードコマンドR 0 1とカラムアドレスY 1を入力できる。

【0081】

その後、一定時間のレイテンシを経てバーチャルチップ0からはT 1 6以降クロックに同期して出力データQ 0からQ 7がダブルデータレートでバースト出力される。

【0082】

またバーチャルチップ1からはT 1 7以降クロックに同期して、出力データQ 0からQ 7がダブルデータレートでバースト出力される。

【0083】

各バーチャルチップのビット構成はx 1 6なので、それぞれ1 6バイトのデータを1クロックずれた状態で読み出すことが出来る。

【0084】

したがって、1バーチャルチップの場合の3 2バイトのデータ転送レート(バンド幅とも言う)とほぼ等しいデータ転送レートが2バーチャルチップでも実現できる。

【0085】

ここで各バーチャルチップはコマンド、アドレスピンを1チップ内で共用するため、これらの信号は時分割で入力する必要がある。

【0086】

図1では、1クロックずれたタイミングで入力されているが、重ならない限りクロックに同期すれば、どのタイミングでも入力可能である。

【0087】

以下、4バーチャルチップと8バーチャルチップへの品種展開が示されているが、基本的に同じ法則で品種展開され、同じように動作が制御されるので、ここでは詳細な説明は省略する。

【0088】

また、図1では、各バーチャルチップからの読み出しは、1バースト長で終了しているが、各バーチャルチップに対するコマンド・アドレスを入力するタイミング(スロットと呼ぶ)が空いている限り、従来品と同様に、各バーチャルチップで同じバンク内の別アドレスからの読み出しを連続して行ったり、異なるバンクを活性化しそこからの読み出しを連続して行うことも可能である。

【0089】

図4乃至図6は、本発明のDRAMにおけるビット構成の品種展開の例と、各構成における書き込み時の入出力波形を示す。チップ構成と品種展開方法は図1乃至図3と同様である。8MWord x 32Bit x 8Bank x 1Virtual-Chip、16MWord x 16Bit x 4Bank x 2Virtual-Chip、32MWord x 8Bit x 2Bank x 4Virtual-Chip、64MWord x 4Bit x 1Bank x 8Virtual-Chip構成のライト動作を示している。

【0090】

1バーチャルチップ構成の場合は、8Mワード x 32ビット x 8バンク構成の標準的なDDR3-SDRAMと全く同じ構成で同じ動作を行うことが出来る。

【0091】

たとえばT 0においてバンクアクティブコマンドA 0 0と選択されたロウアドレスX 0が入力される。

【0092】

T 8において、ライトコマンドW 0 0(バーチャルチップ0のバンク0に対する書き込み;ここでは最初の0がバンクアドレス、後の0がバーチャルチップの識別を示す)と選

10

20

30

40

50

扱されたカラムアドレス Y 0 が入力される。

【 0 0 9 3 】

その後、一定時間のレイテンシを経て T 1 6 以降、クロックに同期して入力データ D 0 から D 7 がダブルデータレートでバースト入力される。ここでは、図 4 乃至図 6 では、一つの D Q は 4 ビット分のデータを示している。従って同時に 3 2 ビット分のデータが 3 2 個の D Q ピンから 8 ビットバーストで書き込まれていることを示している。従って、この 1 回の読み出しアクセスでは、1 個のバーチャルチップに 3 2 バイト分のデータが書き込まれる。

【 0 0 9 4 】

2 バルチャルチップ (1 6 Mワード × 1 6 ビット × 4 バンク構成) の場合は、各バーチャルチップのワード数が 2 倍、ビット構成が半分になる。ここまでは、従来の品種展開方法と同じであるが、本発明ではさらにバンク数を半分にすると共にバーチャルチップ数を倍にしている。バーチャルチップはバンクと異なり独立した D Q ピンを持つ。

10

【 0 0 9 5 】

このため、異なるバーチャルチップに対する書き込みデータが重なっても良い。

【 0 0 9 6 】

そこで、例えば T 0 においてバーチャルチップ 0 に対してアクティブコマンド A 0 0 とロウアドレス X 0 を入力し、次に T 1 においてバーチャルチップ 1 に対してアクティブコマンド A 0 1 とロウアドレス X 1 を入力できる。

【 0 0 9 7 】

続いて T 8 においてライトコマンド W 0 0 とカラムアドレス Y 0 を入力し、T 9 においてライトコマンド W 0 1 とカラムアドレス Y 1 を入力できる。

20

【 0 0 9 8 】

その後一定時間のレイテンシを経てバーチャルチップ 0 に対して T 1 6 以降クロックに同期して入力データ D 0 から D 7 がダブルデータレートでバースト入力される。

【 0 0 9 9 】

またバーチャルチップ 1 に対しては T 1 7 以降クロックに同期して入力データ D 0 から D 7 がダブルデータレートでバースト入力される。

【 0 1 0 0 】

各バーチャルチップのビット構成は × 1 6 なので、それぞれ 1 6 バイトのデータを 1 クロックずれた状態で書き込むことが出来る。

30

【 0 1 0 1 】

したがって、1 バルチャルチップの場合の 3 2 バイトのデータ転送レートとほぼ等しいデータ転送レートが 2 バルチャルチップでも実現できる。

【 0 1 0 2 】

ここで、各バーチャルチップはコマンド、アドレスピンを 1 チップ内で共用するため、これらの信号は、時分割で入力する必要がある。

【 0 1 0 3 】

図 4 乃至図 6 では、1 クロックずれたタイミングで入力されているが、重ならない限りクロックに同期してどのタイミングでも入力可能である。

40

【 0 1 0 4 】

以下、4 バルチャルチップと 8 バルチャルチップへの品種展開が示されているが、基本的に同じ法則で品種展開され、同じように動作が制御されるので、ここでは詳細な説明は省略する。

【 0 1 0 5 】

また図 4 乃至図 6 では、各バーチャルチップへの書き込みは 1 バースト長で終了しているが、各バーチャルチップに対するコマンド・アドレスを入力するタイミングが空いている限り、従来品と同様に、各バーチャルチップで同じバンク内の別アドレスへの書き込みを連続して行ったり、異なるバンクを活性化しそこへの書き込みを連続して行うことも可能である。

50

【 0 1 0 6 】

図7乃至図10は、上記4品種のバーチャルチップの内部ブロック構成図と読みだし動作時の内部信号の流れ(シグナルフロー)を示す図である。

【 0 1 0 7 】

バンク/バーチャルチップ(「VC」と表す)アドレスバッファ、ロウアドレスバッファ(XA0からXA13)、コラムアドレスバッファ(YA0からYA8乃至YA11)、8個の256Mビット構成のメモリアレイ(1バンク分に相当)、セクタ、シリアライザ、DQバッファ(4個ずつのセットが8セットで計32個)から成る。

【 0 1 0 8 】

4品種の展開においてこれらの構成要素は同じであり、そのグループ分けとセクタの構成が変わる。

10

【 0 1 0 9 】

図7に示すように、1VC構成の場合(8M×32×8Bank×1VC)、8バンク構成となり、バンクアドレスが3ビット(BA0, BA1, BA2)でVCアドレスは無い。Bank__0~Bank__7は、8M×32bit構成とされ、8バンクから1バンクを選択する8:1セクタを備え、32×8ビットは、8:1シリアライザ(Ser8:1)を介してDQ0~3、DQ4~7、...、DQ28~31に出力される。

【 0 1 1 0 】

図8に示すように、2VC構成時(16M×16×4Bank×2VC)は4バンク構成となり、バンクアドレスが2ビット(BA0からBA1)でVCアドレスは1ビット(CA2)で構成される。VC0、VC1において、4つのバンクは、16M×16からなり、BA0、BA1で4つのバンクの1つを選択する4:1セクタからの出力16×8bitは4つの8:1シリアライザを介して端子DQ0-3、DQ4-7、DQ8-11、DQ12-15から出力される。

20

【 0 1 1 1 】

図9に示すように、4VC構成時(32M×8×2Bank×4VC)は2バンク構成となり、バンクアドレスが1ビット(BA0)でVCアドレスは2ビット(CA1、CA2)で構成される。VC0、VC1、VC2、VC3において、2つのバンクは32M×8からなり、BA0で2つのバンクの1つを選択する2:1セクタからの出力8×8bitは、2つの8:1シリアライザを介して端子DQ0-3、DQ4-7から出力される。

30

【 0 1 1 2 】

図10に示すように、8VC構成時(64M×4×1Bank×8VC)は1バンク構成となり、バンクアドレスは無くVCアドレスは3ビット(CA0からCA2)で構成される。VC0~VC7において、バンクは64M×4からなり、4×8bitは、8:1シリアライザを介して端子DQ0-3から出力される。

【 0 1 1 3 】

これらの品種展開では、バンクアドレスとVCアドレスの和(ビット数)は、3ビットと一定であり、その構成が変わっていることが判る。1VC構成の場合(8M×32×8Bank×1VC)、BA0、BA1、BA2、2VC構成の場合(16M×16×4Bank×2VC)、BA0、BA1、CA2、4VC構成時(32M×8×2Bank×4VC)、BA0、CA1、CA2、8VC構成時(64M×4×1Bank×8VC)、CA0、CA1、CA2である。この構成の差によってセクタの制御方法が変わる。

40

【 0 1 1 4 】

VCアドレスは、セクタの個数に対応し、バンクアドレスは、セクタの入力対出力の比に対応する。

【 0 1 1 5 】

また、VCアドレスは対応するVCに対してチップイネーブル信号としても働く。

【 0 1 1 6 】

このように、バンク/VCアドレスの構成を、セクタの構成に対応させ、各VCのイ

50

ネーブル制御を追加するだけで、本発明のバーチャルチップ展開が可能になるため、後述するように、簡単な回路構成とモードレジスタの設定変更のみで、一つのベースチップから、ユーザの望む構成を展開することが出来るようになる。

【 0 1 1 7 】

ロウアドレスは、4品種共通 (X A 0 から X A 1 3) である。

【 0 1 1 8 】

一方カラムアドレスは、

- 1 V C の時は 9 ビット (Y A 0 から Y A 8)、
 - 2 V C の時は 1 0 ビット (Y A 0 から Y A 9)、
 - 4 V C の時は 1 1 ビット (Y A 0 から Y A 1 0)、
 - 8 V C の時は 1 2 ビット (Y A 0 から Y A 1 1)、
- というように変化する。

10

【 0 1 1 9 】

これに対応して、各 2 5 6 M ビットのバンク構成が、
8 M × 3 2 ビット、
1 6 M × 1 6 ビット、
3 2 M × 8 ビット、
6 4 M × 4 ビット
と変化する。

【 0 1 2 0 】

これに対応して、各 V C の D Q ピンの数も、1 V C の時は 3 2 個、2 V C の時は 1 6 個、4 V C の時は 8 個、8 V C の時は 4 個と変化する。

20

【 0 1 2 1 】

こちらの構成の変更方法は、従来技術による品種展開方法と同じでよい。

【 0 1 2 2 】

アドレス信号は、各アドレスバッファに入力され 2 5 6 M ビットの各バンクに入力される。

【 0 1 2 3 】

アドレスで選択されたメモリセルからデータが読み出され、各 V C 構成に従ってセクタによって選択され、シリアライザで並列 - 直列変換された後出力バッファから出力される。

30

【 0 1 2 4 】

なお、本実施例において、D D R 3 - S D R A M は、バースト長が 8 ビットであるため、各バンクからは、ビット構成の 8 倍のデータが同時並列に読み出され、シリアライザで、8 ビットの直列形態に変換される。

【 0 1 2 5 】

図 1 1 から図 1 4 は、上記 4 品種のバーチャルチップの内部ブロック構成図と書き込み動作時の内部信号の流れを示す。

【 0 1 2 6 】

構成要素は、バンク / バーチャルチップ (V C と表す) アドレスバッファ、
ロウアドレスバッファ (X A 0 から X A 1 3)、
カラムアドレスバッファ (Y A 0 から Y A 8 乃至 Y A 1 1)、
8 個の 2 5 6 M ビット構成のメモリアレイ (1 バンク分に相当)、
セクタ、
デシリアライザ、
D Q バッファ (4 個ずつのセットが 8 セットで計 3 2 個)
から成る。

40

【 0 1 2 7 】

4 品種の展開においてこれらの構成要素は同じであり、そのグループ分けとセクタの構成が変わる。

50

【 0 1 2 8 】

図 1 1 に示すように、1 V C 構成時は 8 バンク構成となり、バンクアドレスが 3 ビット (B A 0 から B A 2) で V C アドレスは無い。

【 0 1 2 9 】

図 1 2 に示すように、2 V C 構成時は 4 バンク構成となり、バンクアドレスが 2 ビット (B A 0 から B A 1) で V C アドレスは 1 ビット (C A 2) で構成される。

【 0 1 3 0 】

図 1 3 に示すように、4 V C 構成時は 2 バンク構成となり、バンクアドレスが 1 ビット (B A 0) で V C アドレスは 2 ビット (C A 1、C A 2) で構成される。

【 0 1 3 1 】

図 1 4 に示すように、8 V C 構成時は 1 バンク構成となり、バンクアドレスは無く V C アドレスは 3 ビット (C A 0 から C A 2) で構成される。

【 0 1 3 2 】

これらの品種展開では、バンクアドレスと V C アドレスの和は、3 個一定で、その構成が変わっていることが判る。

【 0 1 3 3 】

この構成の差によって、セレクタの制御方法が変わる。

【 0 1 3 4 】

V C アドレスは、セレクタの個数に対応し、バンクアドレスはセレクタの入力対出力の比に対応する。

【 0 1 3 5 】

また、V C アドレスは対応する V C に対してチップイネーブル信号としても働く。

【 0 1 3 6 】

このように、バンク / V C アドレスの構成をセレクタの構成に対応させ、各 V C のイネーブル制御を追加するだけで、本発明のバーチャルチップ展開が可能になるため、後述するように簡単な回路構成とモードレジスタの設定変更のみで、一つのベースチップからユーザの望む構成を展開することが出来るようになる。

【 0 1 3 7 】

ロウアドレスは 4 品種共通 (X A 0 から X A 1 3) である。

【 0 1 3 8 】

一方カラムアドレスは、

1 V C の時は 9 ビット (Y A 0 から Y A 8)、

2 V C の時は 1 0 ビット (Y A 0 から Y A 9)、

4 V C の時は 1 1 ビット (Y A 0 から Y A 1 0)、

8 V C の時は 1 2 ビット (Y A 0 から Y A 1 1)、

というように変化し、これに対応して各 2 5 6 M ビットのバンク構成が、

8 M × 3 2 ビット、

1 6 M × 1 6 ビット、

3 2 M × 8 ビット、

6 4 M × 4 ビット

と変化する。

【 0 1 3 9 】

これに対応して各 V C の D Q ピンの数も 3 2 個、1 6 個、8 個、4 個と変化する。

【 0 1 4 0 】

こちらの構成の変更方法は従来技術による品種展開方法と同じでよい。

【 0 1 4 1 】

アドレス信号は、各アドレスバッファに入力され 2 5 6 M ビットの各バンクに入力される。

【 0 1 4 2 】

アドレスで選択されたメモリセルに対して、書き込みデータは、データ入力バッファに

10

20

30

40

50

入力され、デシリアライザで直列 - 並列変換され、各 V C 構成に従ってセレクトタによって選択され、対応するバンクに送られてメモリセルに書き込まれる。

【 0 1 4 3 】

なお、本実施例において、D D R 3 - S D R A M は、バースト長が 8 ビットであるため、外部から各データ入力ピンに対しデータが 8 ビット連続して書き込まれ、デシリアライザで 8 ビットの並列形態に変換される。

【 0 1 4 4 】

図 1 5 (a) は、2 5 6 M ビットのバンクの構成を示す。1 4 ビットのロウアドレス (X A 0 ~ X A 1 3) と 9 ビットのカラムアドレス (Y A 0 ~ Y A 8) により 3 2 ビット (8 M × 3 2) のメモリセルが同時に選択される。

10

【 0 1 4 5 】

x 3 2、x 1 6、x 8、x 4 の 4 品種に対応して 3 本の選択信号 S 1 6、S 8、S 4 がそれぞれ図 1 5 (b) のように制御される。

【 0 1 4 6 】

これに従って、カラムアドレス Y A 9 から Y A 1 1 のイネーブル / ディスエーブルが制御され、同時に選択された 3 2 ビットが、3 2 ビット、1 6 ビット、8 ビット、4 ビットのどれかに対応付けられる。

【 0 1 4 7 】

図 1 5 (a) の D 0 から D 7 は、それぞれ 4 ビット分のデータを表しており (D 0 ~ D 7 で計 3 2 ビット)、各ビット構成 (x 3 2、x 1 6、x 8、x 4) に対応して、図 1 5 (c) において、丸印のついた信号が有効となる。

20

【 0 1 4 8 】

S 1 6 が L o w のとき N A N D 1 0 1、インバータ 1 0 2 の出力は H i g h となり、トランスファゲート 1 0 3、1 0 4、1 0 6 がいずれもオンし、トランスファゲート 1 0 7 はオフする。S 1 6 が H i g h のとき、トランスファゲート 1 0 6 はオフし、S 1 6 が H i g h で Y A 9 が H i g h のとき、N A N D 1 0 1 の出力が L o w となり、トランスファゲート 1 0 3、1 0 4 はオフし、トランスファゲート 1 0 7 はオンする。

【 0 1 4 9 】

S 8 が L o w のとき、N A N D 1 1 1、インバータ 1 1 2 の出力は H i g h となり、トランスファゲート 1 1 3、1 1 4、1 1 6 がオンし、トランスファゲート 1 1 7 はオフする。S 8 が H i g h のとき、トランスファゲート 1 1 6 はオフし、S 8 が H i g h で Y A 1 0 が H i g h のとき、N A N D 1 1 1 の出力が L o w となり、トランスファゲート 1 1 3、1 1 4 はオフし、トランスファゲート 1 1 7 はオンする。

30

【 0 1 5 0 】

S 4 が L o w のとき、N A N D 1 2 1、インバータ 1 2 2 の出力は H i g h となりトランスファゲート 1 2 3、1 2 4、1 2 6 がオンし、トランスファゲート 1 2 7 はオフする。S 4 が H i g h のとき、トランスファゲート 1 2 6 はオフし、S 4 が H i g h で Y A 1 1 が H i g h のとき、N A N D 1 2 1 の出力が L o w となり、トランスファゲート 1 2 3、1 2 4 はオフし、トランスファゲート 1 2 7 はオンする。

【 0 1 5 1 】

S 1 6、S 8、S 4 が L o w のとき、データ線 (入出力線) は D Q 端子 D 0 ~ D 7 に接続される (図 1 5 (c) の x 3 2) 。

40

【 0 1 5 2 】

S 1 6 が H i g h、S 8 = L o w、S 4 = L o w、Y A 9 = H i g h の場合、N A N D 1 0 1 の出力は L o w となり、トランスファゲート 1 0 7 がオンし、トランスファゲート 1 0 3、1 0 4、1 0 6 はオフする。D 1 は D 1 に対応するデータ線 (I O 線) との接続がオフされ、D 0 はトランスファゲート 1 0 7 を介して D 1 に対応するデータ線と接続される。D 3 は D 3 に対応するデータ線との接続がオフされ、D 2 はトランスファゲート 1 0 7 を介して D 3 に対応するデータ線と接続される。D 5 は D 5 に対応するデータ線との接続がオフされ、D 4 はトランスファゲート 1 0 7 を介して D 5 に対応するデータ線と接

50

続される。D 7はD 7に対応するデータ線との接続がオフされ、D 6はD 7に対応するデータ線と接続される(図15(c)のx16)。

【0153】

S16がHigh、S8=High、S4=Lowのとき、YA9=High、YA10=Highの場合、NAND101の出力はLow、インバータ102の出力はLow、トランスファゲート107がオンし、トランスファゲート103、104、106はオフする。NAND111の出力はLowとなり、トランスファゲート117がオンし、トランスファゲート113、114、116はオフする。NAND121の出力はHighとなり、トランスファゲート127はオフし、トランスファゲート123、124がオンし、S4の反転信号を受けるトランスファゲート126はオンする。D1、D2、D3と対応するデータ線の間のパスがオフされ、D0は、トランスファゲート123、D0とD2のデータ線間のトランスファゲート117、D2とD3のデータ線間のトランスファゲート107を介してD3に対応するデータ線と接続される。同様に、D5、D6、D7と対応するデータ線の間のパスがオフされ、D4は、トランスファゲート126、124、D4とD6間のトランスファゲート117、D6とD7間のトランスファゲート107を介してD7に対応するデータ線と接続される(図15(c)のx8)。

10

【0154】

S16がHigh、S8=High、S4=Highのとき、YA9=High、YA10=High、YA11=Highの場合、NAND101の出力がLow、インバータ102の出力はLow、トランスファゲート107がオンし、トランスファゲート103、104、106はオフする。NAND111の出力はLowとなり、トランスファゲート117がオンし、トランスファゲート113、114、116はオフする。NAND121の出力はLowとなり、トランスファゲート127がオンし、トランスファゲート123、124がオフ、S4の反転信号を受けるトランスファゲート126はオフする。D1、D2、D3、D5、D6、D7と対応するデータ線の間のパスがオフされ、D0は、トランスファゲート127、D4とD6間のトランスファゲート117、D6とD7間のトランスファゲート107を介してD7に対応するデータ線と接続される(図15(c)のx4)。

20

【0155】

なお、図15の構成は、データの読み出し、書き込み両方に対してそのまま用いることが出来る。図15(b)に示した制御信号S16、S8、S4とx32~x4の選択例、及び、図15(a)に示したバンクの構成はあくまで一例を示したものであり、本発明はかかる構成にのみ限定されるものでないことは勿論である。

30

【0156】

図16は、図7乃至図14に示した構成において、8個の256Mビットのバンク、セクタ、シリアライザ又はデシリアライザ、DQバッファまでの回路構成を示す図である。

【0157】

セクタ部分は、8個の双方向の切り替えスイッチで構成される。

【0158】

セクタにおいて、各バンク(BANK 256Mbit)からは、図15に示したD0からD7に対応する32ビット分の信号先がそれぞれ対応するスイッチに接続される。なお、図16において、1本の信号線(データD0~D7等)は4ビット分の信号線をまとめて示している。

40

【0159】

セクタのスイッチ__0~スイッチ__7の各々は、シリアライザ又はデシリアライザ(Ser or DeSer)に接続される。

【0160】

図17は、図16のスイッチ部分を示す図である。図17(b)に示すように、各スイッチには32本の入出力信号線(D0~D7)が接続され、それらの接続を制御する32

50

個のスイッチ素子（図17（a）参照）が含まれる。

【0161】

図17（a）に示すように、各スイッチ（SW）素子は、3入力の信号A、B、Cでオン/オフ制御される。信号A、B、CがHighのとき、NAND201の出力がLowとなり、トランジスタ203、204がオンし、XとYが導通する。それ以外では、NAND201の出力がHighとなり、トランジスタ203、204はオフする。

【0162】

信号線A、B、Cには、バンクアドレス（BA0、BA1、BA2）又はVCアドレス（CA0、CA1、CA2）が対応する。

【0163】

図17（c）には、8個ある各スイッチ（図16のスイッチ__0～スイッチ__7）と、バンクアドレス（BA0、BA1、BA2）又はVCアドレス（CA0、CA1、CA2）の対応が表に示されている。図17（c）において、/BA0等信号名の先頭に/がついたものは負論理の信号で、入力の論理を反転したものを表す。

【0164】

ここで、バンクアドレスBA0とVCアドレスCA0は、実質、同じ信号であり、VCの構成によってその名前（表す意味）を使い分ける。

【0165】

図15、図16の構成と図17のスイッチを組み合わせることにより、4品種の展開に対応してバンク、セクタ、シリアライザ又はデシリアライザ、DQバッファまでの回路構成が変更されることになる。

【0166】

図18は、DDR3-SDRAMのモードレジスタ3の設定の一例を説明するための図である。アドレスフィールドにおけるBA0とBA1にそれぞれ1をセットすることで、内部モードレジスタ3を選択する。

【0167】

A3とA4に0か1をセットすることでモードレジスタ3が設定され、図18（b）に示した4品種（x32、x16、x8、x4）のいずれか一つを選択することができる。

【0168】

この選択結果に対応して、図15に示した選択信号S16、S8、S4のそれぞれのハイ/ロウレベルが設定される。

【0169】

図19は、前記実施例に即して説明した本発明による半導体記憶装置（DRAM）10と、マルチコアプロセッサ20とを含むコンピュータシステムの構成を示す。マルチコアプロセッサ20は、コア__1乃至コア__n（21）と、I/O装置22と、外部記憶装置制御ブロック23と、オンチップメモリ24を備え、これらは内部バス25で接続されている。

【0170】

例えばプロセッサが4個のコア__1、コア__2、コア__3、コア__4（図19のコア__nのn=4）を含む場合、本発明による半導体記憶装置（DRAM）10の構成を、4VC構成（32M×8ビット×2バンク×4VC）に設定する。

【0171】

そして各コアを4個のVCに対応させるように、プロセッサ内蔵の外部記憶装置制御ブロックを設計する。

【0172】

このようにすれば、各コアは他のコアのメモリアクセスに関係なく、対応するVCをアクセスすることが出来、アドレスとコマンドのロットが重ならない限り、データ入出力信号が重なった形でアクセスすることも可能となる。

【0173】

よって、各コアとVC間のデータ転送単位（1回のアクセスでやり取りするデータ量）

10

20

30

40

50

を8バイトという比較的少ない(最適な)大きさにしつつ、プロセッサとDRAM全体のデータ転送レートは、その4倍(このDRAMの最大値)に近い値を保つことが可能となる。

【0174】

さらに他の機器の製造に際し、使われるプロセッサのコア数が変わった場合でも、同じDRAMのモードレジスタを変更するだけで、最適な構成を得ることができる。従って、複数の機器の製造数量割合の変更に備えて複数品種のDRAMの在庫を持たなくても済む。

【0175】

一方、DRAMメーカーも同一チップで複数の品種に展開できるため製品の品揃えを少なくし、各製品の生産数量を増やすことが出来るため、DRAMのコストを低減できる。

10

【0176】

上記により、本実施例によれば、少ないデータ転送量が必要なCPUコアが複数個で構成されるマルチコア型のプロセッサに対して、1個、あるいは必要最小限の個数のSDRAMで、十分大きなバンド幅を提供できるようになり、システムのコスト低減と性能向上を達成できるという効果がある。

【0177】

本実施例によれば、汎用の標準的なSDRAMと同じピン構成を維持することができるため、システムのボード設計などをやり直す必要がない。このため、低コストでシステムの性能を向上させることが出来る。

20

【0178】

本実施例によれば、顧客が必要に応じて、モードレジスタ設定値を切り替えて品種の展開を行えることができるため、余分な在庫を持たずに済む。

【0179】

本実施例によれば、製造側も品種数の増加を抑えられるので、管理コストを削減できるという作用効果を奏する。

【0180】

本発明は広く一般のデジタル機器のメインメモリに利用可能である。特にマルチコア構成のプロセッサを持ち、複数個のタスクを並列に実行するようなシステムに好適な品種展開を提供することができる。

30

【0181】

なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0182】

【図1】本発明の一実施例におけるビット構成の展開と動作波形(読み出し)を示すタイミング図である。

40

【図2】図1の左半分を示す部分拡大図である。

【図3】図1の右半分を示す部分拡大図である

【図4】本発明の一実施例におけるビット構成の展開と動作波形(書き込み)を示すタイミング図である。

【図5】図4の左半分を示す部分拡大図である。

【図6】図4の右半分を示す部分拡大図である。

【図7】本発明の一実施例における8M×32×8Bank×1VCの構成(読み出し)を示すタイミング図である。

【図8】本発明の一実施例における16M×16×4Bank×2VCの構成(読み出し

50

)を示す図である。

【図 9】本発明の一実施例における 3 2 M x 8 x 2 B a n k x 4 V C の構成 (読み出し)を示す図である。

【図 1 0】本発明の一実施例における 6 4 M x 4 x 1 B a n k x 8 V C の構成 (読み出し)を示す図である。

【図 1 1】本発明の一実施例における 8 M x 3 2 x 8 B a n k x 1 V C の構成 (書き込み)を示す図である。

【図 1 2】本発明の一実施例における 1 6 M x 1 6 x 4 B a n k x 2 V C の構成 (書き込み)を示す図である。

【図 1 3】本発明の一実施例における 3 2 M x 8 x 2 B a n k x 4 V C の構成 (書き込み)を示す図である。

10

【図 1 4】本発明の一実施例における 6 4 M x 4 x 1 B a n k x 8 V C の構成 (書き込み)を示す図である。

【図 1 5】本発明の一実施例における 1 B a n k (2 5 6 M b i t) の構成を示す図である。

【図 1 6】本発明の一実施例におけるセクタ部分の構成を示す図である。

【図 1 7】本発明の一実施例におけるスイッチ回路部分の構成を示す図である。

【図 1 8】本発明の一実施例におけるモードレジスタの設定例を示す図である。

【図 1 9】本発明の一実施例におけるマルチコアプロセッサを含むコンピュータシステムの構成を示す図である。

20

【図 2 0】典型的な D R A M におけるビット構成の展開と動作波形 (読み出し)を示すタイミング図である。

【図 2 1】図 2 0 の左半分を示す部分拡大図である。

【図 2 2】図 2 0 の右半分を示す部分拡大図である。

【図 2 3】典型的な D R A M におけるビット構成の展開と動作波形 (書き込み)を示すタイミング図である。

【図 2 4】図 2 3 の左半分を示す部分拡大図である。

【図 2 5】図 2 3 の右半分を示す部分拡大図である。

【符号の説明】

【 0 1 8 3 】

30

1 0 半導体記憶装置

2 0 マルチコアプロセッサ

2 1 コア

2 2 I / O 装置

2 3 外部記憶装置制御ブロック

2 4 オンチップメモリ

2 5 内部バス

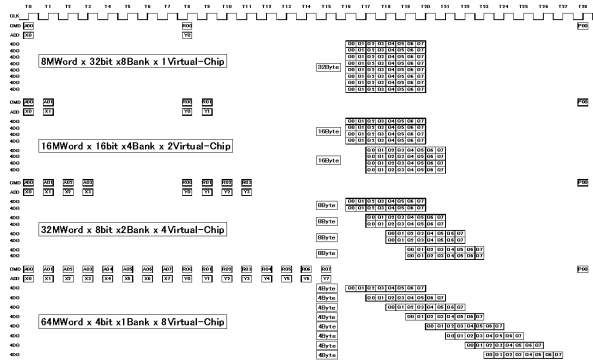
1 0 1、1 1 1、1 2 1、2 0 1 N A N D

1 0 2、1 0 5、1 1 2、1 1 5、1 2 2、1 2 5、2 0 2 インバータ

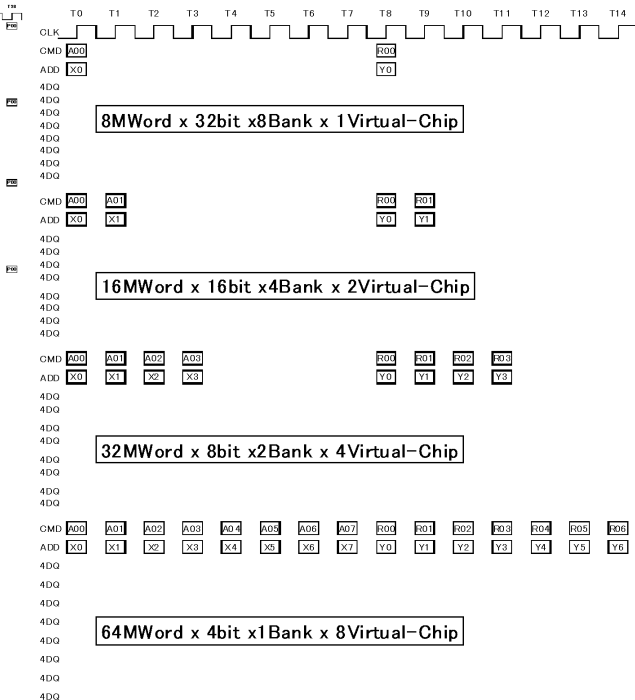
1 0 3、1 0 4、1 0 6、1 0 7、1 1 3、1 1 4、1 1 6、1 1 7、1 2 3、1 2 4
、1 2 6、1 2 7、2 0 3、2 0 4 トランスファゲート

40

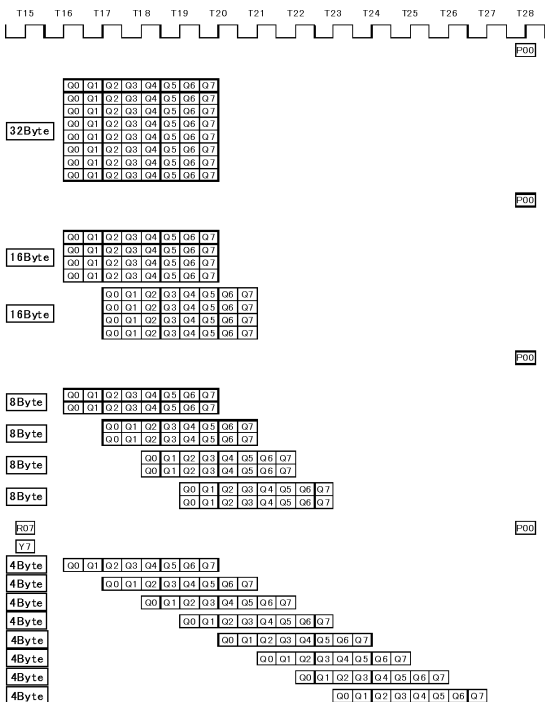
【 図 1 】



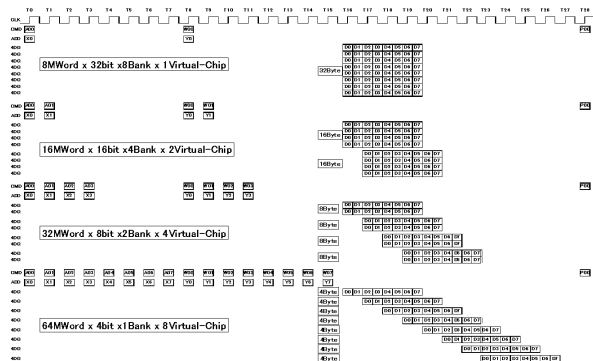
【 図 2 】



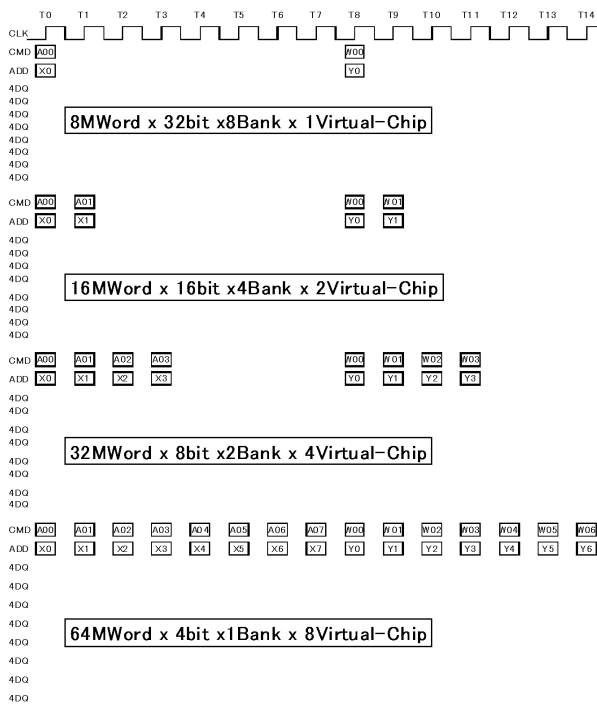
【 図 3 】



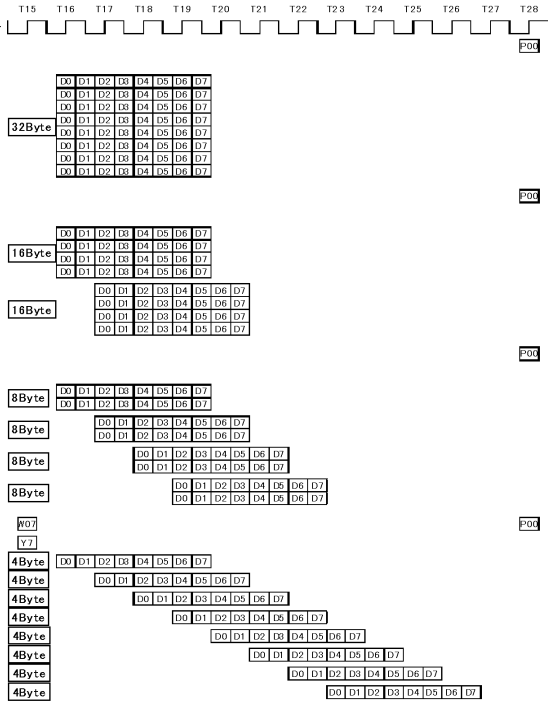
【 図 4 】



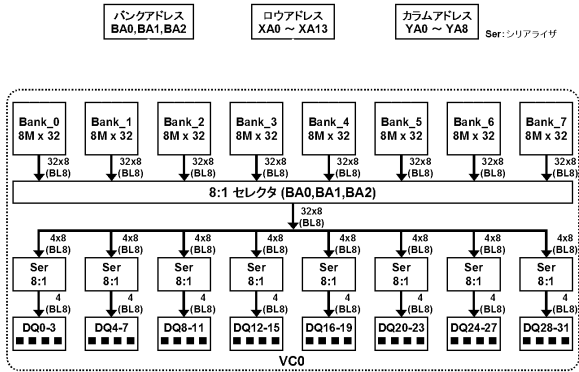
【図 5】



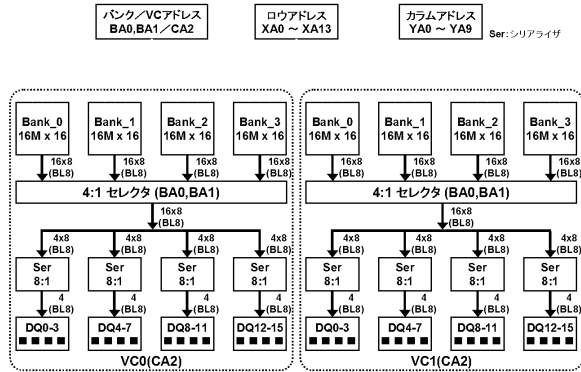
【図 6】



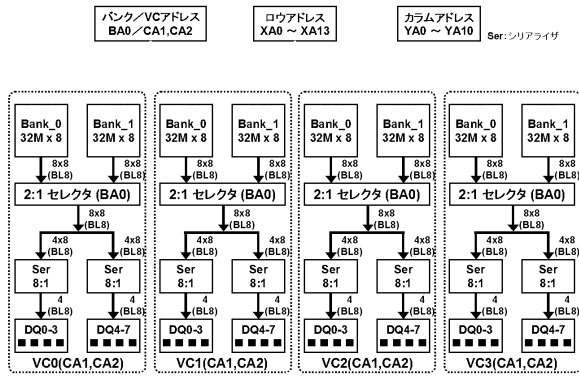
【図 7】



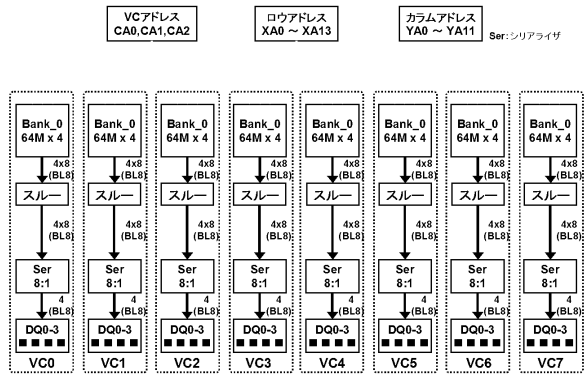
【図 8】



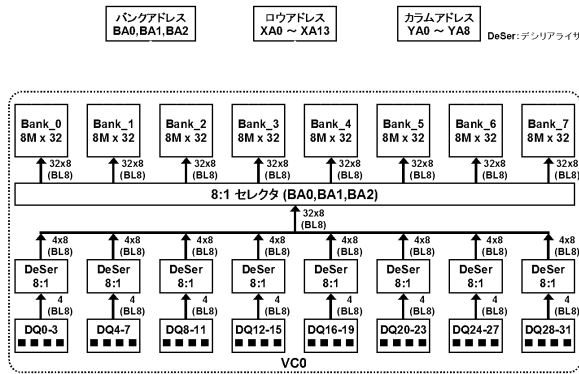
【図 9】



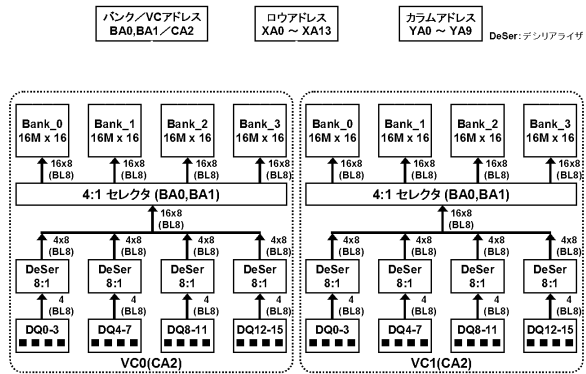
【図 10】



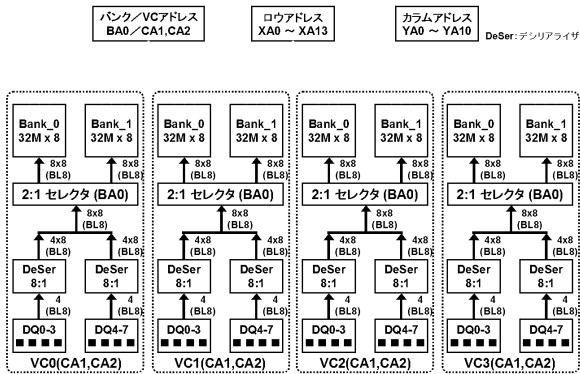
【図 11】



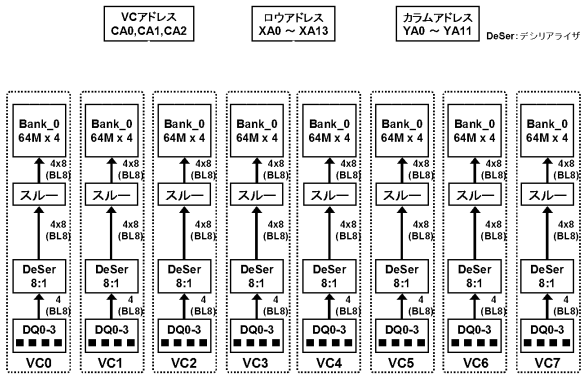
【図 12】



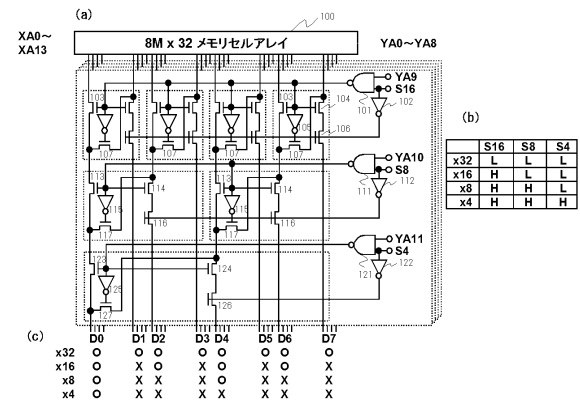
【図13】



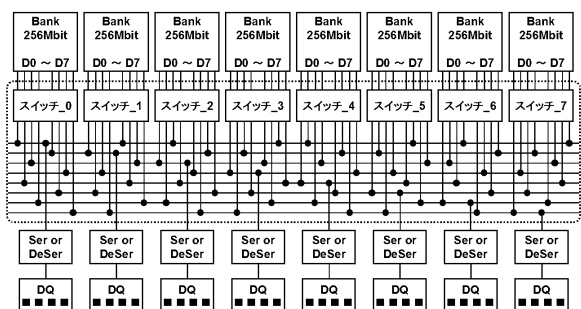
【図14】



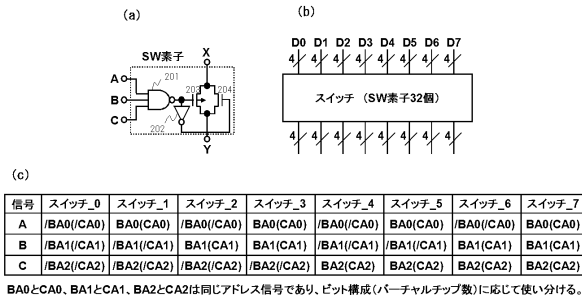
【図15】



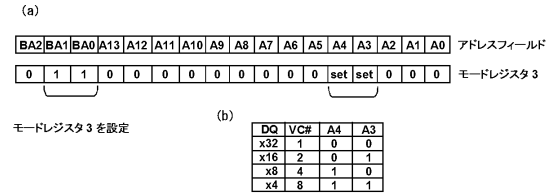
【図16】



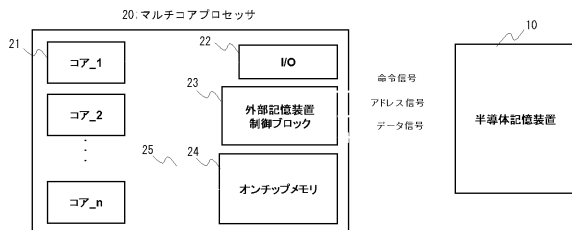
【図 17】



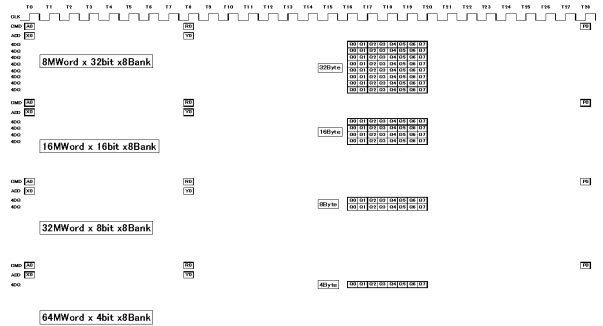
【図 18】



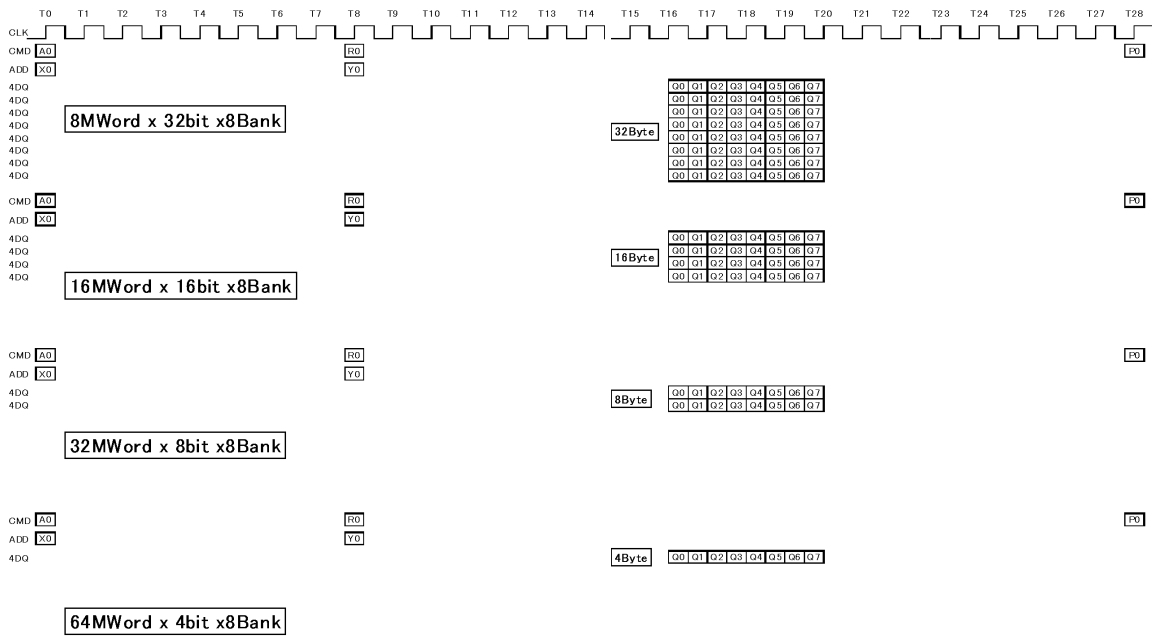
【図 19】



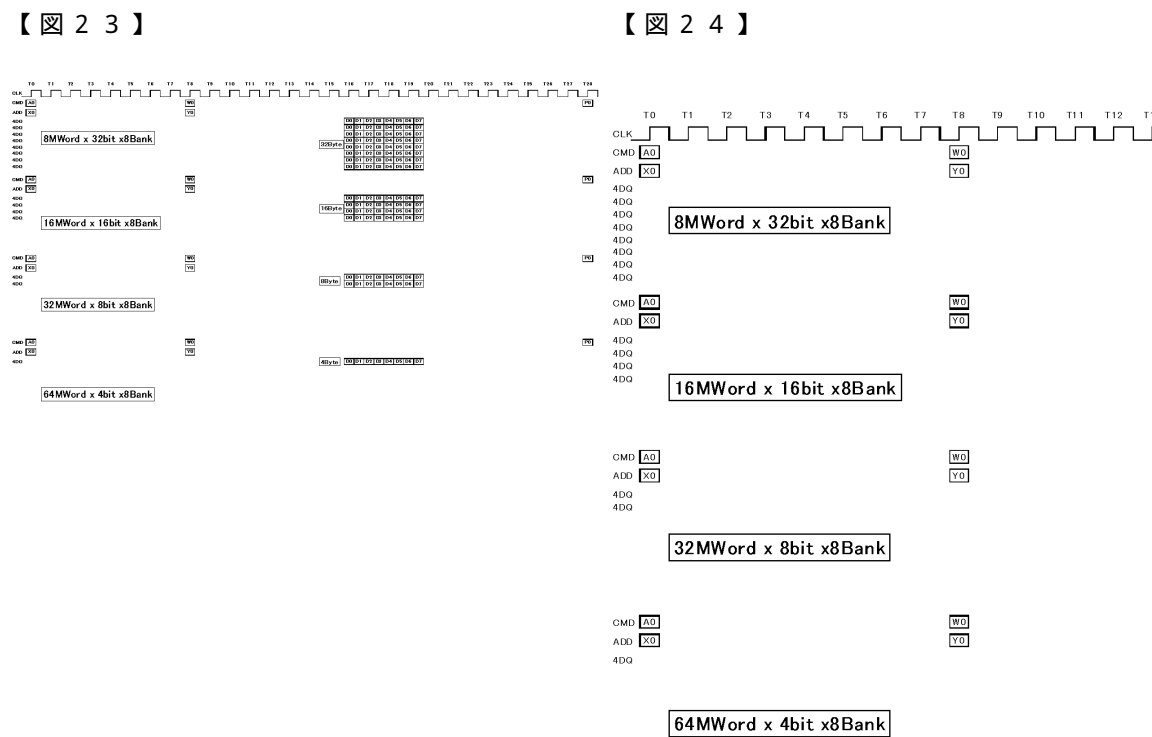
【図 20】



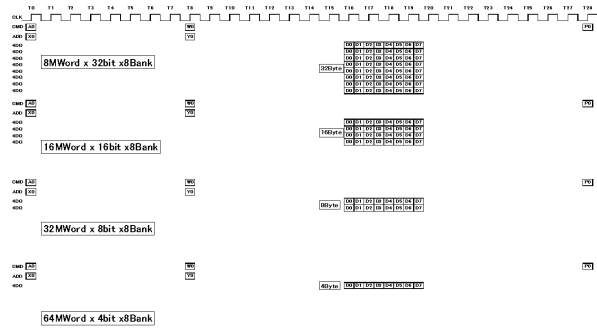
【 2 1 】



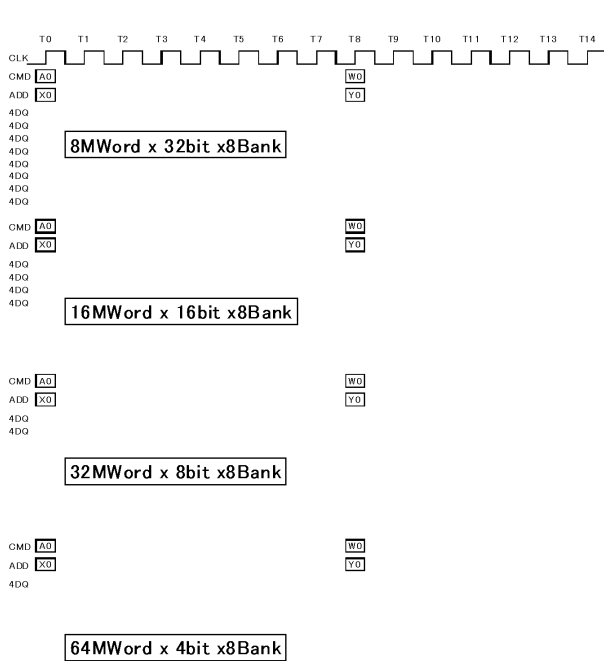
【 2 2 】



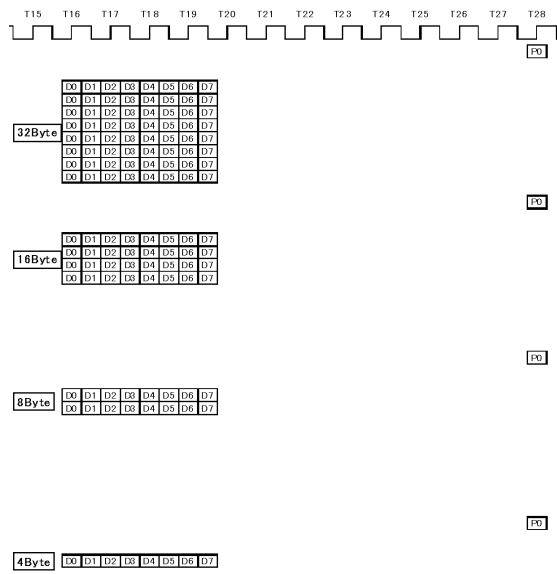
【 2 3 】



【 2 4 】



【 図 25 】



フロントページの続き

(72)発明者 梶谷 一彦
東京都中央区八重洲2-2-1 マイクロンメモリジャパン株式会社内

審査官 堀田 和義

(56)参考文献 特開2003-178580(JP, A)
米国特許出願公開第2006/0117155(US, A1)

(58)調査した分野(Int.Cl., DB名)
G11C 11/4096
G06F 12/06