



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0120330
(43) 공개일자 2012년11월01일

- (51) 국제특허분류(Int. Cl.)
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
G06K 19/07 (2006.01)
- (21) 출원번호 10-2012-7021893
- (22) 출원일자(국제) 2011년01월07일
심사청구일자 없음
- (85) 번역문제출일자 2012년08월21일
- (86) 국제출원번호 PCT/JP2011/050598
- (87) 국제공개번호 WO 2011/093150
국제공개일자 2011년08월04일
- (30) 우선권주장
JP-P-2010-019183 2010년01월29일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
카마타 코이치로
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 34 항

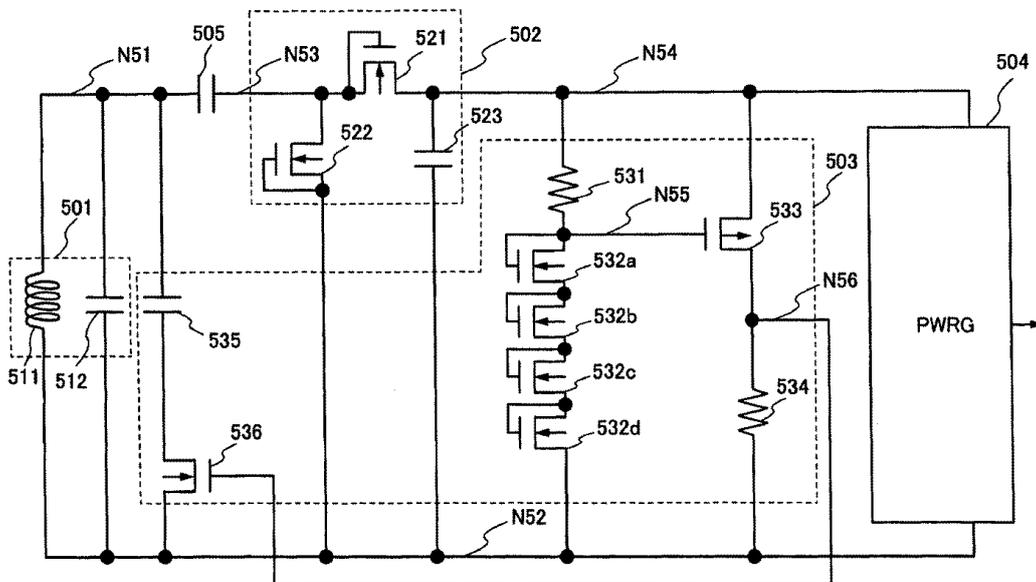
(54) 발명의 명칭 **반도체 장치**

(57) 요약

소자가 파괴될 정도로 높은 전압이 인가된 경우라도, 소자의 파괴를 억제한다.

제 1 전압이 입력됨으로써 동작을 하는 반도체 장치로써, 제 1 전압의 절대치가 기준치보다 클 때, 제 1 전압의 값을 변화시키는 보호 회로를 구비하고, 보호 회로는, 제 1 전압에 따라 제 2 전압을 생성하고, 생성한 제 2 전압을 출력하는 제어 신호 생성 회로와 전압 제어 회로를 구비하고, 전압 제어 회로는, 소스, 드레인, 및 게이트를 갖고, 게이트에 제어 신호로 제 2 전압이 입력되고, 제 2 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 전압의 값을 소스 및 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하는 트랜지스터를 포함하고, 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 추가로 갖고, 산화물 반도체층의 밴드 갭은 2eV 이상이다.

대표도



특허청구의 범위

청구항 1

제 1 전압으로 동작을 하는 반도체 장치에 있어서,
 상기 제 1 전압의 절대치가 기준치보다 클 때, 상기 제 1 전압의 값을 변화시키는 보호 회로를 구비하고,
 상기 보호 회로는,
 상기 제 1 전압에 따라 제 2 전압을 생성하고, 생성된 상기 제 2 전압을 출력하는 제어 신호 생성 회로와,
 전압 제어 회로를 구비하며,
 상기 전압 제어 회로는, 소스, 드레인, 게이트, 및 반도체층을 포함하는 트랜지스터를 갖고,
 상기 전압 제어 회로는 상기 게이트에 입력되는 상기 제 2 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 상
 기 제 1 전압의 값을 상기 소스 및 상기 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하며,
 상기 반도체층은 산화물 반도체를 갖는, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 제어 신호 생성 회로는, 상기 제 1 전압을 분압하고 상기 제 2 전압을 출력하는 분압 회로를 갖는, 반도체
 장치.

청구항 3

제 1 항에 있어서,
 상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 4

제 1 항에 있어서,
 상기 산화물 반도체층의 밴드갭은 2eV 이상인, 반도체 장치.

청구항 5

제 1 항에 있어서,
 상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,
 상기 제어 신호 생성 회로는, 산화물 반도체를 포함하는 복수의 트랜지스터를 갖고,
 상기 복수의 트랜지스터에 포함된 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는,
 반도체 장치.

청구항 7

제 1 항에 있어서,
 상기 제어 신호 생성 회로는 단결정 반도체인 트랜지스터를 포함하는, 반도체 장치.

청구항 8

반도체 장치에 있어서,
 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성된 상기 제 2 전압을 출력하는 정류 회로와,
 상기 제 2 전압의 절대치가 기준치보다 클 때, 상기 제 1 전압의 값을 변화시키는 보호 회로를 구비하고,
 상기 보호 회로는, 제어 신호 생성 회로와 전압 제어 회로를 구비하며,
 상기 제어 신호 생성 회로는, 상기 제 2 전압에 따라 제 3 전압을 생성하고, 생성한 상기 제 3 전압을 출력하며,
 상기 전압 제어 회로는, 소스, 드레인, 게이트, 및 반도체층을 포함하는 트랜지스터를 갖고,
 상기 전압 제어 회로는 상기 게이트에 입력되는 상기 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 전압의 값을 상기 소스 및 상기 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하며,
 상기 반도체층은 산화물 반도체를 갖는, 반도체 장치.

청구항 9

제 8 항에 있어서,
 상기 제어 신호 생성 회로는, 상기 제 2 전압을 분압하고 상기 제 3 전압을 출력하는 분압 회로를 갖는, 반도체 장치.

청구항 10

제 8 항에 있어서,
 상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 11

제 8 항에 있어서,
 상기 산화물 반도체층의 밴드갭은 2eV 이상인, 반도체 장치.

청구항 12

제 8 항에 있어서,
 상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 13

제 8 항에 있어서,

상기 제어 신호 생성 회로는, 산화물 반도체를 포함하는 복수의 트랜지스터를 갖고,

상기 복수의 트랜지스터에 포함된 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 14

제 8 항에 있어서,

상기 제어 신호 생성 회로는 단결정 반도체인 트랜지스터를 포함하는, 반도체 장치.

청구항 15

제 8 항에 있어서,

상기 정류 회로는 산화물 반도체를 포함하는 트랜지스터를 갖고,

상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 16

제 8 항에 있어서,

상기 정류 회로는, 전파 정류 회로, 반파 정류 회로, 또는 N배압 정류 회로인, 반도체 장치.

청구항 17

반도체 장치에 있어서,

반송파를 수신함으로써 제 1 전압을 생성하고, 생성된 상기 제 1 전압을 출력하는 안테나 회로,

상기 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성된 상기 제 2 전압을 출력하는 정류 회로,

제어 신호 생성 회로와 전압 제어 회로를 구비하고, 상기 제 2 전압의 절대치가 기준치보다 클 때, 상기 제 1 전압의 값을 변화시키는 보호 회로, 및

상기 제 2 전압에 따라 전원 전압을 생성하는 전원 전압 생성 회로를 구비하고,

상기 제어 신호 생성 회로는, 상기 제 2 전압에 따라 제 3 전압을 생성하고, 생성한 상기 제 3 전압을 출력하며,

상기 전압 제어 회로는, 소스, 드레인, 게이트, 및 반도체층을 포함하는 트랜지스터를 갖고,

상기 전압 제어 회로는 상기 게이트에 입력되는 상기 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 전압의 값을 상기 소스 및 상기 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하며,

상기 반도체층은 산화물 반도체를 갖는, 반도체 장치.

청구항 18

제 17 항에 있어서,

상기 제어 신호 생성 회로는, 상기 제 2 전압을 분압하고 상기 제 3 전압을 출력하는 분압 회로를 갖는, 반도체 장치.

청구항 19

제 17 항에 있어서,

상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 20

제 17 항에 있어서,

상기 산화물 반도체층의 밴드갭은 2eV 이상인, 반도체 장치.

청구항 21

제 17 항에 있어서,

상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 22

제 17 항에 있어서,

상기 제어 신호 생성 회로는 산화물 반도체를 포함하는 복수의 트랜지스터를 갖고,

상기 복수의 트랜지스터에 포함된 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 23

제 17 항에 있어서,

상기 제어 신호 생성 회로는 단결정 반도체인 트랜지스터를 포함하는, 반도체 장치.

청구항 24

제 17 항에 있어서,

상기 정류 회로는 산화물 반도체를 포함하는 트랜지스터를 갖고,

상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 25

제 17 항에 있어서,

상기 정류 회로는, 전파 정류 회로, 반파 정류 회로, 또는 N배압 정류 회로인, 반도체 장치.

청구항 26

반도체 장치에 있어서,

반송파를 수신함으로써 제 1 전압을 생성하고, 생성된 상기 제 1 전압을 출력하는 안테나 회로,
 상기 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성된 상기 제 2 전압을 출력하는 정류 회로,
 제어 신호 생성 회로와, 전압 제어 회로를 구비하고, 상기 제 2 전압의 절대치가 기준치보다 클 때, 상기 제 1 전압의 값을 변화시키는 보호 회로,
 상기 제 2 전압에 따라 전원 전압을 생성하는 전원 전압 생성 회로,
 데이터 신호를 추출하기 위해 제 1 반송파를 복조하고, 상기 데이터 신호를 출력하는 복조 회로,
 상기 데이터 신호 및 상기 전원 전압이 입력됨으로써, 상기 데이터 신호에 기초한 처리를 실행하고, 응답 신호를 생성하여 출력하는 기능 회로, 및
 상기 응답 신호에 따라 송신하는 제 2 반송파를 변조하는 변조 회로를 구비하고,
 상기 제어 신호 생성 회로는, 상기 제 2 전압에 따라 제 3 전압을 생성하고, 생성한 상기 제 3 전압을 출력하며,
 상기 전압 제어 회로는, 소스, 드레인, 게이트, 및 반도체층을 포함하는 트랜지스터를 갖고,
 상기 전압 제어 회로는 상기 게이트에 입력되는 상기 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 전압의 값을 상기 소스 및 상기 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하며,
 상기 반도체층은 산화물 반도체를 갖는, 반도체 장치.

청구항 27

제 26 항에 있어서,
 상기 제어 신호 생성 회로는, 상기 제 2 전압을 분압하고 상기 제 3 전압을 출력하는 분압 회로를 갖는, 반도체 장치.

청구항 28

제 26 항에 있어서,
 상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 29

제 26 항에 있어서,
 상기 산화물 반도체층의 밴드갭은 2eV 이상인, 반도체 장치.

청구항 30

제 26 항에 있어서,
 상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 31

제 26 항에 있어서,
 상기 제어 신호 생성 회로는, 산화물 반도체를 포함하는 복수의 트랜지스터를 갖고,

상기 복수의 트랜지스터에 포함된 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 32

제 26 항에 있어서,

상기 제어 신호 생성 회로는, 단결정 반도체인 트랜지스터를 포함하는, 반도체 장치.

청구항 33

제 26 항에 있어서,

상기 정류 회로는, 산화물 반도체를 포함하는 트랜지스터를 갖고,

상기 산화물 반도체의 재료로 인듐, 갈륨, 주석, 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 34

제 26 항에 있어서,

상기 정류 회로는, 전파 정류 회로, 반파 정류 회로, 또는 N배압 정류 회로인, 반도체 장치.

명세서

기술분야

[0001] 본 발명의 일 양태는, 반도체 장치에 관한 것이다.

배경기술

[0002] 최근, 무선 통신에 의한 전원(전원 전압이라고도 한다)의 공급(급전이라고도 한다), 나아가 무선 통신에 의한 데이터의 송수신(데이터 통신이라고도 한다)이 가능한 반도체 장치의 개발이 이루어지고 있다. 예를 들어 반도체 장치의 일 예인 휴대형 정보 매체(예를 들어 휴대 전화기 등)에 무선 통신에 의한 급전 기능을 부가시키는 것이 가능하면, 외부 급전부와의 접속에 의한 급전이 불필요해지므로, 예를 들어 어떠한 환경 하에서의 급전도 가능해 지는 등, 더욱 간편하게 급전을 행할 수 있다.

[0003] 또한, 무선 통신에 의해 데이터의 송수신, 데이터의 기록, 데이터의 제거 등이 가능한 반도체 장치의 일 예로, RFID(Radio Frequency IDentification) 태그를 이용한 개체 식별 기술이 알려져 있다. RFID 태그는, RF 태그, 무선 태그, 전자 태그, 무선 칩이라고도 한다. 또한, RFID 태그는, 태그 내부에 인증 또는 그 외 처리를 실행하기 위한 집적 회로(Integrated Circuit: IC) 등의 기능 회로가 형성되어 있으므로, IC 태그, IC 칩, IC 카드라고도 불린다. 상기 반도체 장치와의 데이터의 송수신에는, 무선 통신 장치(리더 라이터 등, 무선 통신에 의한 데이터 신호의 송수신이 가능한 것)를 이용한다. 상기 반도체 장치를 이용한 개체 식별 기술은, 예를 들어 개개의 대상물의 생산, 관리 등에 이용되며, 또한, 개인 인증으로의 응용도 기대된다.

[0004] 일반적으로 상기 반도체 장치는, 스스로 전원 생성 수단을 갖지 않고, 무선 통신에 의해 급전이 이루어지므로, 급전 수단과의 거리가 떨어져 있는 경우라도 급전이 가능하다. 무선 통신이 가능한 거리를 통신 거리라고도 한다. 외부에서 급전되는 반도체 장치에서, 일반적으로 급전 효율은, 통신 거리가 길수록 저하하는 경향이 있다. 따라서, 통신 거리가 길어져도 원하는 값의 급전이 가능한 반도체 장치의 연구 개발이 진행되고 있다. (예를 들어 특허문헌 1)

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2006-005651호 공보

발명의 내용

해결하려는 과제

[0006] 그러나, 일정 이상의 긴 거리에서 무선 통신이 가능한 반도체 장치의 경우, 일정 값 미만의 거리에서 급전을 하면, 소자가 파괴될 수 있는 높은 전압(과전압이라고도 한다)이 해당 반도체 장치로 입력되는 경우가 있다.

[0007] 본 발명의 일 양태에서는, 무선 통신에 의해 소자가 파괴될 수 있는 높은 전압이 입력되는 경우라도, 소자의 파괴를 억제하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0008] 본 발명의 일 양태는, 전압에 대한 보호 회로를 형성하고, 이 보호 회로를 이용하여 소자가 파괴될 수 있는 전압이 입력되었을 때, 소자에 인가되는 전압을 완화하고, 소자의 파괴의 억제를 도모하는 것이다.

[0009] 본 발명의 일 양태는, 제 1 전압이 입력됨으로써 동작을 하는 반도체 장치으로써, 제 1 전압의 절대치가 기준치보다 클 때, 제 1 전압의 값을 변화시키는 보호 회로를 구비하고, 보호 회로는, 제 1 전압에 따라 제 2 전압을 생성하고, 생성한 제 2 전압을 출력하는 제어 신호 생성 회로와, 전압 제어 회로와, 를 구비하고, 전압 제어 회로는, 소스, 드레인, 및 게이트를 갖고, 게이트에 제어 신호로써 제 2 전압이 입력되고, 제 2 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 전압의 값을 소스 및 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하는 트랜지스터를 포함하고, 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 추가로 갖고, 산화물 반도체층의 밴드갭은, 2eV 이상인 반도체 장치이다.

[0010] 본 발명의 일 양태는, 제 1 전압이 입력되고, 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성한 제 2 전압을 출력하는 정류 회로와, 보호 회로와, 를 구비하고, 보호 회로는, 제어 신호 생성 회로와, 전압 제어 회로와, 를 구비하고, 제어 신호 생성 회로는, 제 2 전압을 분압하고, 분압한 전압을 이용하여 제 3 전압을 생성하고, 생성한 제 3 전압을 출력하는 분압 회로를 구비하고, 전압 제어 회로는, 소스, 드레인, 및 게이트를 갖고, 게이트에 제어 신호로써 제 3 전압이 입력되고, 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 전압의 값을 소스 및 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하는 트랜지스터를 포함하고, 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 추가로 갖고, 산화물 반도체층의 밴드갭은, 2eV 이상인 반도체 장치이다.

[0011] 본 발명의 일 양태는, 반송파를 수신함으로써 제 1 전압을 생성하고, 생성한 제 1 전압을 출력하는 안테나 회로와, 제 1 전압이 입력되고, 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성한 제 2 전압을 출력하는 정류 회로와, 보호 회로와, 제 2 전압에 따라 전원 전압을 생성하는 전원 전압 생성 회로와, 를 구비하고, 보호 회로는, 제어 신호 생성 회로와, 전압 제어 회로와, 를 구비하고, 제어 신호 생성 회로는, 제 2 전압을 분압하고, 분압한 전압을 이용하여 제 3 전압을 생성하고, 생성한 제 3 전압을 출력하는 분압 회로를 구비하고, 전압 제어 회로는, 소스, 드레인, 및 게이트를 갖고, 게이트에 제어 신호로써 제 3 전압이 입력되고, 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 전압의 값을 소스 및 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하는 트랜지스터를 포함하고, 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 추가로 갖고, 산화물 반도체층의 밴드갭은, 2eV 이상인 반도체 장치이다.

[0012] 본 발명의 일 양태는, 반송파를 수신함으로써 제 1 전압을 생성하고, 생성한 제 1 전압을 출력하는 안테나 회로와, 제 1 전압이 입력되고, 제 1 전압을 정류함으로써 제 2 전압을 생성하고, 생성한 제 2 전압을 출력하는 정류 회로와, 보호 회로와, 제 2 전압에 따라 전원 전압을 생성하는 전원 전압 생성 회로와, 수신한 반송파를 복조하고, 데이터 신호를 추출하는 복조 회로와, 데이터 신호 및 전원 전압이 입력됨으로써 데이터 신호에 기초한 처리를 실행하는 기능 회로와, 기능 회로에서 응답 신호가 입력되었을 때, 응답 신호에 따라 송신하는 반송파를

변조하는 변조 회로와, 를 구비하고, 보호 회로는, 제어 신호 생성 회로와, 전압 제어 회로와, 를 구비하고, 제어 신호 생성 회로는, 제 2 전압을 분압하고, 분압한 전압을 이용하여 제 3 전압을 생성하고, 생성한 제 3 전압을 출력하는 분압 회로를 구비하고, 전압 제어 회로는, 소스, 드레인, 및 게이트를 갖고, 게이트에 제어 신호로써 제 3 전압이 입력되고, 제 3 전압에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 전압의 값을 소스 및 드레인 사이에 흐르는 전류량에 따라 변화시킬지 여부를 제어하는 트랜지스터를 포함하고, 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 추가로 갖고, 산화물 반도체층의 밴드갭은, 2eV 이상인 반도체 장치이다.

[0013] 한편, 본 명세서에서, 제 1, 제 2 등의 서수를 이용한 용어는, 구성 요소의 혼동을 막기 위해 부여한 것으로, 수적으로 한정하는 것이 아님을 밝혀둔다.

발명의 효과

[0014] 본 발명의 일 양태에 의해, 소자가 파괴될 정도로 높은 전압이 입력된 경우라도, 소자의 파괴를 억제할 수 있다.

도면의 간단한 설명

- [0015] 도 1은, 실시형태 1에서의 반도체 장치의 구성의 일 예를 나타낸 블록도이다.
- 도 2는, 실시형태 1에서의 전압 제어 회로의 구성예를 나타낸 회로도이다.
- 도 3은, 실시형태 2에서의 제어 신호 생성 회로의 구성예를 나타낸 회로도이다.
- 도 4는, 실시형태 3에서의 정류 회로의 구성의 일 예를 나타낸 회로도이다.
- 도 5는, 실시형태 4에서의 반도체 장치의 구성예를 나타낸 도면이다.
- 도 6은, 실시형태 4에서의 반도체 장치의 구성예를 나타낸 도면이다.
- 도 7은, 실시형태 5에서의 반도체 장치의 구성의 일 예를 나타낸 블록도이다.
- 도 8은, 실시형태 6에서의 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- 도 9는, 실시형태 6에서의 트랜지스터의 제작 방법의 일 예를 나타낸 단면 모식도이다.
- 도 10은, 실시형태 7에서의 복수의 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- 도 11은, 실시형태 8에서의 전자 기기의 예를 나타낸 도면이다.
- 도 12는, 실시형태 9에서의 정보 매체의 예를 나타낸 도면이다.
- 도 13은, 실시예 1에서의 반도체 장치의 과도 특성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 실시형태의 일 예에 대해, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어나는 일 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타난 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다.

[0017] (실시형태 1)

[0018] 본 실시형태에서는, 보호 회로를 갖는 반도체 장치에 대해 설명한다.

[0019] 우선, 본 실시형태의 반도체 장치의 구성의 일 예에 대해 도 1을 이용하여 설명한다. 도 1은, 본 실시형태에서의 반도체 장치의 구성의 일 예를 나타낸 블록도이다.

[0020] 도 1에 나타난 반도체 장치는, 입력 전압을 정류하는 정류 회로(RECT라고도 한다)(101)와, 입력 전압의 값을 조

정하는 보호 회로(PRO라고도 한다)(102)와, 를 구비한다.

- [0021] 정류 회로(101)는, 전압(V21)이 입력되고, 입력된 전압(V21)을 정류함으로써 전압(V22)을 생성하고, 생성한 전압(V22)을 출력하는 기능을 갖는다.
- [0022] 정류 회로(101)는, 예를 들어 정류 소자를 이용하여 구성된다. 또한, 정류 회로(101)로는, 예를 들어 전파 정류 회로 또는 반파 정류 회로를 이용할 수 있다. 또한, 정류 회로(101)로는, N배압 정류 회로(N은 2 이상의 자연수)를 이용할 수도 있다. 한편, 본 실시형태의 반도체 장치에서, 정류 회로(101)를 반드시 형성할 필요는 없으며, 예를 들어 전압(V21)이 직류 전압인 경우에는 형성할 필요가 없다. 정류 회로(101)를 형성하지 않는 경우, 전압(V21)을 이용하여 반도체 장치는 동작한다.
- [0023] 한편, 전압(V21)은, 노드(N11) 및 노드(N12)를 통해 입력되는 전압이고, 전압(V22)은, 노드(N13) 및 노드(N12)를 통해 출력되는 전압이다. 또한, 노드(N11), 노드(N12), 및 노드(N13)는, 각각 다른 구성 요소에 접속되는 부분이다.
- [0024] 한편, 일반적으로 전압이란, 어느 2지점 사이에서의 전위의 차(전위차라고도 한다)를 말한다. 그러나, 전압 및 전위의 값은, 회로도 등에서 모두 볼트(V)로 표기되는 경우가 있으므로, 구별이 곤란하다. 따라서, 본 명세서에서는, 특별히 지정하는 경우를 제외하고, 어느 한 지점의 전위와 기준이 되는 전위(기준 전위라고도 한다)의 전위차를, 이 한 지점의 전압으로 이용하는 경우가 있다.
- [0025] 보호 회로(102)는, 전압(V21)의 절대치가 기준이 되는 값(기준치라고도 한다)보다 클 때, 정류 회로(101)에 의해 정류된 전압(V22)에 따라 정류 회로(101)로 입력되는 전압(V21)의 값을 변화시키는 기능을 갖는다. 기준치는, 회로의 사양에 따라 적절히 설정할 수 있다. 또한, 전압(V21)의 절대치가 기준치보다 클 때, 전압(V22)에 따라 조정된 전압(V21)의 값은, 기준치 이하가 되는 것이 바람직하다.
- [0026] 또한, 보호 회로(102)의 회로 구성의 일 예에 대해, 도 1을 이용하여 설명한다.
- [0027] 도 1에 나타난 바와 같이, 보호 회로(102)는, 제어 신호 생성 회로(CTLG라고도 한다)(121)와, 전압 제어 회로(VCTL라고도 한다)(122)와, 를 구비한다.
- [0028] 제어 신호 생성 회로(121)는, 전압(V22)에 따라 전압 제어 회로(122)의 제어 신호(CTL31)가 되는 전압을 생성하고, 생성한 전압을 출력하는 기능을 갖는다.
- [0029] 전압 제어 회로(122)는, 제어 신호(CTL31)으로써 제어 신호 생성 회로(121)에서 출력된 전압이 입력되고, 입력된 제어 신호(CTL31)에 따라 전압(V21)을 변화시킬지 여부를 제어하는 기능을 갖는다.
- [0030] 또한, 전압 제어 회로(122)의 구성예에 대해, 도 2(A) 및 도 2(B)를 이용하여 설명한다. 도 2(A) 및 도 2(B)는, 본 실시형태에서의 전압 제어 회로의 회로 구성예를 나타낸 회로도이다.
- [0031] 도 2(A) 및 도 2(B)에 나타난 전압 제어 회로(122)는, 적어도 트랜지스터(122a)를 포함한다.
- [0032] 한편, 본 명세서에서, 트랜지스터는, 전계 효과 트랜지스터로, 소스, 드레인, 및 게이트를 적어도 갖는다.
- [0033] 소스란, 소스 전극, 및 소스 배선의 일부 또는 전부를 말한다. 또한, 소스 전극과 소스 배선을 구별하지 않고 소스 전극 및 소스 배선의 양쪽의 기능을 갖는 도전층을 소스라 하는 경우가 있다.
- [0034] 드레인이란, 드레인 전극, 및 드레인 배선의 일부 또는 전부를 말한다. 또한, 드레인 전극과 드레인 배선을 구별하지 않고 드레인 전극 및 드레인 배선의 양쪽의 기능을 갖는 도전층을 드레인이라 하는 경우가 있다.
- [0035] 게이트란, 게이트 전극 및 게이트 배선의 일부 또는 전부를 말한다. 또한, 게이트 전극과 게이트 배선을 구별하지 않고 게이트 전극 및 게이트 배선의 양쪽의 기능을 갖는 도전층을 게이트라 하는 경우가 있다.
- [0036] 또한, 트랜지스터의 구조나 동작 조건 등에 따라, 트랜지스터의 소스와 드레인이 서로 바뀌므로, 어느 것이 소스 또는 드레인 인지를 한정하는 것이 곤란하다. 따라서, 본 서류(명세서, 특허 청구 범위 또는 도면 등)에서는, 트랜지스터의 소스 및 드레인 중 어느 한쪽을 제 1 단자로 표기하고, 다른 한쪽을 제 2 단자로 표기하는 경우가 있다. 또한, 소스 또는 드레인을 제 1 단자 또는 제 2 단자로 표기하는 경우에는, 게이트를 제 3 단자로 표기하는 경우도 있다.
- [0037] 도 2(A) 및 도 2(B)에 나타난 전압 제어 회로(122)는, 트랜지스터(122a)의 게이트에 제어 신호(CTL31)가 입력되고, 입력된 제어 신호(CTL31)의 전압에 따라 트랜지스터(122a)가 온 상태 또는 오프 상태가 됨으로써, 트랜지스터(122a)의 소스 및 드레인 사이에 흐르는 전류량에 따라 전압(V21)을 변화시킬지 여부를 제어하는 기능을 갖는다.

다.

- [0038] 또한, 도 2(A)에 나타난 전압 제어 회로(122)에서, 트랜지스터(122a)의 제 1 단자는, 노드(N11)에 전기적으로 접속되고, 트랜지스터(122a)의 제 2 단자는, 노드(N12)에 전기적으로 접속된다.
- [0039] 또한, 도 2(B)에 나타난 전압 제어 회로(122)는, 용량 소자(122b)를 갖는다.
- [0040] 한편, 본 명세서에서, 용량 소자는 제 1 단자 및 제 2 단자를 갖고, 제 1 단자의 일부 또는 전부로써의 기능을 갖는 제 1 전극, 제 2 단자의 일부 또는 전부로써의 기능을 갖는 제 2 전극, 및 제 1 전극 및 제 2 전극의 사이에 전압이 인가됨으로써 전하가 축적되는 유전체층을 갖는다.
- [0041] 용량 소자(122b)는, 제 1 단자가 노드(N11)에 전기적으로 접속된다. 용량 소자(122b)를 형성함으로써, 트랜지스터(122a)의 소스와 드레인 사이에 인가되는 전압을 완화할 수 있다. 또한, 용량 소자(122b) 대신에 저항 소자를 형성하여도 좋다.
- [0042] 한편, 본 명세서에서, 저항 소자는, 제 1 단자 및 제 2 단자를 갖는다.
- [0043] 또한, 도 2(B)에 나타난 전압 제어 회로(122)에서, 트랜지스터(122a)의 제 1 단자는, 용량 소자(122b)의 제 2 단자에 전기적으로 접속되고, 트랜지스터(122a)의 제 2 단자는, 노드(N12)에 전기적으로 접속된다.
- [0044] 다음으로, 트랜지스터(122a)로써 적용 가능한 트랜지스터의 구성에 대해, 이하에 설명한다.
- [0045] 트랜지스터(122a)로는, 예를 들어 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 포함하는 트랜지스터를 이용할 수 있다. 상기 트랜지스터의 채널 형성층으로서의 기능을 갖는 산화물 반도체층은, 고순도화합으로써, 진성(I형이라고도 한다), 또는 실질적으로 진성으로 만든 반도체층이다.
- [0046] 한편, 고순도화란, 산화물 반도체층 중의 수소를 최대한 배제하는 것, 및 산화물 반도체층에 산소를 공급하여 산화물 반도체층 중의 산소 결핍에 기인하는 결함을 저감하는 것 중 적어도 한쪽을 포함하는 개념이다.
- [0047] 이 산화물 반도체층에 이용되는 산화물 반도체로는, 예를 들어 사원계 금속 산화물, 삼원계 금속 산화물, 또는 이원계 금속 산화물 등을 이용할 수 있다. 사원계 금속 산화물로는, 예를 들어 In-Sn-Ga-Zn-O계 금속 산화물 등을 이용할 수 있다. 삼원계 금속 산화물로는, 예를 들어 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, 또는 Sn-Al-Zn-O계 금속 산화물 등을 이용할 수 있다. 이원계 금속 산화물로는, 예를 들어 In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물, 또는 In-Sn-O계 금속 산화물 등을 이용할 수 있다. 또한, 산화물 반도체로는, 예를 들어 In-O계 금속 산화물, Sn-O계 금속 산화물, 또는 Zn-O계 금속 산화물 등을 이용할 수도 있다. 또한, 산화물 반도체로는, 상기 산화물 반도체로써 적용 가능한 금속 산화물에 SiO₂를 포함하는 산화물을 이용할 수도 있다.
- [0048] 또한, 산화물 반도체로, InM₃(ZnO)_m(m은 0보다 큰 수)로 표기되는 재료를 이용할 수 있다. 여기서, M은, Ga, Al, Mn, 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로는, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 들 수 있다. 예를 들어, InM₃(ZnO)_m로 표기되는 구조의 산화물 반도체 중, M으로 Ga를 포함하는 구조의 산화물 반도체를, 상기 In-Ga-Zn-O 산화물 반도체라 한다.
- [0049] 또한, 산화물 반도체층의 밴드갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상으로 한다. 이에 따라, 열여기에 의해 생기는 캐리어의 수는 무시할 수 있다. 또한, 도너가 되는 경우가 있는 수소 등의 불순물을 일정량 이하가 될 때까지 저감하고, 캐리어 농도를 1×10¹⁴/cm³ 미만, 바람직하게는 1×10¹²/cm³ 이하로 한다. 즉, 산화물 반도체층의 캐리어 농도를 무한대로 제로 또는 제로와 실질적으로 동등한 값으로 한다.
- [0050] 상기 산화물 반도체층은, 애벌란시 항복이 일어나기 어렵고, 절연 내압이 높다. 예를 들어, 실리콘은, 밴드갭이 1.12eV로 작으므로, 애벌란시 항복에 의해 전자가 발생하기 쉽고, 게이트 절연층으로서의 에너지 장벽을 넘을 수 있을 정도로 고속으로 가속되는 전자의 수가 증가한다. 한편, 상기 산화물 반도체층에 이용되는 산화물 반도체는, 밴드갭이 2eV 이상으로 실리콘보다 크고, 애벌란시 항복이 일어나기 어렵고, 실리콘에 비해 핫 캐리어 열화 내성이 높으므로, 절연 내압이 높다.
- [0051] 핫 캐리어 열화는, 예를 들어 고속으로 가속된 전자가 채널 중의 드레인 근방에서 게이트 절연층 중에 주입됨으로써 발생하는 고정 전하에 의해 생기는 트랜지스터 특성의 열화, 또는 고속으로 가속된 전자에 의해 게이트 절

연층 계면에 형성되는 트랩 준위 등에 의해 생기는 트랜지스터 특성의 열화 등으로, 트랜지스터 특성의 열화로 는, 예를 들어 역치 전압의 변동 또는 게이트 리크 등이 있다. 또한, 핫캐리어 열화의 요인으로는, 채널 핫 일렉트론 주입(CHE 주입이라고도 한다)과 드레인 애벌란시 핫캐리어 주입(DAHC 주입이라고도 한다)이 있다.

[0052] 또한, 고절연 내압 재료의 하나인 실리콘 카바이드의 밴드갭과 상기 산화물 반도체층에 이용되는 산화물 반도체의 밴드갭은 동등하나, 이 산화물 반도체가, 실리콘 카바이드보다 이동도가 2자리수 정도 작으므로, 전자가 가속되기 어렵고, 또한, 게이트 절연층과의 에너지 장벽이 실리콘 카바이드, 질화 갈륨, 또는 실리콘보다 크고, 게이트 절연층에 주입되는 전자가 매우 적으므로, 실리콘 카바이드, 질화 갈륨, 또는 실리콘보다 핫캐리어 열화가 생기기 어렵고, 절연 내압이 높다. 또한, 이 산화물 반도체는, 비정질 상태라도 동일하게 절연 내압이 높다.

[0053] 또한, 상기 산화물 반도체층을 갖는 트랜지스터에서는, 채널 폭 $1\mu\text{m}$ 당 오프 전류를 $10\text{aA}/\mu\text{m}(1 \times 10^{-17}\text{A}/\mu\text{m})$ 이하, 나아가 $1\text{aA}/\mu\text{m}(1 \times 10^{-18}\text{A}/\mu\text{m})$ 이하, 나아가 $10\text{zA}/\mu\text{m}(1 \times 10^{-20}\text{A}/\mu\text{m})$ 이하, 나아가 $1\text{zA}(1 \times 10^{-21}\text{A}/\mu\text{m})$ 이하로 하는 것이 가능하다.

[0054] 도 2에 예로 나타낸 바와 같이, 본 실시형태의 전압 제어 회로의 일 예는, 적어도 트랜지스터를 갖는 구성으로, 제어 신호 생성 회로에서 이 트랜지스터의 게이트에 제어 신호가 입력되고, 입력된 제어 신호에 따라 이 트랜지스터가 온 상태로 됨으로써, 본 실시형태의 반도체 장치로 입력되는 전압(전압(V21))의 값이 트랜지스터의 소스 및 드레인 사이에 흐르는 전류량에 따라 변화한다.

[0055] 또한, 이 트랜지스터는, 산화물 반도체층을 갖고, 이 산화물 반도체층에 이용되는 산화물 반도체는, 예를 들어 실리콘을 이용한 트랜지스터 등의 종래의 트랜지스터보다 절연 내압이 높다. 이 트랜지스터를 본 실시형태의 반도체 장치에 이용함으로써, 보호 회로의 파괴를 억제할 수 있으므로, 신뢰성을 향상시킬 수 있다.

[0056] 다음으로, 도 1에 나타낸 반도체 장치의 동작의 일 예에 대해 설명한다.

[0057] 우선, 노드(N11) 및 노드(N12)를 통해 정류 회로(101)에 전압(V21)이 입력된다.

[0058] 정류 회로(101)에서는, 입력된 전압(V21)을 정류함으로써 전압(V22)을 생성하고, 생성한 전압(V22)을 출력 전압으로 노드(N13) 및 노드(N12)를 통해 출력한다.

[0059] 또한, 보호 회로(102)에서, 제어 신호 생성 회로(121)는, 전압(V22)의 값에 따른 전압을 생성하고, 생성한 전압을 제어 신호(CTL31)로써 전압 제어 회로(122)에서 트랜지스터(122a)의 게이트에 출력한다.

[0060] 이때, 전압(V22)의 절대치가 기준치 이하의 경우에는, 트랜지스터(122a)는, 오프 상태가 된다.

[0061] 또한, 전압(V22)의 절대치가 기준치보다 큰 경우에는, 트랜지스터(122a)는, 온 상태가 되고, 트랜지스터(122a)의 소스 및 드레인이 도통 상태가 되고, 트랜지스터(122a)의 소스 및 드레인 사이에 전류가 흐름으로써, 전압(V21)의 값이 변화한다. 전압(V21)의 변화량은, 트랜지스터(122a)의 소스 및 드레인 사이에 흐르는 전류량에 따라 결정된다. 즉, 전압(V21)의 변화량은, 전압(V22)의 값에 따라 결정된다.

[0062] 이상과 같이, 본 실시형태의 반도체 장치의 일 예는, 전압에 대한 보호 회로를 갖고, 출력 전압의 절대치가 기준치보다 클 때, 이 보호 회로를 이용하여, 출력 전압에 따라 입력 전압의 값을 변화시키는 구성이다. 이에 따라, 예를 들어 어느 시각에서, 입력 전압의 값이, 소자가 파괴될 정도로 큰 경우라도, 소자의 파괴를 억제할 수 있다. 또한, 출력 전압의 절대치가 기준치보다 큰 경우에, 이 출력 전압이 일정한 값으로 수속(收束)하도록, 입력 전압을 조정할 수 있다.

[0063] 또한, 본 실시형태의 반도체 장치의 일 예는, 보호 회로에 입력 전압의 값의 변화를 제어하는 트랜지스터를 갖고, 이 트랜지스터는, 채널 형성층으로서의 기능을 갖는 산화물 반도체층을 갖고, 이 산화물 반도체층은 넓은 밴드갭을 갖는 구성이다. 상기 트랜지스터는, 종래의 트랜지스터보다 절연 내압이 높고, 파괴되기 어려우므로, 반도체 장치의 신뢰성을 향상시킬 수 있다. 또한, 상기 트랜지스터는, 오프 전류가 적으므로, 트랜지스터가 오프 전류에 의한 반도체 장치에서의 입력 전압의 저하를 억제할 수 있다.

[0064] (실시형태 2)

[0065] 본 실시형태에서는, 상기 실시형태 1에 나타낸 제어 신호 생성 회로의 구성예에 대해 설명한다.

- [0066] 본 실시형태의 제어 신호 생성 회로의 구성예에 대해, 도 3을 이용하여 설명한다. 도 3은, 본 실시형태에서의 제어 신호 생성 회로의 구성예를 나타낸 회로도이다.
- [0067] 도 3(A)에 나타낸 제어 신호 생성 회로(121)는, 분압 회로(201)를 적어도 구비한다.
- [0068] 분압 회로(201)는, 전압(V22)을 분압하는 기능을 갖는다. 또한, 분압 회로(201)의 구성예에 대해 이하에 설명한다.
- [0069] 분압 회로(201)는, 저항 소자(211)와, 정류 소자(212a)와, 정류 소자(212b)와, 정류 소자(212c)와, 정류 소자(212d)와, 를 갖는다. 한편, 도 3(A)에 나타낸 제어 신호 생성 회로(121)에서는, 4개의 정류 소자를 이용한 예에 대해 설명하였으나, 이에 한정되지 않으며, 본 실시형태의 제어 신호 생성 회로는, 1개의 정류 소자를 갖는 구성, 또는 서로 순방향으로 직렬 접속으로 전기적으로 접속된 K개(K는 2 이상의 자연수)의 정류 소자를 갖는 구성으로 할 수 있다.
- [0070] 정류 소자(212a) 내지 정류 소자(212d)는, 서로 순방향으로 직렬 접속으로 전기적으로 접속된다.
- [0071] 정류 소자(212a) 내지 정류 소자(212d)로는, 예를 들어 PN 다이오드, PIN 다이오드, 또는 다이오드 접속된 전계 효과 트랜지스터 등을 이용할 수 있다.
- [0072] 저항 소자(211)의 제 1 단자는, 정류 소자(212d)의 캐소드에 전기적으로 접속된다. 한편, 저항 소자(211)와 정류 소자(212d)의 접속 부분을 노드(N14)라고도 한다.
- [0073] 또한, 분압 회로(201)는, 정류 소자(212a)의 애노드 및 저항 소자(211)의 제 2 단자 사이에 전압(V22)이 인가된다.
- [0074] 다음으로, 도 3(A)에 나타낸 제어 신호 생성 회로의 동작의 일 예에 대해 설명한다.
- [0075] 우선, 분압 회로(201)에 의해, 전압(V22)이 분압되고, 노드(N14)의 전압은, 전압(V22)이 분압된 값이 된다. 한편, 노드(N14)의 전압의 값은, 전압(V21)의 값, 나아가 전압(V22)의 값에 의해 설정된다.
- [0076] 예를 들어, 전압(V21)의 절대치가 기준치 이하일 때, 정류 소자(212a) 내지 정류 소자(212d) 중 어느 하나가 비도통 상태가 된다. 이때, 정류 소자(212a) 내지 정류 소자(212d)의 합성 저항은, 저항 소자(211)의 저항과 비교하여 매우 큰 저항으로 간주하므로, 노드(N14)의 전압은, 노드(N12)의 전위에 가까운 값이 된다. 한편, 기준치는, 예를 들어 정류 소자(212a) 내지 정류 소자(212d)의 역치 전압 또는 저항 소자(211)의 저항값 등을 조정함으로써 적절히 설정된다.
- [0077] 또한, 전압(V21)의 절대치가 기준치보다 클 때, 정류 소자(212a) 내지 정류 소자(212d)가 도통 상태가 된다. 이때, 정류 소자(212a) 내지 정류 소자(212d)의 합성 저항은, 저항 소자(211)의 저항과 비교하여 매우 작은 저항으로 간주하므로, 노드(N14)의 전압이 상승한다. 이때, 노드(N14)의 전압은, 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)가 온 상태가 되기 위해 필요한 값 이상이 된다.
- [0078] 또한, 도 3(A)에 나타낸 제어 신호 생성 회로는, 노드(N14)의 전압을 제어 신호(CTL31)로 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)의 게이트로 출력한다. 이상이 도 3(A)에 나타낸 제어 신호 생성 회로의 동작의 일 예이다.
- [0079] 도 3(A)에 일 예로 나타낸 바와 같이, 적어도 분압 회로를 이용하여, 이 분압 회로에 의해 분압 회로에 인가되는 전압을 분압하고, 분압한 전압을 이용하여 실시형태 1에 나타낸 전압 제어 회로의 제어 신호를 생성함으로써, 실시형태 1에 나타낸 제어 신호 생성 회로를 구성할 수 있다.
- [0080] 또한, 도 3(A)에 나타낸 제어 신호 생성 회로는, 모두 동일한 도전형의 트랜지스터를 갖는 구성으로 할 수 있다. 이에 따라, 도전형이 다른 복수의 도전형의 트랜지스터를 이용하는 경우에 비해 공정 수를 줄이는 것이 가능하므로, 제조 비용을 삭감할 수 있다.
- [0081] 한편, 본 실시형태의 제어 신호 생성 회로는, 도 3(A)에 나타낸 구성에 한정되지 않으며, 다른 구성으로 할 수도 있다. 본 실시형태의 제어 신호 생성 회로의 다른 구성에 대해, 도 3(B)을 이용하여 설명한다.
- [0082] 도 3(B)에 나타낸 제어 신호 생성 회로(121)는, 분압 회로(202)를 구비하고, 또한, 트랜지스터(203)와, 저항 소자(204)와, 를 갖는다.
- [0083] 분압 회로(202)는, 전압(V22)을 분압하는 기능을 갖는다. 또한, 분압 회로(202)의 구성예에 대해, 이하에 설명

한다.

- [0084] 분압 회로(202)는, 저항 소자(221)와, 정류 소자(222a)와, 정류 소자(222b)와, 정류 소자(222c)와, 정류 소자(222d)와, 를 갖는다. 한편, 도 3(B)에 나타낸 제어 신호 생성 회로(121)에서는, 4개의 정류 소자를 이용한 예에 대해 설명하였으나, 이에 한정되지 않으며, 본 실시형태의 제어 신호 생성 회로는, 1개의 정류 소자를 갖는 구성, 또는 서로 순방향으로 직렬 접속으로 전기적으로 접속된 K개의 정류 소자를 갖는 구성으로 할 수 있다.
- [0085] 정류 소자(222a) 내지 정류 소자(222d)는, 서로 순방향으로 직렬 접속으로 전기적으로 접속되고, 정류 소자(222a)의 애노드는, 저항 소자(221)의 제 2 단자에 전기적으로 접속된다.
- [0086] 정류 소자(222a) 내지 정류 소자(222d)로는, 예를 들어 PN 다이오드, PIN 다이오드, 또는 다이오드 접속된 전계 효과 트랜지스터 등을 이용할 수 있다.
- [0087] 또한, 분압 회로(202)는, 저항 소자(221)의 제 1 단자와 정류 소자(222d)의 캐소드 사이에 전압(V22)이 인가된다.
- [0088] 또한, 도 3(B)에 나타낸 제어 신호 생성 회로는, 트랜지스터(203)의 제 1 단자와 저항 소자(204)의 제 2 단자의 사이에 전압(V22)이 인가된다.
- [0089] 트랜지스터(203)의 게이트는, 저항 소자(221)의 제 2 단자에 전기적으로 접속된다.
- [0090] 트랜지스터(203)로는, 예를 들어 단결정 반도체를 이용하여 구성된 트랜지스터를 적용할 수 있다.
- [0091] 저항 소자(204)의 제 1 단자는, 트랜지스터(203)의 제 2 단자에 전기적으로 접속된다. 한편, 저항 소자(204)의 제 1 단자와, 트랜지스터(203)의 제 2 단자와의 접속 부분을 노드(N16)라고도 한다.
- [0092] 다음으로, 도 3(B)에 나타낸 제어 신호 생성 회로의 동작의 일 예에 대해 설명한다. 한편, 일 예로 트랜지스터(203)는 P형인 것으로 한다.
- [0093] 우선, 분압 회로(202)에 의해 전압(V22)이 분압되고, 노드(N15)의 전압은, 전압(V22)의 분압된 값이 된다. 한편, 노드(N15)의 전압은, 전압(V21)의 값, 나아가 전압(V22)의 값에 의해 설정된다.
- [0094] 예를 들어, 전압(V21)의 절대치가 기준치 이하일 때, 정류 소자(222a) 내지 정류 소자(222d) 중 어느 하나가 비도통 상태가 된다. 이때, 정류 소자(222a) 내지 정류 소자(222d)의 합성 저항은, 저항 소자(221)의 저항과 비교하여 매우 큰 저항으로 간주하므로, 노드(N15)의 전압은, 노드(N11)의 전위에 가까운 값이 된다. 한편, 기준치는, 예를 들어 정류 소자(222a) 내지 정류 소자(222d)의 역치 전압 또는 저항 소자(221)의 저항값 등을 조정함으로써 적절히 설정된다.
- [0095] 또한, 전압(V22)의 절대치가 기준치 이하일 때, 트랜지스터(203)가 오프 상태가 된다. 이때, 노드(N16)의 전압은, 노드(N12)의 전위와 실질적으로 동일한 값이 된다.
- [0096] 또한, 전압(V22)의 절대치가 기준치보다 클 때, 정류 소자(222a) 내지 정류 소자(222d)가 도통 상태가 된다. 이때, 정류 소자(222a) 내지 정류 소자(222d)의 합성 저항은, 저항 소자(221)의 저항과 비교하여 매우 작은 저항으로 간주하므로, 노드(N15)의 전압이 하강하고, 노드(N15)의 전압은, 트랜지스터(203)가 온 상태가 되기 위해 필요한 값까지 하강한다.
- [0097] 또한, 전압(V22)의 절대치가 기준치보다 클 때, 트랜지스터(203)는 온 상태가 되고, 노드(N16)의 전압이 상승한다. 이때, 노드(N16)의 전압의 값은, 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)가 온 상태가 되기 위해 필요한 값 이상이 된다.
- [0098] 또한, 도 3(B)에 나타낸 제어 신호 생성 회로는, 노드(N16)의 전압을 제어 신호(CTL31)로써 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)의 게이트에 출력한다. 이상이 도 3(B)에 나타낸 제어 신호 생성 회로의 동작의 일 예이다.
- [0099] 도 3(B)에 나타낸 제어 신호 생성 회로는, 도 3(A)에 나타낸 제어 신호 생성 회로의 구성에 더하여, 트랜지스터 및 저항 소자를 갖는 구성이다. 트랜지스터를 갖는 구성으로 함으로써, 제어 신호(CTL31)가 되는 전압이 원하는 값으로 변화하기까지의 시간을 단축할 수 있다.
- [0100] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합 또는 치환할 수 있다.

- [0101] (실시형태 3)
- [0102] 본 실시형태에서는, 상기 실시형태 1에 나타난 정류 회로의 일 예에 대해 설명한다.
- [0103] 우선, 본 실시형태의 정류 회로의 구성의 일 예에 대해 도 4를 이용하여 설명한다. 도 4는, 본 실시형태에서의 정류 회로의 구성의 일 예를 나타낸 회로도이다.
- [0104] 도 4에 나타난 정류 회로는, 정류 소자(111), 정류 소자(112), 및 용량 소자(113)를 갖는다.
- [0105] 정류 소자(112)의 캐소드는, 정류 소자(111)의 애노드에 전기적으로 접속된다.
- [0106] 용량 소자(113)의 제 1 단자는, 정류 소자(111)의 캐소드에 전기적으로 접속된다.
- [0107] 또한, 도 4에 나타난 정류 회로는, 노드(N11) 및 노드(N12)의 사이에 전압(V21)이 인가되고, 노드(N13) 및 노드(N12)의 사이에 전압(V22)이 인가된다.
- [0108] 정류 소자(111) 및 정류 소자(112)로는, 예를 들어 PN 다이오드, PIN 다이오드, 또는 다이오드 접속된 전계 효과 트랜지스터 등을 이용할 수 있다.
- [0109] 다음으로, 도 4에 나타난 정류 회로의 동작의 일 예에 대해 설명한다.
- [0110] 전압(V21)이 기준 전위의 값보다 높고, 순방향으로 정류 소자(111)에 인가되는 전압의 절대치가 정류 소자(111)의 역치 전압보다 클 때, 정류 소자(111)가 도통 상태가 되고, 정류 소자(112)가 비도통 상태가 된다. 이때, 전압(V21)이 정류 소자(111)에 의해 정류되고, 용량 소자(113)의 제 1 단자에 노드(N11)의 전위에 따른 전하가 축적된다.
- [0111] 또한, 전압(V21)이 기준 전위의 값보다 낮고, 순방향으로 정류 소자(112)에 인가되는 전압의 절대치가 정류 소자(112)의 역치 전압보다 클 때, 정류 소자(112)가 도통 상태가 되고, 정류 소자(111)가 비도통 상태가 된다. 이때, 전압(V21)이 정류 소자(112)에 의해 정류되고, 용량 소자(113)의 제 2 단자에 노드(N11)의 전위에 따른 전하가 축적되므로, 용량 소자(113)에 인가되는 전압은, 전압(V21)의 약 2배의 전압까지 승압된다. 이 승압된 전압은, 전압(V22)이 된다.
- [0112] 도 4에 일 예로 나타낸 바와 같이, 반파 2배압 정류 회로를 실시형태 1에서의 정류 회로로 이용할 수 있다. 또한, 정류 회로는 이에 한정되지 않으며, N배압 정류 회로를 이용할 수 있고, 또한 전파 정류 회로를 이용할 수도 있다.
- [0113] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0114] (실시형태 4)
- [0115] 본 실시형태에서는, 상기 실시형태에 나타난 반도체 장치의 일 예로, 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치에 대해 설명한다.
- [0116] 우선, 본 실시형태에서의 반도체 장치의 구성예에 대해, 도 5 및 도 6을 이용하여 설명한다. 도 5 및 도 6은, 본 실시형태에서의 반도체 장치의 구성예를 나타낸 도면이다.
- [0117] 도 5 및 도 6에 나타난 반도체 장치는, 반송파의 송수신을 하는 안테나 회로(501), 입력 전압을 정류하는 정류 회로(502), 입력 전압의 값을 조정하는 보호 회로(503), 및 입력 전압에 따라 전원 전압(Vp)을 생성하는 전원 전압 생성 회로(PWRG라고도 한다)(504)를 구비한다.
- [0118] 안테나 회로(501)는, 반송파를 수신하는 기능을 갖고, 도 5 및 도 6에 나타난 바와 같이, 안테나(511)와 용량 소자(512)를 갖는다.
- [0119] 반송파란, 캐리어라고도 불리는 교류 신호로, 이 반송파를 이용하여 급전 또는 데이터 신호의 교환이 이루어진다. 한편, 외부에서 안테나 회로(501)에 송신되는 반송파로는, 변조된 반송파(변조파)도 포함한다.
- [0120] 안테나(511)는, 제 1 단자 및 제 2 단자를 갖는다.
- [0121] 용량 소자(512)는, 공진 용량으로서의 기능을 갖는다. 본 실시형태의 반도체 장치에서는, 용량 소자(512)를 반드시 형성할 필요는 없으나, 용량 소자(512)를 형성함으로써 안테나 회로(501)의 공진 주파수를 조정할 수 있다.

- [0122] 또한, 도 5 및 도 6에 나타낸 반도체 장치는, 안테나 회로(501)와 정류 회로(502) 사이에 용량 소자(505)를 갖는다. 용량 소자(505)의 제 1 단자는, 안테나(511)의 제 1 단자에 전기적으로 접속된다. 용량 소자(505)는, 안테나 회로(501)의 출력 전압의 직류 성분을 제거하는 필터 소자로서의 기능을 갖는다. 한편, 용량 소자(505)의 제 1 단자와 안테나(511)의 제 1 단자와의 접속 부분을 노드(N51)라고도 한다.
- [0123] 정류 회로(502)는, 트랜지스터(521), 트랜지스터(522), 및 용량 소자(523)를 갖는다.
- [0124] 트랜지스터(521)의 제 1 단자는, 용량 소자(505)의 제 2 단자에 전기적으로 접속되고, 트랜지스터(521)의 제 2 단자는, 전원 전압 생성 회로(504)에 전기적으로 접속된다. 또한, 트랜지스터(521)의 게이트는, 트랜지스터(521)의 제 1 단자에 전기적으로 접속되므로, 트랜지스터(521)는 정류 소자로서의 기능을 갖는다. 한편, 트랜지스터(521)의 제 1 단자와 용량 소자(505)의 제 2 단자의 접속 부분을 노드(N53)라고도 한다.
- [0125] 트랜지스터(522)의 제 1 단자는, 트랜지스터(521)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(522)의 제 2 단자는, 안테나(511)의 제 2 단자에 전기적으로 접속된다. 또한, 트랜지스터(522)의 게이트는, 트랜지스터(522)의 제 2 단자에 전기적으로 접속되므로, 트랜지스터(522)는 정류 소자로서의 기능을 갖는다.
- [0126] 트랜지스터(521) 및 트랜지스터(522)로는, 예를 들어 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)에 적용 가능한 산화물 반도체층을 갖는 트랜지스터를 이용할 수 있다.
- [0127] 용량 소자(523)의 제 1 단자는, 트랜지스터(521)의 제 2 단자에 전기적으로 접속되고, 용량 소자(523)의 제 2 단자는, 안테나(511)의 제 2 단자에 전기적으로 접속된다.
- [0128] 보호 회로(503)는, 저항 소자(531)와, 트랜지스터(532a)와, 트랜지스터(532b)와, 트랜지스터(532c)와, 트랜지스터(532d)와, 트랜지스터(533)와, 저항 소자(534)와, 용량 소자(535)와, 트랜지스터(536)를 포함한다.
- [0129] 저항 소자(531)의 제 1 단자는, 용량 소자(523)의 제 1 단자에 전기적으로 접속된다. 한편, 저항 소자(531)의 제 1 단자와 용량 소자(523)의 제 1 단자의 접속 부분을 노드(N54)라고도 한다.
- [0130] 트랜지스터(532a)의 제 1 단자는, 저항 소자(531)의 제 2 단자에 전기적으로 접속된다. 또한, 트랜지스터(532a)의 게이트는, 트랜지스터(532a)의 제 1 단자에 전기적으로 접속되므로, 트랜지스터(532a)는, 정류 소자로서의 기능을 갖는다. 또한, 트랜지스터(532a)의 도전형은 N형이다.
- [0131] 트랜지스터(532b)의 제 1 단자는, 트랜지스터(532a)의 제 2 단자에 전기적으로 접속된다. 또한, 트랜지스터(532b)의 게이트는, 트랜지스터(532b)의 제 1 단자에 전기적으로 접속되므로, 트랜지스터(532b)는 정류 소자로서의 기능을 갖는다. 또한, 트랜지스터(532b)의 도전형은 N형이다.
- [0132] 트랜지스터(532c)의 제 1 단자는, 트랜지스터(532b)의 제 2 단자에 전기적으로 접속된다. 또한, 트랜지스터(532c)의 게이트는, 트랜지스터(532c)의 제 1 단자에 전기적으로 접속되므로, 트랜지스터(532c)는 정류 소자로서의 기능을 갖는다. 또한, 트랜지스터(532c)의 도전형은 N형이다.
- [0133] 트랜지스터(532d)의 제 1 단자는, 트랜지스터(532c)의 제 2 단자에 전기적으로 접속되고, 트랜지스터(532d)의 제 2 단자는, 안테나(511)의 제 2 단자에 전기적으로 접속된다. 또한, 트랜지스터(532d)의 게이트는 트랜지스터(532d)의 제 1 단자에 전기적으로 접속되므로, 트랜지스터(532d)는 정류 소자로서의 기능을 갖는다. 또한, 트랜지스터(532d)의 도전형은 N형이다.
- [0134] 트랜지스터(532a) 내지 트랜지스터(532d)로는, 예를 들어 도 2(A) 또는 도 2(B)에 나타낸 트랜지스터(122a)에 적용 가능한 산화물 반도체층을 갖는 트랜지스터를 이용할 수 있다.
- [0135] 트랜지스터(533)의 제 1 단자는, 용량 소자(523)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(533)의 게이트는, 저항 소자(531)의 제 2 단자에 전기적으로 접속된다. 한편, 트랜지스터(533)의 게이트와 저항 소자(531)의 제 2 단자와의 접속 부분을 노드(N55)라고도 한다. 또한, 트랜지스터(533)의 도전형은 P형이다.
- [0136] 트랜지스터(533)로는, 예를 들어 단결정 반도체를 이용한 트랜지스터를 이용할 수 있다.
- [0137] 저항 소자(534)의 제 1 단자는, 트랜지스터(533)의 제 2 단자에 전기적으로 접속되고, 저항 소자(534)의 제 2 단자는, 안테나(511)의 제 2 단자에 전기적으로 접속된다. 한편, 저항 소자(534)의 제 1 단자와 트랜지스터(533)의 제 2 단자와의 접속 부분을 노드(N56)라고도 한다.
- [0138] 용량 소자(535)는, 트랜지스터(536)의 소스와 드레인 사이에 인가되는 전압을 완화하는 기능을 갖는다. 용량 소자(535)의 제 1 단자는, 안테나(511)의 제 1 단자에 전기적으로 접속된다.

- [0139] 트랜지스터(536)의 제 1 단자는, 용량 소자(535)의 제 2 단자에 전기적으로 접속되고, 트랜지스터(536)의 제 2 단자가 안테나(511)의 제 2 단자에 전기적으로 접속된다. 한편, 트랜지스터(536)의 도전형은 N형이다.
- [0140] 트랜지스터(536)로는, 예를 들어 도 2(A) 및 도 2(B)에 나타난 트랜지스터(122a)에 적용 가능한 산화물 반도체층을 갖는 트랜지스터를 이용할 수 있다.
- [0141] 전원 전압 생성 회로(504)는, 노드(N54) 및 노드(N52) 사이에 인가되는 전압, 즉 정류 회로(502)의 출력 전압을 평활하고, 평활화한 전압을 이용하여 전원 전압을 생성하는 기능을 갖는다. 한편 전원 전압 생성 회로(504)는, 직류 변환 회로(예를 들어 승압 회로 또는 강압 회로 등)를 갖고, 정류 회로(502)의 출력 전압을 직류 변환 회로에 의해 원하는 값의 전압으로 변환하고, 변환한 전압을 평활화함으로써 전원 전압을 생성하는 구성으로 할 수도 있다.
- [0142] 또한, 도 6에 나타난 반도체 장치는 필터 회로(506)를 갖고, 필터 회로(506)는, 저항 소자(507) 및 용량 소자(508)를 갖는다.
- [0143] 저항 소자(507)의 제 1 단자는, 트랜지스터(533)의 제 2 단자에 전기적으로 접속되고, 저항 소자(507)의 제 2 단자는, 트랜지스터(536)의 게이트에 전기적으로 접속된다.
- [0144] 용량 소자(508)의 제 1 단자는, 저항 소자(507)의 제 2 단자에 전기적으로 접속되고, 용량 소자(508)의 제 2 단자는, 안테나(511)의 제 2 단자에 전기적으로 접속된다.
- [0145] 본 실시형태의 반도체 장치는 필터 회로(506)를 반드시 형성할 필요는 없으나, 필터 회로(506)를 형성함으로써, 안테나 회로(501)에서 생성되는 전압의 노이즈를 저감할 수 있다.
- [0146] 다음으로, 본 실시형태의 반도체 장치의 동작의 일 예로, 도 5에 나타난 반도체 장치의 동작의 일 예에 대해 설명한다.
- [0147] 우선, 안테나(511)가 반송파를 수신한다.
- [0148] 안테나(511)가 반송파를 수신하면, 수신한 반송파에 따라 노드(N51) 및 노드(N52)의 사이에 전압(V61)이 생성된다.
- [0149] 또한, 전압(V61)에 따라 노드(N53) 및 노드(N52) 사이에 인가되는 전압(V62)이 변화한다.
- [0150] 또한, 정류 회로(502)는 전압(V62)을 정류하고, 정류한 전압(V63)을 노드(N54) 및 노드(N52)를 통해 출력한다.
- [0151] 또한, 전압(V63)은 보호 회로(503)로 입력된다.
- [0152] 보호 회로(503)는, 저항 소자(531), 및 트랜지스터(532a) 내지 트랜지스터(532d)에 의해, 전압(V63)을 분압한다. 이때 노드(N55)의 전압은, 전압(V63)이 분압된 값이 된다. 나아가 노드(N55)의 전압에 따라 트랜지스터(533)가 온 상태 또는 오프 상태가 된다.
- [0153] 예를 들어, 노드(N55)의 전압의 절대치가 기준치 이하일 때, 노드(N55)의 전압은, 노드(N54)의 전위에 가까운 값이 되고, 트랜지스터(533)가 오프 상태가 된다. 이때 노드(N56)의 전압은, 노드(N52)의 전위와 실질적으로 동일한 값이 되고, 트랜지스터(536)는 오프 상태가 되고, 전압(V61)의 값은 실질적으로 변화하지 않는다.
- [0154] 또한, 노드(N55)의 전압의 절대치가 기준치보다 클 때, 노드(N55)의 전압은, 노드(N52)의 전위에 가까운 값이 되고, 트랜지스터(533)가 온 상태가 된다. 이때 노드(N56)의 전압은, 트랜지스터(533)의 소스와 드레인 사이에 흐르는 전류량에 따라 결정되고, 노드(N56)의 전압에 따라 트랜지스터(536)가 온 상태가 되고, 전압(V61)의 값이 변화한다. 전압(V61)의 변화량은, 트랜지스터(536)의 소스와 드레인 사이에 흐르는 전류량에 따라 결정된다.
- [0155] 또한, 전압(V63)은 전원 전압 생성 회로(504)로 입력된다.
- [0156] 전원 전압 생성 회로(504)는, 입력된 전압(V63)을 이용하여 전원 전압(Vp)을 생성하고 생성한 전원 전압(Vp)을 출력한다. 이상이 도 5에 나타난 반도체 장치의 동작의 일 예이다.
- [0157] 이상과 같이, 본 실시형태의 반도체 장치의 일 예는 무선 통신에 의해 전원 전압을 생성하는 구성이다. 또한, 무선 통신에 의해 전원 전압을 생성하는 경우, 본 실시형태의 일 예의 반도체 장치는 보호 회로를 가지므로, 소자가 파괴될 수 있는 높은 전압이 반도체 장치로 입력되는 경우라도, 소자의 파괴를 억제할 수 있다.

- [0158] 한편, 본 실시형태는 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0159] (실시형태 5)
- [0160] 본 실시형태에서는, 상기 실시형태에 나타난 반도체 장치의 일 예로 무선 통신에 의한 신호의 송수신(통신이라고도 한다)이 가능한 반도체 장치에 대해 설명한다.
- [0161] 우선, 본 실시형태에서의 반도체 장치의 구성의 일 예에 대해 도 7을 이용하여 설명한다. 도 7은, 본 실시형태에서의 반도체 장치의 구성의 일 예에 나타난 블록도이다.
- [0162] 도 7에 나타난 반도체 장치는, 반송파의 송수신을 하는 안테나 회로(701), 입력 전압을 정류하는 정류 회로(702), 입력 전압의 값을 조정하는 보호 회로(703), 입력 전압에 따라 전원 전압을 생성하는 전원 전압 생성 회로(704), 안테나 회로(701)가 수신한 반송파에 기초한 전압 신호를 복조하는 복조 회로(DMOD라고도 한다)(705), 전원 전압에 의해 동작하고, 복조 회로(705)에서 복조된 전압 신호에 기초한 처리를 실행하는 기능 회로(FUNC라고도 한다)(706), 및 응답 신호에 기초하여, 송신하는 반송파를 변조하는 변조 회로(MOD라고도 한다)(707)를 구비한다.
- [0163] 안테나 회로(701)는, 반송파의 송수신을 하는 기능을 갖는다.
- [0164] 정류 회로(702)는, 안테나 회로(701)가 수신한 반송파에 기초한 전압이 입력되고, 이 전압을 정류하는 기능을 갖는다.
- [0165] 보호 회로(703)는, 정류 회로(702)에 의해 정류된 전압이 입력되고, 입력된 전압에 따라 정류 회로(702)로 입력되는 전압의 값을 조정하는 기능을 갖는다.
- [0166] 정류 회로(702) 및 보호 회로(703)로는, 상기 실시형태에 나타난 반도체 장치에서의 정류 회로 및 보호 회로를 이용할 수 있다.
- [0167] 전원 전압 생성 회로(704)는, 정류 회로(702)에 의해 정류된 전압이 입력되고, 입력된 전압에 따라 전원 전압(Vp)을 생성하는 기능을 갖는다.
- [0168] 복조 회로(705)는, 안테나 회로(701)가 수신한 반송파를 복조하고, 데이터 신호를 추출하는 기능을 갖는다.
- [0169] 기능 회로(706)는, 복조 회로(705)에서 데이터 신호가 입력되고, 데이터 신호에 기초한 처리를 실행하는 기능을 갖는다.
- [0170] 기능 회로(706)는, 예를 들어 고유의 정보 등이 기억된 메모리, 이 메모리로의 액세스를 관리하는 메모리 컨트롤러, 복조된 신호에 기초한 처리를 실행한 후에 응답 신호를 생성하는 논리 회로, 및 응답 신호를 외부 기기에 맞추어 변환하는 인터페이스 등에 의해 구성된다. 이들 회로는 전원 전압(Vp)이 입력됨으로써 동작한다.
- [0171] 변조 회로(707)는, 기능 회로(706)에서 응답 신호가 입력되고, 이 응답 신호에 따라 송신하는 반송파를 필요에 따라 변조하는 기능을 갖는다.
- [0172] 다음으로, 도 7에 나타난 반도체 장치의 동작의 일 예에 대해 설명한다.
- [0173] 우선, 안테나 회로(701)가 외부에서 반송파를 수신한다.
- [0174] 안테나 회로(701)는, 반송파를 수신하면, 수신한 반송파에 따라 전압을 생성한다.
- [0175] 안테나 회로(701)가 수신한 반송파에 따라 생성된 전압은, 정류 회로(702) 및 복조 회로(705)로 입력된다.
- [0176] 또한, 정류 회로(702)는 입력된 전압을 정류하고, 정류한 전압을 출력한다.
- [0177] 또한, 정류 회로(702)의 출력 전압은, 보호 회로(703)로 입력된다.
- [0178] 정류 회로(702)로 입력되는 전압의 절대치가 기준치 이하일 때, 보호 회로(703)에 의해 정류 회로(702)로 입력되는 전압의 값은 실질적으로 변화하지 않는다.
- [0179] 또한, 정류 회로(702)로 입력되는 전압의 절대치가 기준치보다 클 때, 보호 회로(703)에 의해 정류 회로(702)로 입력되는 전압의 값이 변화한다. 이때 정류 회로(702)로 입력되는 전압의 값의 변화량은, 정류 회로(702)로 입력되는 전압, 나아가 정류 회로(702)의 출력 전압의 값에 따라 결정된다.

- [0180] 또한, 정류 회로(702)의 출력 전압은 전원 전압 생성 회로(704)로 입력된다.
- [0181] 전원 전압 생성 회로(704)는, 입력된 전압에 따라 전원 전압(Vp)을 생성하고, 생성한 전원 전압(Vp)을 출력한다.
- [0182] 전원 전압(Vp)은, 기능 회로(706)로 입력된다.
- [0183] 또한, 복조 회로(705)는, 안테나 회로(701)에서 입력된 반송파를 복조하고, 데이터 신호를 추출하며, 추출한 데이터 신호를 출력한다.
- [0184] 데이터 신호는, 기능 회로(706)로 입력된다.
- [0185] 기능 회로(706)는, 전원 전압(Vp)이 공급됨으로써 동작하고, 데이터 신호에 기초한 처리를 실행하고, 나아가 필요에 따라 응답 신호를 생성하고, 생성한 응답 신호를 출력한다.
- [0186] 응답 신호는 변조 회로(707)로 입력된다.
- [0187] 변조 회로(707)는, 응답 신호가 입력되면, 응답 신호에 기초하여, 안테나 회로(701)에서 송신하는 반송파를 필요에 따라 변조한다. 이상이 도 7에 나타난 반도체 장치의 동작의 일 예이다.
- [0188] 도 7에 일 예로 나타난 바와 같이, 본 실시형태의 반도체 장치의 일 예는, 무선 통신에 의해 전원 전압을 생성하고, 나아가 전원 전압을 이용하여 수신한 반송파에 기초한 처리를 실행하고, 필요에 따라 응답 신호를 생성하고, 응답 신호에 기초하여, 송신하는 반송파를 필요에 따라 변조하는 구성이다. 나아가 본 실시형태의 반도체 장치는, 보호 회로를 갖는 구성이다. 통상, 무선 통신에 의해 전원 전압을 생성하는 경우, 예를 들어 통신 거리 등에 의해 안테나 회로가 생성하는 전압은 현저히 변화하나, 이 전압이 변화하는 경우에도, 보호 회로에 의해 소자의 파괴를 억제할 수 있다.
- [0189] 한편, 본 실시형태는 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0190] (실시형태 6)
- [0191] 본 실시형태에서는, 상기 실시형태에 나타난 반도체 장치에 적용 가능한 트랜지스터의 예에 대해 설명한다.
- [0192] 상기 실시형태에 나타난 반도체 장치에 적용 가능한 트랜지스터의 구조로는, 예를 들어 탑 게이트 구조 또는 보텀 게이트 구조 등을 들 수 있다. 나아가 보텀 게이트 구조로는, 예를 들어 스테거형 및 플래너형 등을 이용할 수 있다.
- [0193] 또한, 상기 실시형태에 나타난 반도체 장치에 적용 가능한 트랜지스터는, 채널 형성 영역이 하나 형성되는 구조(싱글 게이트 구조라고도 한다), 채널 형성 영역이 복수 형성되는 구조(멀티 게이트 구조)이어도 좋다. 또한, 상기 실시형태에 나타난 반도체 장치에 적용 가능한 트랜지스터는, 채널 영역의 상하로 절연층을 통하여 배치된 2개의 도전층을 갖는 구조(듀얼 게이트 구조라고도 한다)이어도 좋다.
- [0194] 본 실시형태의 트랜지스터의 구조 예에 대해, 도 8(A) 내지 도 8(D)을 이용하여 설명한다. 도 8(A) 내지 도 8(D)은, 본 실시형태에서의 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- [0195] 도 8(A)에 나타난 트랜지스터는, 보텀 게이트 구조의 트랜지스터의 하나로, 역스태거형 트랜지스터라고도 한다.
- [0196] 도 8(A)에 나타난 트랜지스터는, 게이트 전극으로 기능을 갖는 도전층(401a), 게이트 절연층으로서의 기능을 갖는 절연층(402a), 채널형성층으로서의 기능을 갖는 산화물 반도체층(403a), 및 소스 전극 또는 드레인 전극으로서 기능을 갖는 도전층(405a) 및 도전층(406a)을 갖는다.
- [0197] 도전층(401a)은, 기판(400a) 위에 형성되고, 절연층(402a)은, 도전층(401a) 위에 형성되고, 산화물 반도체층(403a)은, 절연층(402a)을 사이에 두고 도전층(401a) 위에 형성되고, 도전층(405a) 및 도전층(406a)은, 산화물 반도체층(403a)의 일부 위에 각각 형성된다.
- [0198] 또한, 도 8(A)에 나타난 트랜지스터에서, 산화물 반도체층(403a)은, 상면의 일부(상면에 도전층(405a) 및 도전층(406a)이 형성되지 않은 부분)에 산화물 절연층(407a)이 접한다. 또한, 산화물 절연층(407a)은, 상부에 보호 절연층(409a)이 형성된다.
- [0199] 도 8(B)에 나타난 트랜지스터는, 보텀 게이트 구조의 하나인 채널 보호형(채널 스톱형이라고도 한다) 트랜지스

터로, 역스태거형 트랜지스터라고도 한다.

- [0200] 도 8(B)에 나타난 트랜지스터는, 게이트 전극으로서 기능을 갖는 도전층(401b), 게이트 절연층으로서의 기능을 갖는 절연층(402b), 채널 형성층으로서의 기능을 갖는 산화물 반도체층(403b)과, 채널 보호층으로서의 기능을 갖는 절연층(427)과, 소스 전극 또는 드레인 전극으로서 기능을 갖는 도전층(405b) 및 도전층(406b)과, 를 갖는다.
- [0201] 도전층(401b)은, 기판(400b) 위에 형성되고, 절연층(402b)은, 도전층(401b) 위에 형성되고, 산화물 반도체층(403b)은, 절연층(402b)을 사이에 두고 도전층(401b) 위에 형성되고, 절연층(427)은, 절연층(402b) 및 산화물 반도체층(403b)을 사이에 두고 도전층(401b) 위에 형성되고, 도전층(405b) 및 도전층(406b)은, 절연층(427)을 사이에 두고 산화물 반도체층(403b)의 일부 위에 각각 형성된다.
- [0202] 또한, 도 8(B)에 나타난 트랜지스터는, 상부에 보호 절연층(409b)이 접한다.
- [0203] 도 8(C)에 나타난 트랜지스터는, 보텀 게이트 구조의 트랜지스터의 하나이다.
- [0204] 도 8(C)에 나타난 트랜지스터는, 게이트 전극으로서 기능을 갖는 도전층(401c)과, 게이트 절연층으로서의 기능을 갖는 절연층(402c)과, 채널 형성층으로서의 기능을 갖는 산화물 반도체층(403c)과, 소스 전극 또는 드레인 전극으로서 기능을 갖는 도전층(405c) 및 도전층(406c)과, 를 갖는다.
- [0205] 도전층(401c)은, 기판(400c) 위에 형성되고, 절연층(402c)은, 도전층(401c) 위에 형성되고, 도전층(405c) 및 도전층(406c)은, 절연층(402c)의 일부 위에 형성되고, 산화물 반도체층(403c)은, 절연층(402c), 도전층(405c), 및 도전층(406c)을 사이에 두고 도전층(401c) 위에 형성된다.
- [0206] 또한, 도 8(C)에 나타난 트랜지스터에서, 산화물 반도체층(403c)은, 상면 및 측면에 산화물 절연층(407c)이 접한다. 또한, 산화물 절연층(407c)은, 상부에 보호 절연층(409c)이 형성된다.
- [0207] 도 8(D)에 나타난 트랜지스터는, 탑 게이트 구조의 트랜지스터의 하나이다.
- [0208] 도 8(D)에 나타난 트랜지스터는, 게이트 전극으로서 기능을 갖는 도전층(401d), 게이트 절연층으로서의 기능을 갖는 절연층(402d), 채널 형성층으로서의 기능을 갖는 산화물 반도체층(403d), 및 소스 전극 또는 드레인 전극으로서의 기능을 갖는 도전층(405d) 및 도전층(406d)을 갖는다.
- [0209] 산화물 반도체층(403d)은, 하지층(447)을 사이에 두고 기판(400d) 위에 형성되고, 도전층(405d) 및 도전층(406d)은, 각각 산화물 반도체층(403d)의 일부 위에 형성되고, 절연층(402d)은, 산화물 반도체층(403d), 도전층(405d), 및 도전층(406d) 위에 형성되고, 도전층(401d)은, 절연층(402d)을 사이에 두고 산화물 반도체층(403d) 위에 형성된다.
- [0210] 또한, 도 8(D)에 나타난 트랜지스터에서, 도전층(405d)은, 절연층(402d)에 형성된 개구부를 통해 배선층(436)에 접하고, 도전층(406d)은, 절연층(402d)에 형성된 개구부를 통해 배선층(437)에 접한다.
- [0211] 기판(400a) 내지 기판(400d)으로는, 예를 들어 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 이용할 수 있다.
- [0212] 또한, 기판(400a) 내지 기판(400d)으로, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 이루어진 기판을 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 결정화 유리를 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 플라스틱 기판을 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 실리콘 등의 반도체 기판을 이용할 수도 있다.
- [0213] 하지층(447)은, 기판(400d)에서의 불순물 원소의 확산을 방지하는 기능을 갖는다. 하지층(447)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다. 또한, 하지층(447)에 적용 가능한 재료의 층의 적층에 의해 하지층(447)을 구성할 수도 있다.
- [0214] 한편, 도 8(A), 도 8(B), 및 도 8(C)에 나타난 트랜지스터에서, 도 8(D)에 나타난 트랜지스터와 마찬가지로, 기판과 게이트 전극으로서의 기능을 갖는 도전층의 사이에 하지층을 형성하여도 좋다.
- [0215] 도전층(401a) 내지 도전층(401d)으로는, 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이를 주성분으로 하는 합금 재료의 층을 이용할 수 있다. 또한, 도전층(401a) 내지 도전층(401d)의 형성에 적용 가능한 재료의 층의 적층에 의해, 도전층(401a) 내지 도전층(401d)

을 구성할 수도 있다.

- [0216] 절연층(402a) 내지 절연층(402d)으로는, 예를 들어 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 이용할 수 있다. 또한, 절연층(402a) 내지 절연층(402d)에 적용 가능한 재료의 층의 적층에 의해 절연층(402a) 내지 절연층(402d)을 구성할 수도 있다. 절연층(402a) 내지 절연층(402d)에 적용 가능한 재료의 층은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 형성된다. 예를 들어, 플라즈마 CVD법에 의해 질화 실리콘층을 형성하고, 플라즈마 CVD법에 의해 질화 실리콘층 위에 산화 실리콘층을 형성함으로써 절연층(402a) 내지 절연층(402d)을 제작할 수 있다.
- [0217] 산화물 반도체층(403a) 내지 산화물 반도체층(403d)에 적용 가능한 산화물 반도체로는, 예를 들어 사원계 금속 산화물, 삼원계 금속 산화물, 또는 이원계 금속 산화물 등을 들 수 있다. 사원계 금속 산화물로는, 예를 들어 In-Sn-Ga-Zn-0계 금속 산화물 등을 들 수 있다. 삼원계 금속 산화물로는, 예를 들어 In-Ga-Zn-0계 금속 산화물, In-Sn-Zn-0계 금속 산화물, In-Al-Zn-0계 금속 산화물, Sn-Ga-Zn-0계 금속 산화물, Al-Ga-Zn-0계 금속 산화물, 또는 Sn-Al-Zn-0계 금속 산화물 등을 들 수 있다. 이원계 금속 산화물로는, 예를 들어 In-Zn-0계 금속 산화물, Sn-Zn-0계 금속 산화물, Al-Zn-0계 금속 산화물, Zn-Mg-0계 금속 산화물, Sn-Mg-0계 금속 산화물, In-Mg-0계 금속 산화물, 또는 In-Sn-0계 금속 산화물 등을 들 수 있다. 또한, 산화물 반도체로는, In-0계 금속 산화물, Sn-0계 금속 산화물, 또는 Zn-0계 금속 산화물 등을 들 수 있다. 또한, 상기 산화물 반도체로는, 상기 산화물 반도체로서 적용 가능한 금속 산화물에 SiO₂를 포함하는 산화물을 이용할 수도 있다. 또한, 예를 들어 In-Ga-Zn-0계 금속 산화물이란, 적어도 In과 Ga와 Zn을 포함하는 산화물로, 그 조성비에 특별히 제한은 없다. 또한, In-Ga-Zn-0계 금속 산화물에 In과 Ga와 Zn 이외의 원소가 포함되어 있어도 좋다.
- [0218] 또한, 산화물 반도체층(403a) 내지 산화물 반도체층(403d)에 적용 가능한 산화물 반도체로는, 화학식 InMO₃(ZnO)_m(m>0, m은 자연수가 아님)로 표기되는 금속 산화물도 들 수 있다. 여기서, M은, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. M으로는, 예를 들어 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 일 수 있다.
- [0219] 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)으로는, 예를 들어 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 또는 텅스텐 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료의 층을 이용할 수 있다. 또한, 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)에 적용 가능한 재료의 층의 적층에 의해 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성할 수 있다.
- [0220] 예를 들어, 알루미늄 또는 구리의 금속층과, 티탄, 몰리브덴, 또는 텅스텐 등의 고용점 금속층의 적층에 의해 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성할 수 있다. 또한, 복수의 고용점 금속층 사이에 알루미늄 또는 구리의 금속층이 형성된 적층에 의해 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성할 수도 있다. 또한, 힐록(hillock)이나 위스커(whisker)의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 알루미늄층을 이용하여 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성함으로써, 내열성을 향상시킬 수 있다.
- [0221] 또한, 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)으로, 도전성 금속 산화물을 포함하는 층을 이용할 수도 있다. 도전성 금속 산화물로는, 예를 들어 산화 인듐(In₂O₃), 산화 주석(SnO₂), 산화 아연(ZnO), 산화인듐 산화주석 합금(In₂O₃-SnO₂, ITO로 약기함), 또는 산화인듐 산화아연 합금(In₂O₃-ZnO), 또는 이들 금속 산화물에 산화 실리콘을 포함하는 것을 이용할 수 있다.
- [0222] 또한, 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)의 형성에 이용되는 재료를 이용하여 다른 배선을 형성하여도 좋다.
- [0223] 배선층(436) 및 배선층(437)으로는, 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)에 적용 가능한 재료의 층을 이용할 수 있다. 또한, 배선층(436) 및 배선층(437)에 적용 가능한 재료의 층의 적층에 의해 배선층(436) 및 배선층(437)을 구성할 수도 있다.
- [0224] 절연층(427)으로는, 예를 들어 하지층(447)에 적용 가능한 재료의 층을 이용할 수 있다. 또한, 절연층(427)에 적용 가능한 재료의 층의 적층에 의해 절연층(427)을 구성할 수도 있다.
- [0225] 산화물 절연층(407a) 및 산화물 절연층(407c)으로는, 산화물 절연층을 이용할 수 있고, 예를 들어 산화 실리콘

층 등을 이용할 수 있다. 또한, 산화물 절연층(407a) 및 산화물 절연층(407c)에 적용 가능한 재료의 층의 적층에 의해 산화물 절연층(407a) 및 산화물 절연층(407c)을 구성할 수도 있다.

[0226] 보호 절연층(409a) 내지 보호 절연층(409c)으로는, 예를 들어 무기 절연층을 이용할 수 있고, 예를 들어 질화 실리콘층, 질화 알루미늄층, 질화산화 실리콘층, 또는 질화산화 알루미늄층 등을 이용할 수 있다. 또한, 보호 절연층(409a) 내지 보호 절연층(409c)에 적용 가능한 재료의 층의 적층에 의해 보호 절연층(409a) 내지 보호 절연층(409c)을 구성할 수도 있다.

[0227] 한편, 상기 실시형태의 반도체 장치는, 본 실시형태의 트랜지스터에 기인하는 표면 요철을 저감하기 위해, 트랜지스터의 위(산화물 절연층 또는 보호 절연층을 갖는 경우에는 산화물 절연층 또는 보호 절연층을 사이에 두고 트랜지스터의 위)에 평탄화 절연층을 갖는 구성으로 할 수도 있다. 평탄화 절연층으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 등의 유기 재료의 층을 이용할 수 있다. 또한 평탄화 절연층으로는, 저유전율 재료(low-k 재료라고도 한다)의 층을 이용할 수도 있다. 또한, 평탄화 절연층에 적용 가능한 재료의 층의 적층에 의해 평탄화 절연층을 구성할 수도 있다.

[0228] 또한, 본 실시형태의 트랜지스터의 제작 방법의 일 예로, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예에 대해, 도 9(A), 도 9(B), 도 9(C), 도 9(D), 및 도 9(E)를 이용하여 설명한다. 도 9(A) 내지 도 9(E)는, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예를 나타낸 단면 모식도이다. 한편, 본 실시형태의 트랜지스터의 제작 방법의 일 예로, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예를 나타내나, 이에 한정되지 않으며, 예를 들어 도 8(B) 내지 도 8(D)에 나타낸 각 구성 요소에서, 각 명칭이 도 8(A)에 나타낸 각 구성 요소와 동일하며 또한 기능의 적어도 일부가 도 8(A)에 나타낸 각 구성 요소와 동일하면, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예의 설명을 적절히 채용할 수 있다.

[0229] 우선, 기판(400a)을 준비하고, 기판(400a) 위에 제 1 도전막을 형성한다.

[0230] 한편, 기판(400a)의 일 예로 유리 기판을 이용한다.

[0231] 또한, 제 1 도전막으로는, 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이를 주성분으로 하는 합금 재료의 막을 이용할 수 있다. 또한, 제 1 도전막에 적용 가능한 재료의 막의 적층막에 의해, 제 1 도전막을 구성할 수도 있다.

[0232] 다음에, 1 포토 리소 그래피 공정에 의해 제 1 도전막 위에 제 1 레지스트 마스크를 형성하고, 제 1 레지스트 마스크를 이용하여 선택적으로 제 1 도전막의 에칭을 함으로써 도전층(401a)을 형성하고, 제 1 레지스트 마스크를 제거한다.

[0233] 한편, 본 실시형태에서, 잉크젯법을 이용하여 레지스트 마스크를 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 저감할 수 있다.

[0234] 또한, 포토 리소 그래피 공정에서 이용하는 포토 마스크 수 및 공정수를 삭감하기 위해, 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭을 하여도 좋다. 다계조 마스크는, 투과한 광이 복수의 강도가 되는 노광 마스크이다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 추가로 형상을 변형시키는 것이 가능하므로, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크 수를 삭감할 수 있고, 대응하는 포토 리소 그래피 공정도 삭감할 수 있으므로, 제조 공정을 간략하게 할 수 있다.

[0235] 다음으로, 도전층(401a) 위에 절연층(402a)을 형성한다.

[0236] 예를 들어, 고밀도 플라즈마 CVD법을 이용하여 절연층(402a)을 형성할 수 있다. 예를 들어, μ 파(예를 들어, 주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로, 바람직하다. 고밀도 플라즈마 CVD를 이용하여 형성한 고품질의 절연층과 산화물 반도체층이 접함으로써 계면 준위가 저감하고, 계면 특성을 양호하게 할 수 있다.

[0237] 또한, 스퍼터링법이나 플라즈마 CVD법 등, 다른 방법을 이용하여 절연층(402a)을 형성할 수도 있다. 또한, 절연층(402a)을 형성한 후에 열처리를 하여도 좋다. 이 열처리를 함으로써 절연층(402a)의 질, 산화물 반도체와의 계면 특성을 개질시킬 수 있다.

[0238] 다음으로, 절연층(402a) 위에 막 두께가 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하인 산화물 반도체

체막(530)을 형성한다. 예를 들어, 스퍼터링법을 이용하여 산화물 반도체막(530)을 형성할 수 있다.

- [0239] 한편, 산화물 반도체막(530)을 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 하고, 절연층(402a)의 표면에 부착되어 있는 가루형 물질(파티클, 먼지라고도 한다)을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 이용하여 전압을 인가하고, 기판에 플라즈마를 형성하여 표면을 개질하는 방법이다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등을 이용하여도 좋다.
- [0240] 예를 들어, 산화물 반도체층(403a)에 적용 가능한 산화물 반도체 재료를 이용하여 산화물 반도체막(530)을 형성할 수 있다. 본 실시형태에서는, In-Ga-Zn-O계 산화물 타겟을 이용하여 스퍼터링법에 의해 산화물 반도체막(530)을 형성한다. 이 단계에서의 단면도가 도 9(A)에 상당한다. 또한, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스와 산소의 혼합 분위기 하에서, 스퍼터링법에 의해 산화물 반도체막(530)을 형성할 수도 있다.
- [0241] 스퍼터링법을 이용하여 산화물 반도체막(530)을 제작하기 위한 타겟으로는, 예를 들어, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비]의 조성비인 산화물 타겟을 이용할 수 있다. 또한, 상기에 나타난 타겟에 한정되지 않으며, 예를 들어, $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]의 조성비인 산화물 타겟을 이용하여도 좋다. 또한, 제작되는 산화물 타겟의 전체 부피에 대해 전체 부피에서 공극 등이 차지하는 공간을 제외한 부분의 부피의 비율(충진율이라고도 한다)은, 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충진율이 높은 금속 산화물 타겟을 이용함으로써 형성한 산화물 반도체막은, 치밀한 막이 된다.
- [0242] 한편, 산화물 반도체막(530)을 형성할 때 이용하는 스퍼터링 가스로는, 예를 들어 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0243] 또한, 산화물 반도체막(530)을 형성하기 전에, 스퍼터링 장치의 예비 가열실에서 도전층(401a)이 형성된 기판(400a), 또는 도전층(401a) 및 절연층(402a)이 형성된 기판(400a)을 예비 가열하고, 기판(400a)에 흡착한 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 이 예비 가열에 의해, 절연층(402a) 및 산화물 반도체막(530)으로의 수소, 수산기, 및 수분의 침입을 억제할 수 있다. 또한, 예비 가열실에 형성하는 배기 수단으로는, 크라이오 펌프를 이용하는 것이 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다. 또한, 산화물 절연층(407a)의 성막 전에, 도전층(405a) 및 도전층(406a)까지 형성한 기판(400a)에도 동일하게 이 예비 가열을 행하여도 좋다.
- [0244] 또한, 스퍼터링법을 이용하여 산화물 반도체막(530)을 형성하는 경우, 감압 상태로 유지된 성막실 내에 기판(400a)을 유지하고, 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 한다. 기판(400a)을 가열함으로써, 형성하는 산화물 반도체막(530)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 산화물 반도체막(530)의 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 절연층(400a) 위에 산화물 반도체막(530)을 성막한다.
- [0245] 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 승화 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들어, 수소 원자, 수소 원자를 포함하는 화합물(물 등), 더욱 바람직하게는 수소 원자 및 탄소 원자를 포함하는 화합물 등이 배기되므로, 크라이오 펌프를 이용함으로써, 이 성막실에서 형성한 산화물 반도체막(530)에 포함되는 불순물의 농도를 저감할 수 있다.
- [0246] 성막 조건의 일 예로는, 기판과 타겟 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기 하의 조건이 적용된다. 한편, 펄스 직류 전원을 이용하면, 성막 시에 발생하는 가루형 물질을 경감할 수 있고, 막 두께의 분포도 균일해지므로 바람직하다.
- [0247] 다음으로, 제 2 포토 리소 그래피 공정에 의해 산화물 반도체막(530) 위에 제 2 레지스트 마스크를 형성하고, 제 2 레지스트 마스크를 이용하여 선택적으로 산화물 반도체막(530)의 에칭을 함으로써, 산화물 반도체막(530)을 섬 모양의 산화물 반도체층으로 가공하고, 제 2 레지스트 마스크를 제거한다.
- [0248] 한편, 절연층(402a)에 콘택트홀을 형성하는 경우, 산화물 반도체막(530)을 섬 모양의 산화물 반도체층으로 가공할 때 이 콘택트홀을 형성할 수도 있다.
- [0249] 예를 들어, 건식 에칭, 습식 에칭, 또는 건식 에칭 및 습식 에칭 모두를 이용하여 산화물 반도체막(530)의 에칭

을 행할 수 있다. 예를 들어, 산화물 반도체막(530)의 습식 에칭에 이용하는 에칭액으로는, 인산과 초산과 질산을 섞은 용액 등을 이용할 수 있다. 또한, IT007N(칸토 카가꾸)을 이용하여도 좋다.

[0250] 다음으로, 산화물 반도체층에 제 1 가열 처리를 행한다. 이 제 1 가열 처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 또는 400℃ 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1시간의 가열 처리를 행한 후, 대기에 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 재혼입을 방지하여, 산화물 반도체층(403a)을 얻는다(도 9(B) 참조).

[0251] 한편, 가열 처리 장치는, 전기로에 한정되지 않고, 저항 발열체 등의 발열체에서의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하여도 좋다. 가열 처리 장치로는, 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치 또는 LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 예를 들어 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. 또한, GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 고온의 가스로는, 예를 들어 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체를 이용할 수 있다.

[0252] 예를 들어, 제 1 가열 처리로, 650℃~700℃로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수 분간 가열한 후, 기판을 이동시켜 가열한 불활성 가스 중에서 꺼내는 방식의 GRTA를 행하여도 좋다.

[0253] 한편, 제 1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, 즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.

[0254] 또한, 제 1 가열 처리로 산화물 반도체층을 가열한 후, 제 1 가열 처리를 행한 로와 동일한 로에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초건조 에어(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하의 분위기를)를 도입하여도 좋다. 이때 산소 가스 또는 N₂O 가스는, 물, 수소 등을 포함하지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도를, 6N 이상, 바람직하게는 7N 이상, 즉, 산소 가스 또는 N₂O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다. 산소 가스 또는 N₂O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소하게 된 산소를 공급함으로써, 산화물 반도체층(403a)을 고순도화시킨다.

[0255] 또한, 섬 모양의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(530)에 제 1 가열 처리를 행할 수도 있다. 이 경우에는, 제 1 가열 처리 후에 가열 장치에서 기판을 꺼내, 섬 모양의 산화물 반도체층으로 가공한다.

[0256] 또한, 상기 이외에도, 산화물 반도체층 형성 후라면, 산화물 반도체층(403a) 위에 도전층(405a) 및 도전층(406a)을 형성한 후, 또는 도전층(405a) 및 도전층(406a) 위에 산화물 절연층(407a)을 형성한 후에 제 1 가열 처리를 행하여도 좋다.

[0257] 또한, 절연층(402a)에 컨택트홀을 형성하는 경우, 제 1 가열 처리를 행하기 전에 컨택트홀을 형성하여도 좋다.

[0258] 또한, 산화물 반도체막을 2회에 나누어 성막하고, 2회에 나누어 가열 처리를 함으로써, 하지 부재의 재료가 산화물, 질화물, 금속 등 재료에 관계없이, 막 두께가 두꺼운 결정 영역(단결정 영역), 즉, 막 표면에 수직으로 c축 배향한 결정 영역을 갖는 막을 이용하여 산화물 반도체층을 형성하여도 좋다. 예를 들어, 막 두께가 3nm 이상 15nm 이하의 제 1 산화물 반도체막을 성막하고, 나아가 제 1 가열 처리로, 질소, 산소, 희가스, 또는 건조 에어의 분위기 하에서 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 가열 처리를 하고, 표면을 포함하는 영역에 결정 영역(관형 결정을 포함)을 갖는 제 1 산화물 반도체막을 형성한다. 그리고, 제 1 산화물 반도체막 보다 두꺼운 제 2 산화물 반도체막을 형성하고, 나아가 제 2 가열 처리로, 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하의 가열 처리를 하고, 제 1 산화물 반도체막을 결정 성장의 종(seed)으로서, 제 1 산화물 반도체막에서 제 2 산화물 반도체막에 걸쳐 상방을 향해 결정 성장시키고, 제 2 산화물 반도체막 전체를 결정화시켜, 결과적으로 막 두께가 두꺼운 결정 영역을 갖는 산화물 반도체막을 이용하여 산화물

반도체층을 형성하여도 좋다.

- [0259] 다음으로, 절연층(402a) 및 산화물 반도체층(403a) 위에 제 2 도전막을 형성한다.
- [0260] 제 2 도전막으로는, 예를 들어 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 또는 텅스텐 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료의 막을 이용할 수 있다. 또한, 제 2 도전막에 적용 가능한 막의 적층막에 의해 제 2 도전막을 형성할 수 있다.
- [0261] 다음으로, 제 3 포토 리소 그래피 공정에 의해 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 제 2 도전막이 제 3 레지스트 마스크를 이용하여 선택적으로 에칭되어 도전층(405a) 및 도전층(406a)을 형성한 후, 제 3 레지스트 마스크를 제거한다(도 9(C) 참조).
- [0262] 한편, 도전층(405a) 및 도전층(406a)을 형성할 때, 제 2 도전막을 이용하여 다른 배선을 형성할 수도 있다.
- [0263] 또한, 제 3 레지스트 마스크 형성 시의 노광으로, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하는 것이 바람직하다. 산화물 반도체층(403a) 위에서 서로 이웃하는 도전층(405a)의 하단부와 도전층(406a)의 하단부의 간격 폭에 의해, 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 한편, 채널 길이(L)=25nm 미만의 노광을 하는 경우에는, 수nm~수10nm로 파장이 매우 짧은 초자외선(Extreme Ultraviolet light)을 이용하여 제 3 레지스트 마스크 형성 시에 노광을 하면 된다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 하는 것도 가능하고, 이 노광을 이용하여 형성된 트랜지스터를 이용함으로써, 회로의 동작 속도를 빠르게 할 수 있고, 나아가 이 트랜지스터의 오프 전류는, 매우 적으므로, 소비 전력을 저감할 수도 있다.
- [0264] 한편, 제 2 도전막의 에칭을 하는 경우, 에칭에 의한 산화물 반도체층(403a)의 분단을 억제하기 위해, 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 제 2 도전막만 에칭이 이루어지고, 산화물 반도체층(403a)은, 전혀 에칭이 이루어지지 않는다는 조건을 얻기는 곤란하며, 제 2 도전막의 에칭 시에 산화물 반도체층(403a)은 일부만 에칭이 이루어지고, 흠부(요부)를 갖는 산화물 반도체층(403a)이 되는 경우도 있다.
- [0265] 본 실시형태에서는, 제 2 도전막의 일 예로 티탄막을 이용하여, 산화물 반도체층(403a)의 일 예로 In-Ga-Zn-O계 산화물 반도체를 이용하므로, 예컨대 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 이용한다.
- [0266] 다음으로, 산화물 반도체층(403a), 도전층(405a), 및 도전층(406a) 위에 산화물 절연층(407a)을 형성한다. 이때 산화물 절연층(407a)은, 산화물 반도체층(403a)의 상면 일부에 접한다.
- [0267] 산화물 절연층(407a)은, 막 두께가 적어도 1nm 이상이 되게 하고, 스퍼터링법 등, 산화물 절연층(407a)에 물 또는 수소 등의 불순물이 혼입되지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(407a)에 수소가 혼입되면, 이 수소의 산화물 반도체층으로의 침입 또는 이 수소에 의한 산화물 반도체층 중의 산소의 누출에 의해, 산화물 반도체층의 백채널이 저저항화(N형화)하고, 기생 채널이 형성될 우려가 있다. 따라서, 산화물 절연층(407a)이 가능한 수소를 포함하지 않는 층이 되도록, 산화물 절연층(407a)의 제작 방법으로 수소를 이용하지 않는 방법을 이용하는 것은 중요하다.
- [0268] 본 실시형태에서는, 산화물 절연층(407a)으로, 스퍼터링법을 이용하여 막 두께가 200nm인 산화 실리콘막을 형성한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 일 예로 100℃로 한다. 산화 실리콘막의 스퍼터링법에 의한 성막은, 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스와 산소의 혼합 분위기 하에서 행할 수 있다.
- [0269] 또한, 산화물 절연층(407a)을 형성하기 위한 타겟으로는, 예를 들어 산화 실리콘 타겟 또는 실리콘 타겟 등을 이용할 수 있다. 예를 들어, 실리콘 타겟을 이용하여, 산소를 포함하는 분위기 하에서 스퍼터링법에 의해 산화 실리콘막을 형성할 수 있다.
- [0270] 또한, 산화물 절연층(407a)의 형성에 이용되는 성막실 내의 잔류 수분을 제거하기 위해서는, 예를 들어 흡착형의 진공 펌프(크라이오 펌프 등)를 이용하는 것이 바람직하다. 크라이오 펌프를 이용하여 성막실 내의 잔류 수분을 제거함으로써, 산화물 절연층(407a)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 산화물 절연층(407a)의 형성에 이용되는 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로는, 예를 들어 터보 펌프에 콜드 트랩을 구비한 것을 이용할 수도 있다.
- [0271] 또한, 산화물 절연층(407a)을 형성할 때 이용하는 스퍼터링 가스는, 예를 들어 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

- [0272] 또한, 산화물 절연층(407a)을 형성하기 전에 N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 하고, 노출되어 있는 산화물 반도체층(403a)의 표면에 부착된 흡착수 등을 제거하여도 좋다. 플라즈마 처리를 행한 경우, 대기에 접하지 않고, 산화물 반도체층(403a)의 상면 일부에 접하는 산화물 절연층(407a)을 형성하는 것이 바람직하다.
- [0273] 또한, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 할 수도 있다. 예를 들어, 제 2 가열 처리로, 질소 분위기 하에서 250℃, 1시간의 가열 처리를 행한다. 제 2 가열 처리를 하면, 산화물 반도체층(403a)의 상면의 일부가 산화물 절연층(407a)과 접한 상태에서 가열된다.
- [0274] 이상의 공정을 거침으로써, 산화물 반도체막에 대해 제 1 가열 처리를 하여 수소, 수분, 수산기, 또는 수소화물(수소 화합물이라고도 한다) 등의 불순물을 산화물 반도체층에서 의도적으로 배제하고, 또한 산소를 산화물 반도체층에 공급할 수 있다. 따라서, 산화물 반도체층은 고순도화한다.
- [0275] 이상의 공정으로 트랜지스터가 형성된다(도 9(D) 참조).
- [0276] 또한, 산화물 절연층(407a)으로 결함을 많이 포함하는 산화 실리콘층을 이용하면, 산화 실리콘층 형성 후의 가열 처리에 의해 산화물 반도체층(403a) 중에 포함되는 수소, 수분, 수산기, 또는 수소화물 등의 불순물을 산화물 절연층(407a)에 확산시켜, 산화물 반도체층(403a) 중에 포함되는 이 불순물을 더욱 저감시키는 효과를 나타낸다.
- [0277] 산화물 절연층(407a) 위에 추가로 보호 절연층(409a)을 형성하여도 좋다. 예를 들어, RF 스퍼터링법을 이용하여 질화 실리콘막을 형성한다. RF 스퍼터링법은, 양산성이 좋으므로, 보호 절연층(409a)의 성막 방법으로 바람직하다. 본 실시형태에서는, 일 예로 질화 실리콘막을 형성함으로써 보호 절연층(409a)을 형성한다(도 9(E) 참조).
- [0278] 본 실시형태에서는, 산화물 절연층(407a)까지 형성된 기판(400a)을 100℃~400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타겟을 이용하여 질화 실리콘막을 형성함으로써 보호 절연층(409a)을 형성한다. 이 경우에도, 산화물 절연층(407a)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(409a)을 성막하는 것이 바람직하다.
- [0279] 보호 절연층(409a)의 형성 후, 추가로 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 하여도 좋다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서, 100℃ 이상 200℃의 가열 온도로의 승온과, 가열 온도에서 실온까지서의 강온을 복수 회 반복하여 행하여도 좋다. 이상이고 8(A)에 나타난 트랜지스터의 제작 방법의 일 예이다.
- [0280] 이상과 같이, 본 실시형태에 나타난 트랜지스터는, 채널 형성층으로서 산화물 반도체층을 갖는 트랜지스터로, 트랜지스터에 이용되는 산화물 반도체층은, 열처리에 의해 고순도화시킴으로써 I형 또는 실질적으로 I형이 된 산화물 반도체층이다. 이 트랜지스터를 이용함으로써, 상기 실시형태에 나타난 반도체 장치에 이용되는, 높은 절연 내압을 갖는 트랜지스터를 구성할 수 있다.
- [0281] 또한, 고순도화된 산화물 반도체층은, 캐리어의 수가 매우 적고(제로에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다. 이와 같이 산화물 반도체층의 캐리어 수가 매우 적으므로, 본 실시형태의 트랜지스터의 역방향 특성에서는, 오프 전류를 적게 할 수 있다. 오프 전류는 적으면 적을수록 바람직하다. 본 실시형태의 트랜지스터에서는, 채널 폭 1 μm 당 오프 전류를 10aA($1 \times 10^{-17} \text{A} / \mu\text{m}$) 이하로 하는 것, 나아가, 1aA($1 \times 10^{-18} \text{A} / \mu\text{m}$) 이하, 나아가 10zA($1 \times 10^{-20} \text{A} / \mu\text{m}$) 이하, 1zA($1 \times 10^{-21} \text{A} / \mu\text{m}$) 이하로 하는 것이 가능하다.
- [0282] 또한, 본 실시형태의 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지므로, 고속 구동이 가능하다. 따라서, 예를 들어 본 실시형태의 트랜지스터를 이용함으로써, 더욱 빠르게 반도체 장치로 입력되는 전압을 조정할 수 있다.
- [0283] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0284] (실시형태 7)

- [0285] 본 실시형태에서는, 상기 실시형태에 나타난 반도체 장치에 적용 가능한 복수의 트랜지스터의 예에 대해 설명한다.
- [0286] 본 실시형태에서의 상기 실시형태에 나타난 반도체 장치에 적용 가능한 복수의 트랜지스터의 구조 예에 대해, 도 10(A) 및 도 10(B)을 이용하여 설명한다. 도 10(A) 및 도 10(B)은, 본 실시형태에서의 복수의 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- [0287] 도 10(A)에 나타난 복수의 트랜지스터를 갖는 구조는, 트랜지스터(601a) 및 트랜지스터(602a)를 갖는 구조이다.
- [0288] 트랜지스터(601a)는, 절연층(603), 절연층(604), 및 절연층(605)을 사이에 두고 기판(600) 위에 형성된다.
- [0289] 또한, 트랜지스터(601a)는, 채널 형성층으로서의 기능을 갖는 반도체층(611), 게이트 절연층으로서의 기능을 갖는 절연층(617a), 게이트 전극으로서의 기능을 갖는 도전층(618a), 측벽 절연층으로서의 기능을 갖는 절연층(619a) 및 절연층(620a)을 갖는다.
- [0290] 반도체층(611)은, 절연층(603), 절연층(604), 및 절연층(605)을 사이에 두고 기판(600) 위에 형성되고, 절연층(617a)은, 반도체층(611) 위에 형성되고, 도전층(618a)은, 절연층(617a)을 사이에 두고 반도체층(611) 위에 형성되고, 절연층(619a) 및 절연층(620a)은, 각각 도전층(618a)의 측면에 접하여 형성된다.
- [0291] 또한, 반도체층(611)은, 도전층(618a) 아래에 형성된 채널 형성 영역(612), 소스 영역 또는 드레인 영역이 되는 불순물 영역(613a) 및 불순물 영역(614a), 채널 형성 영역(612)과 불순물 영역(613a) 사이에 형성된 고저항 불순물 영역(615a), 채널 형성 영역(612)과 불순물 영역(614a) 사이에 형성된 고저항 불순물 영역(616a)을 갖는다.
- [0292] 또한, 트랜지스터(602a)는, 절연층(621a), 평탄화층으로서의 기능을 갖는 절연층(622a), 및 절연층(623a)을 사이에 두고 트랜지스터(601a)의 윗층에 형성된다. 트랜지스터(602a)로는, 예를 들어 상기 실시형태 6에 나타난 트랜지스터 중 어느 하나를 적용할 수 있다. 도 10(A)에서는, 트랜지스터(602a)의 일 예로 도 8(A)에 나타난 구조의 트랜지스터를 나타낸다.
- [0293] 또한, 트랜지스터(602a)의 소스 전극 및 드레인 전극 중 어느 한쪽으로서의 기능을 갖는 도전층(626a)은, 절연층(621a), 절연층(622a), 및 절연층(623a)을 관통하여 형성된 개구부를 통해 불순물 영역(614a)에 접한다. 한편, 복수의 도전층을 통하여 도전층(626a)과 불순물 영역(614a)이 접하는 구조이어도 좋다.
- [0294] 또한, 트랜지스터(602a)의 소스 전극 및 드레인 전극 중 어느 한쪽으로서의 기능을 갖는 도전층(626a)과 동일층에 형성된 도전층(625a)은, 절연층(621a), 절연층(622a), 및 절연층(623a)을 관통하여 형성된 개구부를 통해 불순물 영역(613a)에 접한다. 한편, 복수의 도전층을 통하여 도전층(625a)과 불순물 영역(613a)이 접하는 구조이어도 좋다.
- [0295] 또한, 트랜지스터(602a)에서, 채널 형성층으로서의 기능을 갖는 산화물 반도체층은, 상면의 일부(상면에 소스 전극 또는 드레인 전극이 되는 도전층이 형성되지 않은 부분)에 산화물 절연층(627a)이 접한다. 또한, 산화물 절연층(627a)은, 상부에 보호 절연층(628a)이 형성된다.
- [0296] 또한, 도 10(B)에 나타난 복수의 트랜지스터의 구조는, 트랜지스터(601b) 및 트랜지스터(602b)를 갖는 구조이다.
- [0297] 트랜지스터(601b)는, 채널 형성 영역을 갖는 반도체 기판(610)과, 게이트 절연층으로서의 기능을 갖는 절연층(617b), 게이트 전극으로서의 기능을 갖는 도전층(618b), 측벽 절연층으로서의 기능을 갖는 절연층(619b), 절연층(620b), 절연층(608), 및 절연층(609)을 갖는다.
- [0298] 절연층(617b)은, 반도체 기판(610) 위에 형성되고, 도전층(618b)은, 절연층(617b)을 사이에 두고 반도체 기판(610) 위에 형성된다.
- [0299] 나아가 반도체 기판(610)은, 반도체 기판(610)에 형성된 다른 소자와의 분리 절연층으로서의 기능을 갖는 절연층(606), 소스 영역 또는 드레인 영역으로서의 기능을 갖는 불순물 영역(613b) 및 불순물 영역(614b), 채널 형성 영역과 불순물 영역(613b) 사이에 형성된 고저항 불순물 영역(615b), 채널 형성 영역과 불순물 영역(614b) 사이에 형성된 고저항 불순물 영역(616b)을 갖는다.
- [0300] 또한, 트랜지스터(602b)는, 절연층(621b), 절연층(622b), 및 절연층(623b)을 사이에 두고 트랜지스터(601b)의 윗층에 형성된다. 트랜지스터(602b)로는, 예를 들어 상기 실시형태 6에 나타난 트랜지스터 중 어느 하나를 적용

할 수 있다. 도 10(B)에서는, 트랜지스터(602b)의 일 예로 도 8(A)에 나타낸 구조의 트랜지스터를 나타낸다.

- [0301] 또한, 트랜지스터(602b)의 소스 전극 및 드레인 전극 중 어느 한쪽으로서의 기능을 갖는 도전층(626b)은, 절연층(621b), 절연층(622b), 및 절연층(623b)을 관통하여 형성된 개구부를 통해 불순물 영역(614b)에 접한다. 한편, 복수의 도전층을 통하여 도전층(626b)과 불순물 영역(614b)이 접하는 구조이어도 좋다.
- [0302] 또한, 트랜지스터(602b)의 소스 전극 및 드레인 전극 중 어느 한쪽으로서의 기능을 갖는 도전층(626b)과 동일층에 형성된 도전층(625b)은, 절연층(621b), 절연층(622b), 및 절연층(623b)을 관통하여 형성된 개구부를 통해 불순물 영역(613b)에 접한다. 한편, 복수의 도전층을 통하여 도전층(625b)과 불순물 영역(613b)이 접하는 구조이어도 좋다.
- [0303] 또한, 트랜지스터(602b)에서, 채널 형성층으로서의 기능을 갖는 산화물 반도체층은, 상면의 일부(상면에 소스 전극 또는 드레인 전극이 되는 도전층이 형성되지 않은 부분)에 산화물 절연층(627b)이 접한다. 또한, 산화물 절연층(627b)은 상부에 보호 절연층(628b)이 형성된다.
- [0304] 기판(600)으로는, 예를 들어 유리 기판, 세라믹 기판, 석영 기판, 플라스틱 기판, 또는 실리콘 기판 등을 이용할 수 있다.
- [0305] 반도체 기판(610)으로는, 예를 들어 실리콘 기판, 게르마늄 기판, 또는 실리콘 게르마늄 기판 등을 이용할 수 있다. 또한, 반도체 기판(610)은, P형의 도전형을 부여하는 불순물 원소를 포함하는 것이어도 좋다.
- [0306] 절연층(603), 절연층(604), 및 절연층(606)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다.
- [0307] 절연층(605)으로는, 예를 들어 수소를 함유하는 산화 실리콘층, 수소를 함유하는 질화 실리콘층, 산소와 수소를 함유하는 질화 실리콘층, 산화질화 실리콘층, 또는 질화산화 실리콘층 등을 이용할 수 있다. 예를 들어 수소를 함유하는 산화 실리콘으로는, 예를 들어 유기 실란을 이용하여 형성되는 산화 실리콘이 바람직하다. 예를 들어 유기 실란을 이용하여 형성된 산화 실리콘막을 이용함으로써, 기판(600)과 반도체층(611)의 접합을 견고하게 할 수 있기 때문이다. 유기 실란으로는, 예를 들어 테트라에톡시실란(약칭: TEOS 화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(약칭: TMS 화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(약칭: TMCTS), 옥타메틸시클로테트라실록산(약칭: OMCTS), 헥사메틸디실라잔(약칭: HMDS), 트리에톡시실란(화학식: $\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스(디메틸아미노)실란(화학식: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물 등을 이용할 수 있다.
- [0308] 반도체층(611)으로는, 예를 들어 실리콘 및 게르마늄 중 어느 하나 또는 복수 등을 포함하는 층을 이용할 수 있다. 또한, 반도체층(611)으로는, 단결정 반도체층, 다결정 반도체층, 미(微)결정 반도체층, 또는 비정질 반도체층을 이용할 수 있다.
- [0309] 예를 들어 반도체층(611)으로 단결정 반도체층을 이용하는 경우, 우선 단결정 반도체 기판을 준비하고, 단결정 반도체 기판에 손상 영역을 형성한다. 예를 들어 이온 조사에 의해 이 손상 영역을 형성한다. 나아가 손상 영역이 형성된 단결정 반도체 기판과 기판(600)을 절연층(603) 내지 절연층(605)을 통해 접합한 후, 손상 영역을 벽 개면으로 하여 접합 기판(단결정 반도체 기판 및 기판(600))에서 단결정 반도체 기판의 일부를 분리시키고, 그 후, 기판(600) 위에 형성된 잔존 단결정 반도체 영역을 에칭 등에 의해 선택적으로 제거함으로써 이 단결정 반도체층을 형성할 수 있다.
- [0310] 불순물 영역(613a), 불순물 영역(613b), 불순물 영역(614a), 및 불순물 영역(614b)은, N형 또는 P형의 도전성을 부여하는 불순물 원소를 포함하는 영역으로, 예를 들어 N형 또는 P형의 도전성을 부여하는 불순물 원소를 첨가함으로써 형성된다.
- [0311] 고저항 불순물 영역(615a), 고저항 불순물 영역(615b), 고저항 불순물 영역(616a), 및 고저항 불순물 영역(616b)은, 불순물 영역(613a), 불순물 영역(613b), 불순물 영역(614a), 및 불순물 영역(614b)보다 저항값이 높은 영역으로, 예를 들어 불순물 영역(613a), 불순물 영역(613b), 불순물 영역(614a), 및 불순물 영역(614b)보다 낮은 농도가 되도록, N형 또는 P형의 도전성을 부여하는 불순물 원소를 첨가함으로써 형성된다.
- [0312] 절연층(617a) 및 절연층(617b)으로는, 예를 들어 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 이용할 수 있다. 또한, 절연층(617a) 및 절연층(617b)에 적용 가능한 재료의 층의 적층에 의해 절연층(617a) 및 절연층(617b)을 구성할 수도 있다. 절연층(617a) 및 절연층(617b)에 적용 가능한 재료의 층은, 예를 들어 플

라즈마 CVD법 또는 스퍼터링법 등을 이용하여 형성할 수 있다. 예를 들어, 플라즈마 CVD법에 의해 질화 실리콘층을 형성하고, 플라즈마 CVD법에 의해 질화 실리콘층 위에 산화 실리콘층을 형성함으로써 절연층(617a) 및 절연층(617b)을 제작할 수 있다.

- [0313] 도전층(618a) 및 도전층(618b)으로는, 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이를 주성분으로 하는 합금 재료의 층을 이용할 수 있다. 또한, 도전층(618a) 및 도전층(618b)의 형성에 적용 가능한 재료의 층의 적층에 의해, 도전층(618a) 및 도전층(618b)을 구성할 수도 있다. 도전층(618a) 및 도전층(618b)은, 예를 들어 스퍼터링법에 의해 도전막을 형성하고, 이 도전막을 선택적으로 에칭함으로써 형성된다.
- [0314] 절연층(619a), 절연층(619b), 절연층(608), 및 절연층(609)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다.
- [0315] 절연층(621a) 및 절연층(621b)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다. 또한, 절연층(621a) 및 절연층(621b)에 적용 가능한 재료의 층을 적층시켜 절연층(621a) 및 절연층(621b)을 구성할 수도 있다. 절연층(621a) 및 절연층(621b)은, 예를 들어 플라즈마 CVD법 등을 이용하여 형성된다.
- [0316] 절연층(622a) 및 절연층(622b)으로는, 예를 들어 유기 재료층 또는 무기 재료층을 이용할 수 있다. 또한, 절연층(622a) 및 절연층(622b)에 적용 가능한 재료의 층을 적층시켜 절연층(622a) 및 절연층(622b)을 구성할 수도 있다. 절연층(622a) 및 절연층(622b)은, 예를 들어 플라즈마 CVD법 등을 이용하여 형성된다.
- [0317] 절연층(623a) 및 절연층(623b)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다. 또한, 절연층(623a) 및 절연층(623b)에 적용 가능한 재료의 층을 적층시켜 절연층(623a) 및 절연층(623b)을 구성할 수도 있다. 절연층(623a) 및 절연층(623b)은, 예를 들어 플라즈마 CVD법 등을 이용하여 형성된다.
- [0318] 도전층(625a), 도전층(625b), 도전층(626a), 및 도전층(626b)으로는, 예를 들어 트랜지스터(602a) 및 트랜지스터(602b)의 소스 전극 또는 드레인 전극으로서 기능을 갖는 도전층에 적용 가능한 재료의 층을 이용할 수 있다. 또한, 도전층(625a), 도전층(625b), 도전층(626a), 및 도전층(626b)에 적용 가능한 재료의 층을 적층시켜 도전층(625a), 도전층(625b), 도전층(626a), 및 도전층(626b)을 구성할 수도 있다.
- [0319] 도 10에 일 예로 나타낸 바와 같이, 구조가 다른 복수의 트랜지스터를 이용하여 상기 실시형태의 반도체 장치를 구성할 수도 있다. 이에 따라, 예를 들어 N형 트랜지스터 및 P형 트랜지스터의 구조를 나누어 만드는 등, 각각의 회로의 특성에 따라 최적의 구조의 트랜지스터를 선택적으로 이용할 수 있다.
- [0320] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0321] (실시형태 8)
- [0322] 본 실시형태에서는, 상기 실시형태의 무선 통신에 의한 전원 전압의 생성이 가능한 반도체 장치를 구비한 전자 기기에 대해 설명한다.
- [0323] 본 실시형태의 전자 기기의 구성예에 대해, 도 11(A), 도 11(B), 도 11(C), 도 11(D), 도 11(E), 및 도 11(F)를 이용하여 설명한다. 도 11(A) 내지 도 11(F)는, 본 실시형태의 전자 기기의 구성예를 나타낸 도면이다.
- [0324] 도 11(A)에 나타낸 전자 기기는, 휴대형 정보 통신 단말이다. 도 11(A)에 나타낸 휴대형 정보 통신 단말은, 적어도 표시부(1001)와, 칩(1003)을 갖는다. 한편, 도 11(A)에 나타낸 휴대형 정보 통신 단말은, 예를 들어 터치 패널과 조합함으로써, 다양한 휴대형 매체 대신으로 이용할 수 있다. 예를 들어 표시부(1001)에 터치 패널에 의한 조작부(1002)를 형성함으로써, 휴대 전화기로 이용할 수 있다. 터치 패널로는, 예를 들어 저항막식 터치 패널, 적외선식 터치 패널, 정전 용량식 터치 패널, 또는 광학식 터치 패널 등을 이용할 수 있다. 한편, 조작부(1002)를 반드시 표시부(1001)에 형성할 필요는 없으며, 도 11(A)에 나타낸 휴대형 정보 통신 단말은, 별도로 조작 버튼을 구비한 구성으로 할 수도 있다. 또한, 도 11(A)에 나타낸 휴대형 정보 단말은, 칩(1003)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작할 수 있다. 휴대형 정보 통신 단말은, 외부와의 접속에 의해 전원을 공급할 수 없는 환경 하에서도 사용하는 경우가 있으므로, 휴대형 정보 통신 단말에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용하는

것이 적합하다.

- [0325] 도 11(B)에 나타난 전자 기기는, 예를 들어 자동차 내비게이션을 포함하는 정보 안내 단말이다. 도 11(B)에 나타난 정보 안내 단말은, 적어도 표시부(1101)와, 칩(1104)을 갖고, 나아가 도 11(B)에 나타난 정보 안내 단말을 조작 버튼(1102) 및 외부 입력 단자(1103)를 갖는 구성으로 할 수도 있다. 자동차의 내부는, 기온과 함께 온도가 크게 변동하고, 온도가 50℃를 넘는 경우도 있다. 그러나 상기 실시형태에 나타난 반도체 장치는, 온도에 의한 특성 변화의 영향이 적으므로, 자동차의 내부와 같이 온도가 크게 변동하는 환경 하에서 특히 유효하다. 또한, 도 11(B)에 나타난 정보 안내 단말은, 칩(1104)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작을 행할 수 있다. 또한, 정보 안내 단말은 외부와의 접속에 의해 전원을 공급할 수 없는 환경 하에서도 사용하는 경우가 있으므로, 정보 안내 단말에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용하는 것은 적합하다.
- [0326] 도 11(C)에 나타난 전자 기기는, 노트북형 개인용 컴퓨터이다. 도 11(C)에 나타난 노트북형 개인용 컴퓨터는, 하우징(1201), 표시부(1202), 스피커(1203), LED 램프(1204), 포인팅 디바이스(1205), 접속 단자(1206), 키보드(1207), 및 칩(1208)을 갖는다. 한편, 도 11(C)에 나타난 전자 기기는, 칩(1208)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작할 수 있다. 한편, 노트북형 개인용 컴퓨터는, 외부와의 접속에 의해 전원을 공급할 수 없는 환경 하에서도 사용하는 경우가 있으므로, 노트북형 개인용 컴퓨터에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용하는 것은 적합하다.
- [0327] 도 11(D)에 나타난 전자 기기는 휴대형 유기기(game machine)이다. 도 11(D)에 나타난 휴대형 유기기는, 표시부(1301), 표시부(1302), 스피커(1303), 접속 단자(1304), LED 램프(1305), 마이크로폰(1306), 기록 매체 읽기부(1307), 조작 버튼(1308), 센서(1309), 및 칩(1310)을 갖는다. 한편, 도 11(D)에 나타난 휴대형 유기기는, 칩(1310)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작할 수 있다. 또한, 휴대형 유기기는, 외부와의 접속에 의해 전원을 공급할 수 없는 환경 하에서도 사용하는 경우가 있으므로, 휴대형 유기기에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용하는 것은 적합하다.
- [0328] 도 11(E)에 나타난 전자 기기는 전자 서적이다. 도 11(E)에 나타난 전자 서적은, 적어도 하우징(1401), 하우징(1403), 표시부(1405), 표시부(1407), 축부(1411) 및 칩(1426)을 갖는다.
- [0329] 하우징(1401) 및 하우징(1403)은, 축부(1411)에 의해 접속되고, 도 11(E)에 나타난 전자 서적은, 이 축부(1411)를 축으로 하여 개폐 동작을 할 수 있다. 이와 같은 구성에 의해, 종이 서적과 같은 동작을 할 수 있다. 또한, 표시부(1405)는, 하우징(1401)에 내장되고, 표시부(1407)는, 하우징(1403)에 내장된다. 또한, 표시부(1405) 및 표시부(1407)의 구성을 서로 다른 화상을 표시하는 구성으로 하여도 좋으며, 예를 들어 양쪽의 표시부에서 일련의 화상을 표시하는 구성으로 하여도 좋다. 표시부(1405) 및 표시부(1407)를 다른 화상을 표시하는 구성으로 함으로써, 예를 들어 우측의 표시부(도 11(E)에서는 표시부(1405))에 문장 화상을 표시하고, 좌측의 표시부(도 11(E)에서는 표시부(1407))에 영상을 표시할 수 있다.
- [0330] 또한, 도 11(E)에 나타난 전자 서적은 하우징(1401)에 조작부 등을 구비하여도 좋다. 예를 들어, 도 11(E)에 나타난 전자 서적의 구성을 전원 버튼(1421), 조작키(1423), 및 스피커(1425)를 갖는 구성으로 할 수도 있다. 도 11(E)에 나타난 전자 서적은, 조작키(1423)를 이용함으로써, 복수의 페이지가 있는 화면의 페이지를 보낼 수 있다. 또한, 도 11(E)에 나타난 전자 서적의 표시부(1405) 및 표시부(1407), 또는 표시부(1405) 또는 표시부(1407)에 키보드나 포인팅 디바이스 등을 구비한 구성으로 하여도 좋다. 또한, 도 11(E)에 나타난 전자 서적의 하우징(1401) 및 하우징(1403)의 뒷면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 또는 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 형성하여도 좋다. 또한, 도 11(E)에 나타난 전자 서적에 전자 사전으로서의 기능을 갖게 하여도 좋다.
- [0331] 또한, 도 11(E)에 나타난 전자 서적은, 칩(1426)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작할 수 있다. 또한, 전자 서적은, 외부와의 접속에 의해 전원을 공급할 수 없는 환경 하에서도 사용하는 경우가 있으므로, 전자 서적에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용하는 것은 적합하다.
- [0332] 또한, 도 11(E)에 나타난 전자 서적을 무선 통신으로 데이터를 송수신할 수 있는 구성으로 하여도 좋다. 이에 따라, 전자 서적 서버에서 원하는 서적 데이터 등을 구입하고, 다운 로드하는 기능을 부가시킬 수 있다.

- [0333] 도 11(F)에 나타난 전자 기기는 디스플레이이다. 도 11(F)에 나타난 디스플레이는, 하우징(1501), 표시부(1502), 스피커(1503), LED 램프(1504), 조작 버튼(1505), 접속 단자(1506), 센서(1507), 마이크로폰(1508), 지지대(1509), 및 칩(1510)을 갖는다. 한편, 도 11(F)에 나타난 디스플레이는, 칩(1510)을 형성함으로써, 무선 통신에 의해 전원 전압을 생성하고, 생성한 전원 전압을 이용하여 동작할 수 있다. 디스플레이에 본 발명의 일 양태인 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용함으로써 전원 단자 등을 형성할 필요가 없어짐으로, 배선 수 및 단자 수를 저감할 수 있다.
- [0334] 한편, 칩(1003), 칩(1104), 칩(1208), 칩(1310), 칩(1426), 또는 칩(1510)으로는, 상기 실시형태에 나타난 무선 통신에 의해 전원 전압의 생성이 가능한 반도체 장치를 이용할 수 있다.
- [0335] 도 11(A) 내지 도 11(F)에 일 예로 나타난 바와 같이, 본 실시형태의 전자 기기는, 무선 통신에 의해 전원 전압의 생성이 가능한 구성이다. 이 구성으로 함으로써, 접속에 의해 급전하는 수단이 없는 환경 하에서도, 일정 기간 이 전자 기기를 이용할 수 있다.
- [0336] 한편, 본 실시형태의 전자 기기의 구성을 생성한 전원 전압을 충전하는 축전 장치를 갖는 구성으로 하여도 좋다. 이에 따라, 외부 전원이 없는 장소라도, 전자 기기를 일정 시간 사용할 수 있으므로, 편리성을 향상시킬 수 있다. 축전 장치로는, 예를 들어 리튬 이온 이차 전지, 리튬 이온 캐패시터, 전기 이중층 캐패시터, 및 리튬 스 캐패시터 중 어느 하나 또는 복수 등을 이용할 수 있다. 예를 들어 리튬 이온 이차 전지 및 리튬 이온 캐패시터를 병용함으로써, 고속 충전이 가능하고, 또한 장시간 전원을 공급하는 것이 가능한 축전 장치로 할 수 있다. 한편, 리튬 이온 이차 전지에 한정되지 않으며, 축전 장치로, 다른 알칼리 금속 이온 또는 알칼리토류 금속 이온 등을 가동 이온으로 이용한 이차 전지를 이용하여도 좋다. 또한, 리튬 이온 캐패시터에 한정되지 않으며, 축전 장치로, 다른 알칼리 금속 이온 또는 알칼리토류 금속 이온 등을 가동 이온으로 이용한 캐패시터를 이용하여도 좋다.
- [0337] 또한, 도 11(A) 내지 도 11(F)에 나타난 전자 기기에 한정되지 않으며, 예를 들어 전기에 의해 구동하는 자동차 등에도 상기 실시형태의 반도체 장치를 적용할 수 있다.
- [0338] 한편, 본 실시형태는, 다른 실시형태와 적절히 조합 또는 치환할 수 있다.
- [0339] (실시형태 9)
- [0340] 본 실시형태에서는, 상기 실시형태의 무선 통신에 의해 신호의 송수신이 가능한 반도체 장치를 구비한 정보 매체에 대해 설명한다.
- [0341] 본 실시형태에서의 정보 매체의 구성예에 대해, 도 12(A), 도 12(B), 도 12(C), 및 도 12(D)를 이용하여 설명한다. 도 12(A) 내지 도 12(D)는, 본 실시형태에서의 정보 매체의 구성예를 나타낸 도면이다.
- [0342] 도 12(A)에 나타난 정보 매체는, 개인 정보가 기재된 카드형 증명서이다. 도 12(A)에 나타난 카드형 증명서는 칩(800)을 갖는다. 도 12(A)에 나타난 카드형 증명서는, 칩(800)을 형성함으로써, 위조 방지 등, 보안 기능을 향상시킬 수 있다. 카드형 증명서로는, 예를 들어 면허증, 주민 등록증, 또는 여권 등을 들 수 있다. 칩(800)은 신뢰성이 높으므로, 이 카드형 증명서 등을 긴 기간 사용하는데 적합하다.
- [0343] 도 12(B)에 나타난 정보 매체는, 티켓형 정보 매체이다. 도 12(B)에 나타난 티켓형 정보 매체는 칩(801)을 갖는다. 도 12(B)에 나타난 티켓형 정보 매체는, 칩(801)을 형성함으로써, 티켓형 정보 매체에 기재된 정보 이외의 정보를 칩(801)에 기록해 둘 수 있다. 또한, 도 12(B)에 나타난 티켓형 정보 매체는, 칩(801)을 형성함으로써, 위조 방지 등, 보안 기능을 향상시킬 수 있다. 한편, 칩(801)은, 신뢰성이 높으므로, 예를 들어 티켓의 일부에 절취부를 형성하고, 티켓형 정보 매체가 불필요해 졌을 때, 이 절취부에 의해 칩(801)만 잘라 내어 회수하고, 칩(801)만을 재이용할 수도 있다. 티켓형 정보 매체로는, 예를 들어 지폐, 승차권, 유가 증권, 또는 그 외 증서 등을 들 수 있다.
- [0344] 도 12(C)에 나타난 정보 매체는, 코인형 정보 매체이다. 코인형 정보 매체는 칩(802)을 갖는다. 도 12(C)에 나타난 코인형 정보 매체는, 칩(802)을 형성함으로써, 코인형 정보 매체에 기재된 정보 이외의 정보를 칩(802)에 기록해 둘 수 있다. 또한, 도 12(C)에 나타난 코인형 정보 매체는, 칩(802)을 형성함으로써, 위조 방지 등, 보안 기능을 향상시킬 수 있다. 코인형 정보 매체로는, 예를 들어 동전, 승차권, 유가 증권, 또는 그 외 증서 등을 들 수 있다.

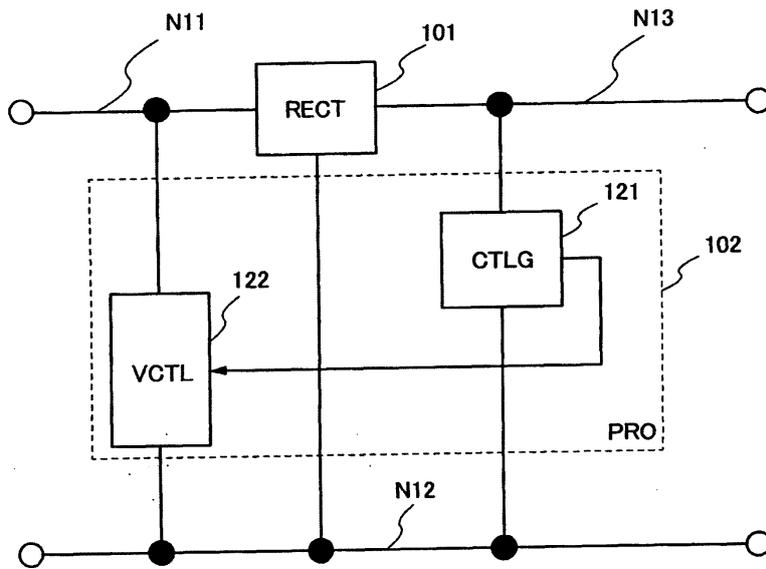
221; 저항 소자	222a; 정류 소자
222b; 정류 소자	222c; 정류 소자
222d; 정류 소자	400a; 기관
400b; 기관	400c; 기관
400d; 기관	401a; 도전층
401b; 도전층	401c; 도전층
401d; 도전층	402a; 절연층
402b; 절연층	402c; 절연층
402d; 절연층	403a; 산화물 반도체층
403b; 산화물 반도체층	403c; 산화물 반도체층
403d; 산화물 반도체층	405a; 도전층
405b; 도전층	405c; 도전층
405d; 도전층	406a; 도전층
406b; 도전층	406c; 도전층
406d; 도전층	407a; 산화물 절연층
407c; 산화물 절연층	409a; 보호 절연층
409b; 보호 절연층	409c; 보호 절연층
427; 절연층	436; 배선층
437; 배선층	447; 하지층
501; 안테나 회로	502; 정류 회로
503; 보호 회로	504; 전원 전압 생성 회로
505; 용량 소자	506; 필터 회로
507; 저항 소자	508; 용량 소자
511; 안테나	512; 용량 소자
521; 트랜지스터	522; 트랜지스터
523; 용량 소자	530; 산화물 반도체막
531; 저항 소자	532a; 트랜지스터
532b; 트랜지스터	532c; 트랜지스터
532d; 트랜지스터	533; 트랜지스터
534; 저항 소자	535; 용량 소자
536; 트랜지스터	600; 기관
601a; 트랜지스터	601b; 트랜지스터
602a; 트랜지스터	602b; 트랜지스터
603; 절연층	604; 절연층
605; 절연층	606; 절연층
608; 절연층	609; 절연층

610; 반도체기관	611; 반도체층
612; 채널 형성 영역	613a; 불순물 영역
613b; 불순물 영역	614a; 불순물 영역
614b; 불순물 영역	615a; 고저항 불순물 영역
615b; 고저항 불순물 영역	616a; 고저항 불순물 영역
616b; 고저항 불순물 영역	617a; 절연층
617b; 절연층	618a; 도전층
618b; 도전층	619a; 절연층
619b; 절연층	620a; 절연층
620b; 절연층	621a; 절연층
621b; 절연층	622a; 절연층
622b; 절연층	623a; 절연층
623b; 절연층	625a; 도전층
625b; 도전층	626a; 도전층
626b; 도전층	627a; 산화물 절연층
627b; 산화물 절연층	628a; 보호 절연층
628b; 보호 절연층	701; 안테나 회로
702; 정류 회로	703; 보호 회로
704; 전원 전압 생성 회로	705; 복조 회로
706; 기능 회로	707; 변조 회로
800; 칩	801; 칩
802; 칩	803; 칩
1001; 표시부	1002; 조작부
1003; 칩	1101; 표시부
1102; 조작버튼	1103; 외부 입력 단자
1104; 칩	1201; 하우징
1202; 표시부	1203; 스피커
1204; LED 램프	1205; 포인팅 디바이스
1206; 접속 단자	1207; 키보드
1208; 칩	1301; 표시부
1302; 표시부	1303; 스피커
1304; 접속 단자	1305; LED 램프
1306; 마이크로폰	1307; 기록 매체 읽기부
1308; 조작버튼	1309; 센서
1310; 칩	1401; 하우징
1403; 하우징	1405; 표시부

- | | |
|------------|--------------|
| 1407; 표시부 | 1411; 축부 |
| 1421; 전원버튼 | 1423; 조작키 |
| 1425; 스피커 | 1426; 칩 |
| 1501; 하우징 | 1502; 표시부 |
| 1503; 스피커 | 1504; LED 램프 |
| 1505; 조작버튼 | 1506; 접속 단자 |
| 1507; 센서 | 1508; 마이크로폰 |
| 1509; 지지대 | 1510; 칩 |

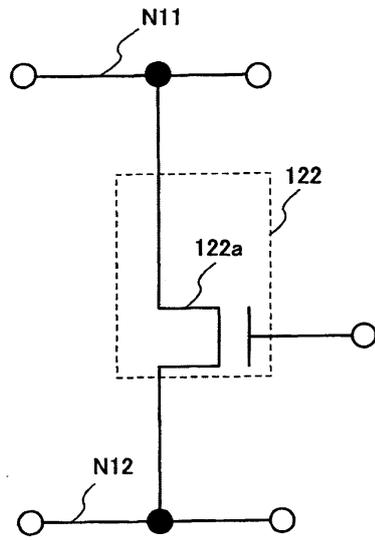
도면

도면1

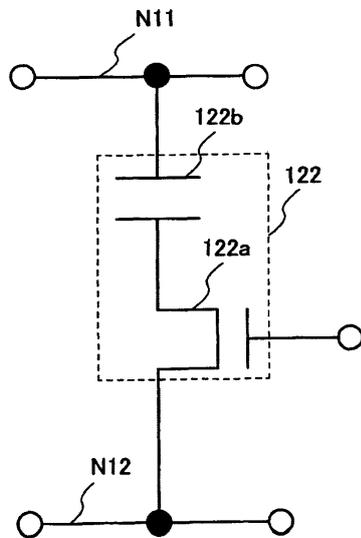


도면2

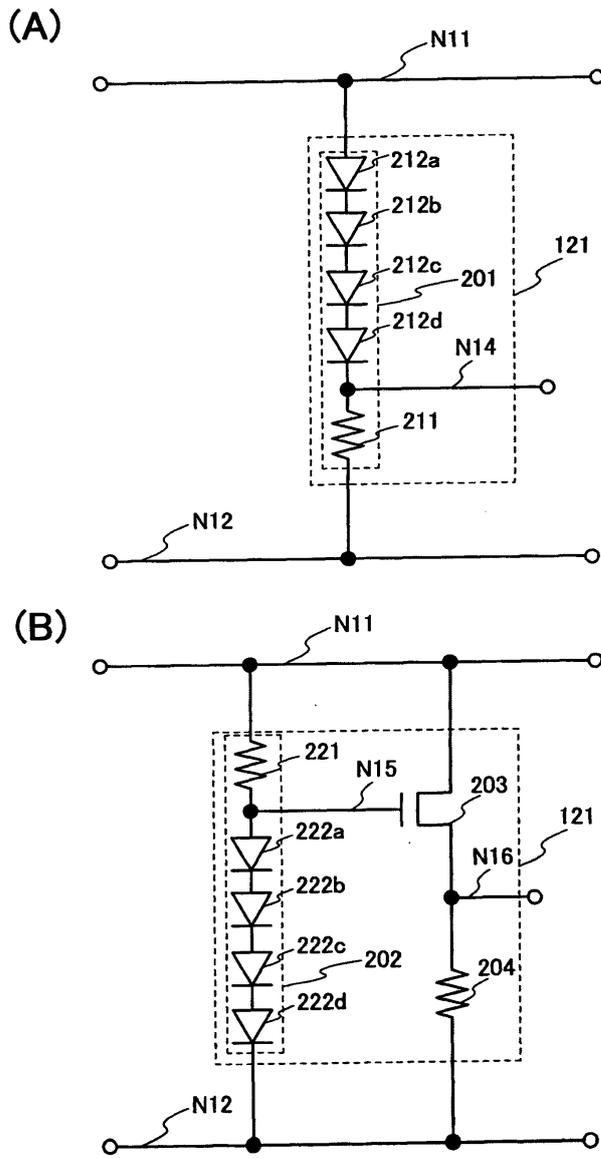
(A)



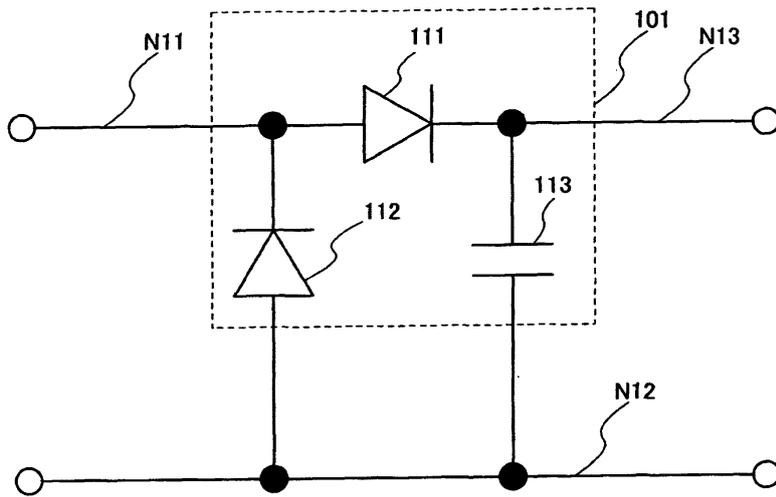
(B)



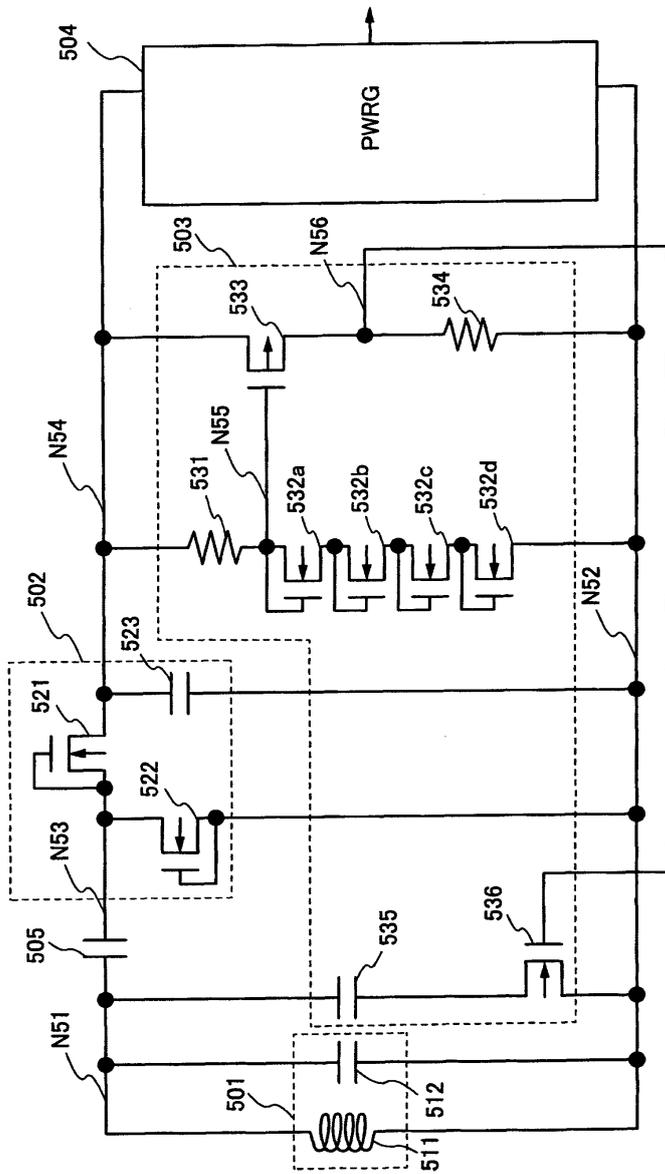
도면3



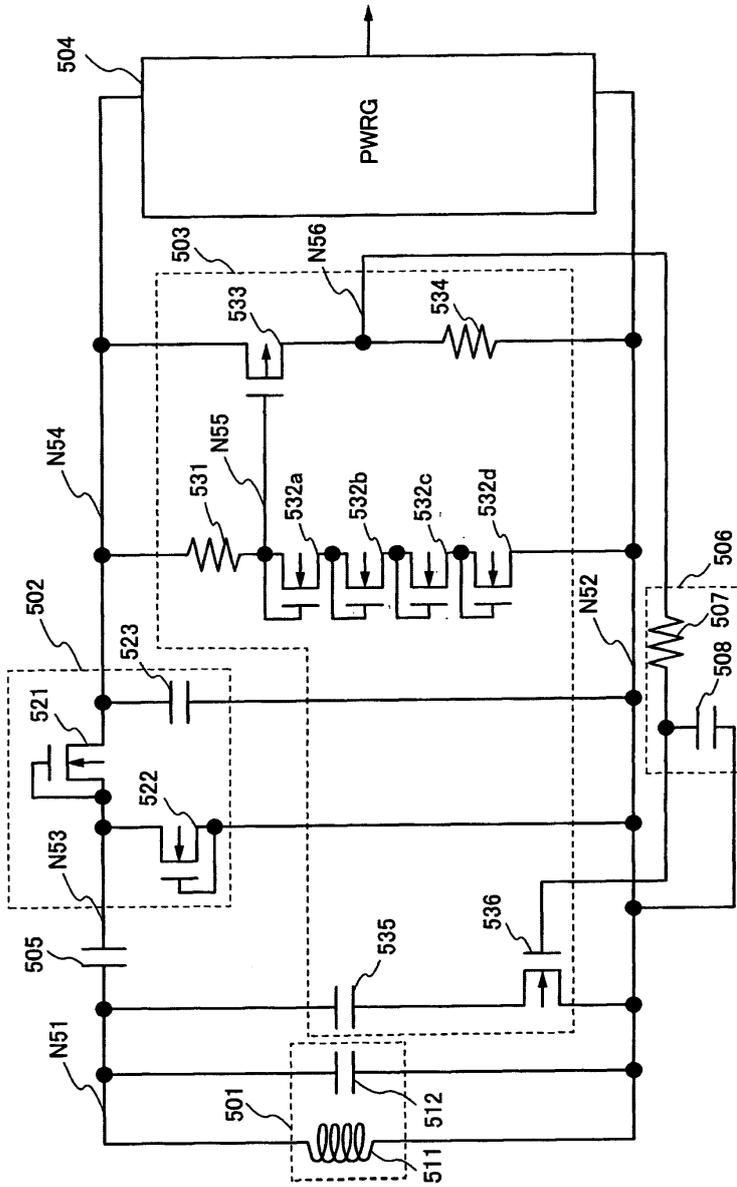
도면4



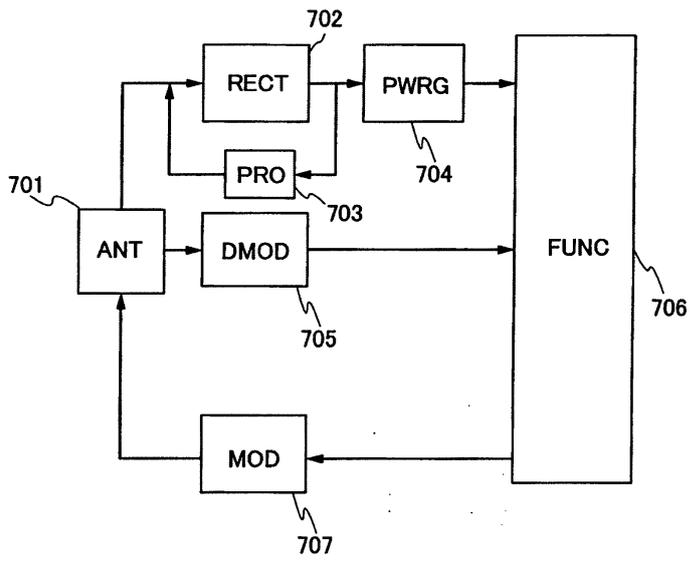
도면5



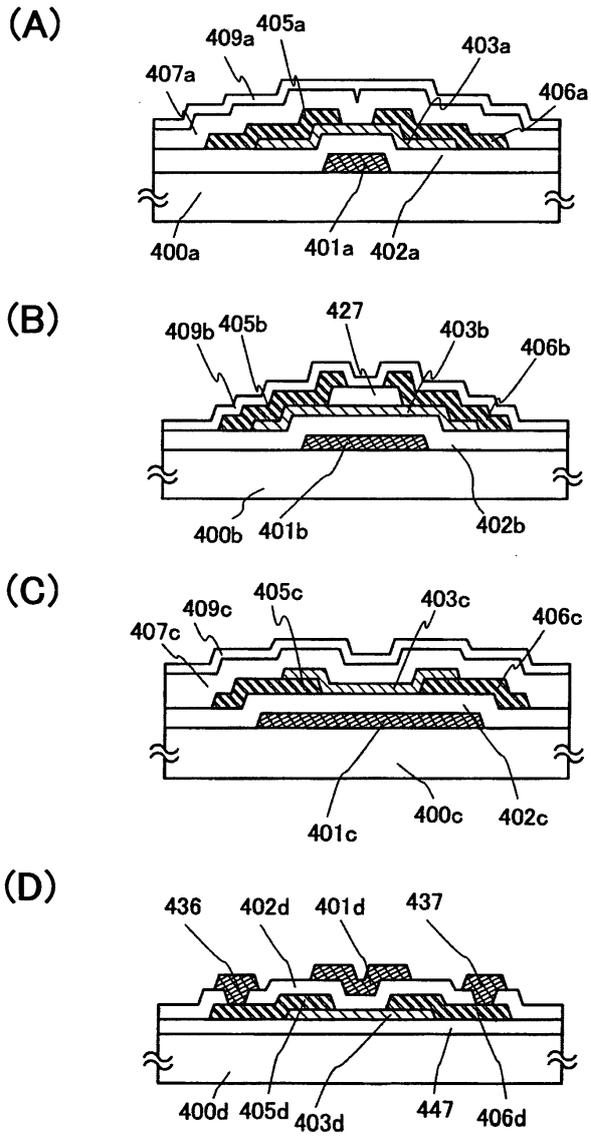
도면6



도면7

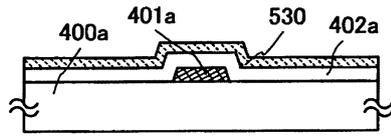


도면8

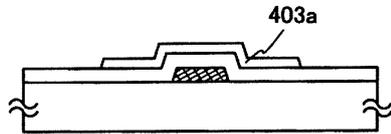


도면9

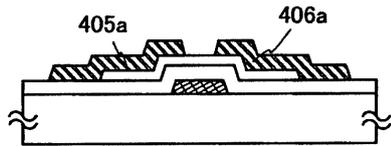
(A)



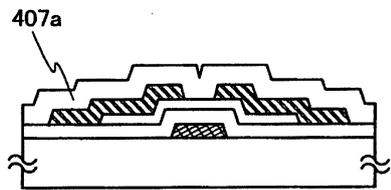
(B)



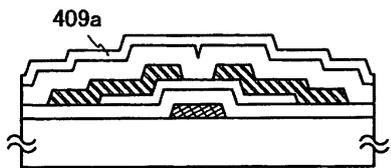
(C)



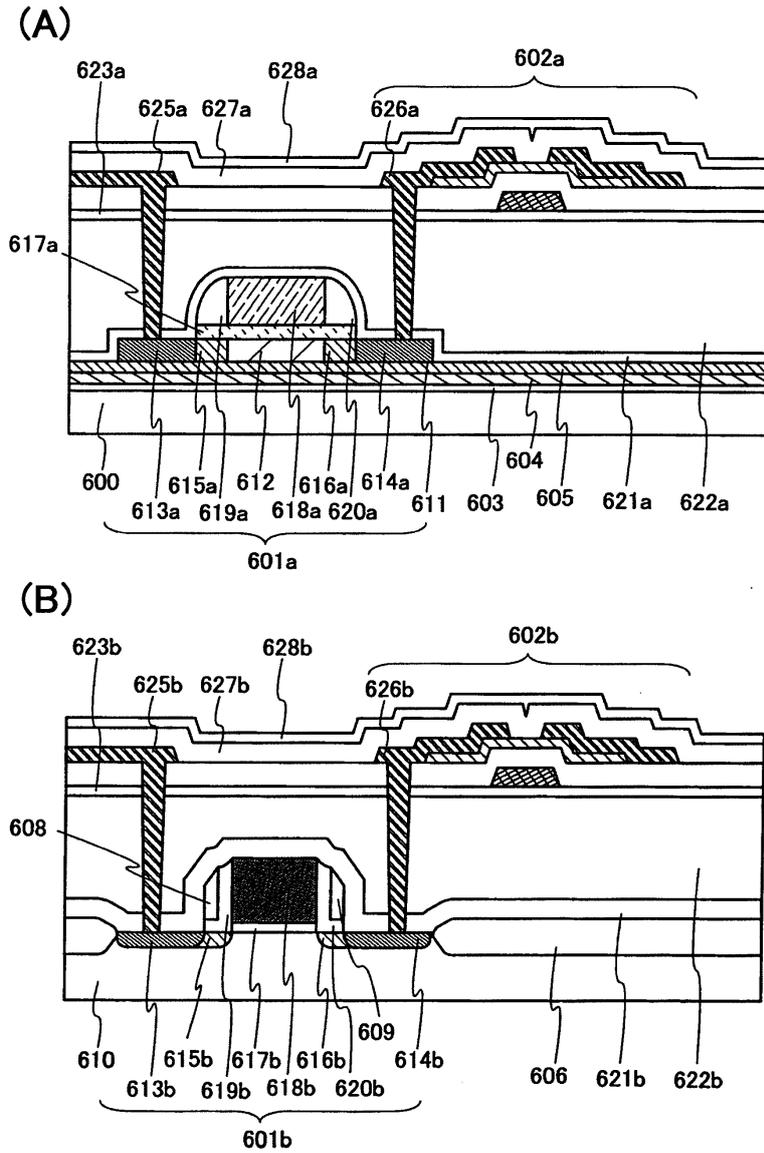
(D)



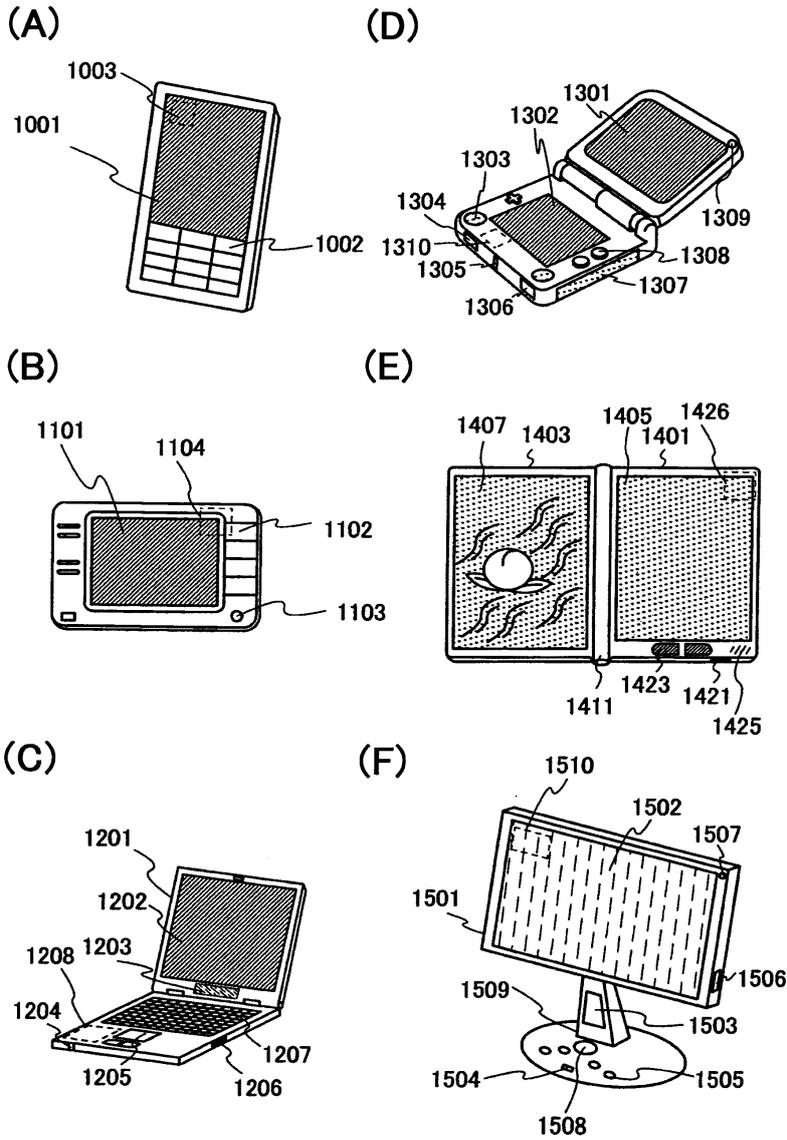
(E)



도면10

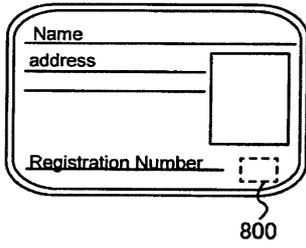


도면11

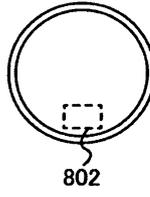


도면12

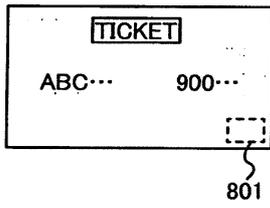
(A)



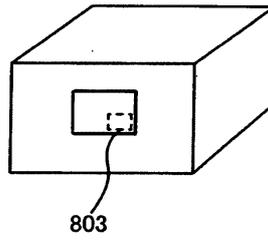
(C)



(B)

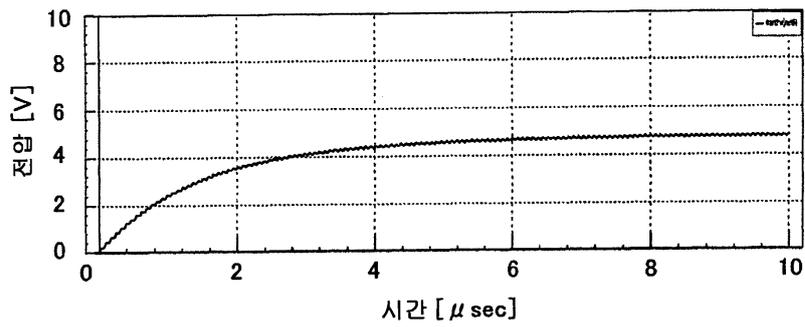


(D)

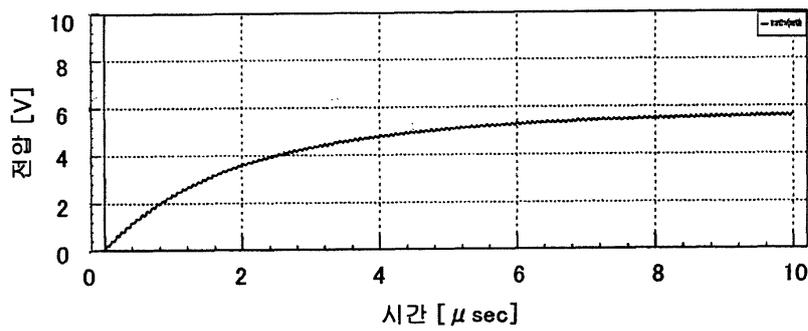


도면13

(A)



(B)



(C)

