

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-53519
(P2007-53519A)

(43) 公開日 平成19年3月1日(2007.3.1)

(51) Int. Cl. F I テーマコード (参考)
H04L 27/22 (2006.01) H04L 27/22 B 5K004

審査請求 未請求 請求項の数 7 O L (全 12 頁)

<p>(21) 出願番号 特願2005-236329 (P2005-236329) (22) 出願日 平成17年8月17日 (2005.8.17)</p>	<p>(71) 出願人 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 (74) 代理人 100095728 弁理士 上柳 雅誉 (74) 代理人 100107076 弁理士 藤網 英吉 (74) 代理人 100107261 弁理士 須澤 修 (72) 発明者 水上 博光 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Fターム(参考) 5K004 AA05 FG00 FH00 FH08 FJ00 FJ12 FJ17</p>
---	--

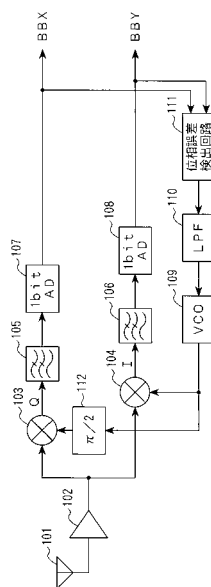
(54) 【発明の名称】 位相誤差検出回路およびP S K復調回路

(57) 【要約】

【課題】 回路規模の増大を抑制しつつ、搬送波再生における位相誤差を検出する。

【解決手段】 直交成分Qおよび同相成分Iが1ビット化されたベースバンド信号BBX、BBYを1ビットA/Dコンバータ107、108にてそれぞれ生成し、位相誤差検出回路111は、1ビット化されたベースバンド信号BBX、BBYのビットエラーに基づいて、同相成分Iおよび直交成分Qの位相の回転方向を求め、ローパスフィルタ110を介して電圧制御発振器109に入力し、電圧制御発振器109は、同相成分Iおよび直交成分Qの右回りの回転頻度と左回りの回転頻度とが等しくなるように搬送波信号の位相を制御しながら、混合器104およびフェイズシフタ112に搬送波信号を供給する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

搬送波信号を生成する搬送波生成手段と、

前記搬送波信号の位相をシフトさせながら受信信号に混合することにより、前記受信信号から同相成分および直交成分を抽出する抽出手段と、

前記受信信号から抽出された同相成分および直交成分をしきい値と比較することにより、前記同相成分および直交成分をそれぞれ 1 ビット化する比較手段と、

前記 1 ビット化された同相成分または直交成分のビットエラーに基づいて、前記同相成分および直交成分の位相の回転方向を求める位相誤差検出回路と、

前記同相成分および直交成分の右回りの回転頻度と左回りの回転頻度とが等しくなるように前記搬送波信号の位相を制御する位相制御手段とを備えることを特徴とする P S K 復調回路。 10

【請求項 2】

前記受信信号に含まれる同相成分および直交成分がどの象限に属するかを判定する象限判定回路と、

前記受信信号のプリアンプル中に含まれるリファレンスデータとの比較結果に基づいて、前記受信信号に含まれる同相成分および直交成分がビットエラーを起こしているかどうかを検出するビットエラー検出回路と、

第何象限で同相成分または直交成分のどちらがビットエラーを起こしているかを判定することで、位相の回転方向を求める位相判定回路とを備えることを特徴とする請求項 1 記載の P S K 復調回路。 20

【請求項 3】

位相同期をとる期間の送信電力が小さくなるように制御する送信電力制御手段をさらに備えることを特徴とする請求項 1 または 2 記載の P S K 復調回路。

【請求項 4】

前記送信電力制御手段は、前記プリアンプル期間中の送信電力を連続的に変化させることを特徴とする請求項 3 記載の P S K 復調回路。

【請求項 5】

前記送信電力制御手段は、前記ビットエラーの頻度に基づいて、有線フィードバックにより前記送信電力を制御することを特徴とする請求項 3 記載の P S K 復調回路。 30

【請求項 6】

受信信号に含まれる同相成分または直交成分のビットエラーに基づいて、同相成分および直交成分の位相の回転方向を求めることを特徴とする位相誤差検出回路。

【請求項 7】

前記受信信号に含まれる同相成分および直交成分がどの象限に属するかを判定する象限判定回路と、

前記受信信号のプリアンプル中に含まれるリファレンスデータとの比較結果に基づいて、前記受信信号に含まれる同相成分および直交成分がビットエラーを起こしているかどうかを検出するビットエラー検出回路と、

第何象限で同相成分または直交成分のどちらがビットエラーを起こしているかを判定することで、位相の回転方向を求める位相判定回路とを備えることを特徴とする請求項 6 記載の位相誤差検出回路。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は位相誤差検出回路および P S K 復調回路に関し、特に、ビットエラーレートに基づいて位相誤差を検出する方法に適用して好適なものである。

【背景技術】

【0002】

P S K (P h a s e S h i f t K e y i n g) 復調における主要な技術の 1 つに搬 50

送波再生がある。この搬送波再生では、P S K変調器にて送信された信号から搬送波を再生し、送信信号を復調する技術である。搬送波を再生するためには、受信された信号と受信機のローカル信号との位相誤差を検出する必要がある。

また、例えば、特許文献1には、直交復調された同相信号Iおよび直交信号Qから、マッピングされた位相点をROMテーブルを参照することによって求め、変調方式によりその後の演算(剰余算と減算の値)を変えることにより、位相誤差を検出する方法が開示されている。

【特許文献1】特開平10-341264号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0003】

しかしながら、特許文献1に開示された方法では、同相信号Iおよび直交信号Qから位相点を求めるために、同相信号Iおよび直交信号Qを多ビットA/Dコンバータでデジタル信号に変換し、ROMテーブルを参照しながら $\arctan(Q/I)$ の演算をする必要がある。このため、多ビットA/Dコンバータと容量の大きなROMが必要となり、回路規模が大きくなるという問題があった。

【0004】

そこで、本発明の目的は、回路規模の増大を抑制しつつ、搬送波再生における位相誤差を検出することが可能な位相誤差検出回路およびP S K復調回路を提供することである。

【課題を解決するための手段】

20

【0005】

上述した課題を解決するために、本発明の一態様に係るP S K復調回路によれば、搬送波信号を生成する搬送波生成手段と、前記搬送波信号の位相をシフトさせながら受信信号に混合することにより、前記受信信号から同相成分および直交成分を抽出する抽出手段と、前記受信信号から抽出された同相成分および直交成分をしきい値と比較することにより、前記同相成分および直交成分をそれぞれ1ビット化する比較手段と、前記1ビット化された同相成分または直交成分のビットエラーに基づいて、前記同相成分および直交成分の位相の回転方向を求める位相誤差検出回路と、前記同相成分および直交成分の右回りの回転頻度と左回りの回転頻度とが等しくなるように前記搬送波信号の位相を制御する位相制御手段とを備えることを特徴とする。

30

【0006】

これにより、同相成分または直交成分のビットエラーに基づいて同相成分および直交成分の位相の回転方向を求めることが可能となる。このため、1ビット化された同相成分または直交成分から位相誤差を検出することが可能となり、同相成分または直交成分をデジタル値に変換するための多ビットA/Dコンバータが不要となるとともに、同相成分および直交成分からマッピングされた位相点を算出するためのROMテーブルを設ける必要がなくなり、回路規模の増大を抑制しつつ、搬送波再生を実現することが可能となる。

【0007】

また、本発明の一態様に係るP S K復調回路によれば、前記受信信号に含まれる同相成分および直交成分がどの象限に属するかを判定する象限判定回路と、前記受信信号のプリアンブル中に含まれるリファレンスデータとの比較結果に基づいて、前記受信信号に含まれる同相成分および直交成分がビットエラーを起こしているかどうかを検出するビットエラー検出回路と、第何象限で同相成分または直交成分のどちらがビットエラーを起こしているかを判定することで、位相の回転方向を求める位相判定回路とを備えることを特徴とする。

40

【0008】

これにより、1ビット化された同相成分または直交成分のビットエラーに基づいて、同相成分および直交成分の位相の回転方向を求めることが可能となり、回路規模の増大を抑制しつつ、搬送波再生における位相誤差を検出することが可能となる。

また、本発明の一態様に係るP S K復調回路によれば、位相同期をとる期間の送信電力

50

が小さくなるように制御する送信電力制御手段をさらに備えることを特徴とする。

【0009】

これにより、位相同期をとる期間のビットエラーを増大させることが可能となり、同相成分または直交成分のビットエラーに基づいて、搬送波再生における位相誤差を迅速に検出することが可能となる。

また、本発明の一態様に係るPSK復調回路によれば、前記送信電力制御手段は、前記プリアンプ期間中の送信電力を連続的に変化させることを特徴とする。

【0010】

これにより、検出する位相誤差の範囲を変化させることが可能となり、搬送波再生における位相誤差の検出精度を向上させることができる。

また、本発明の一態様に係るPSK復調回路によれば、前記送信電力制御手段は、前記ビットエラーの頻度に基づいて、有線フィードバックにより前記送信電力を制御することを特徴とする。

【0011】

これにより、ビットエラーの頻度が少ない場合においても、位相誤差を迅速に検出することが可能となり、様々の受信環境に対応しつつ、搬送波再生を効率よく行うことができる。

また、本発明の一態様に係る位相誤差検出回路によれば、受信信号に含まれる同相成分または直交成分のビットエラーに基づいて、同相成分および直交成分の位相の回転方向を求めることを特徴とする。

【0012】

これにより、受信信号に含まれる同相成分および直交成分を多ビットのデジタル値に変換することなく、同相成分および直交成分の位相の回転方向を求めることが可能となる。このため、同相成分または直交成分を多ビットのデジタル値に変換するための多ビットADコンバータが不要となるとともに、同相成分および直交成分からマッピングされた位相点を算出するためのROMテーブルを設ける必要がなくなり、回路規模の増大を抑制しつつ、搬送波再生を実現することが可能となる。

【0013】

また、本発明の一態様に係る位相誤差検出回路によれば、前記受信信号に含まれる同相成分および直交成分がどの象限に属するかを判定する象限判定回路と、前記受信信号のプリアンプ中に含まれるリファレンスデータとの比較結果に基づいて、前記受信信号に含まれる同相成分および直交成分がビットエラーを起こしているかどうかを検出するビットエラー検出回路と、第何象限で同相成分または直交成分のどちらがビットエラーを起こしているかを判定することで、位相の回転方向を求める位相判定回路とを備えることを特徴とする。

【0014】

これにより、1ビット化された同相成分または直交成分のビットエラーに基づいて、同相成分および直交成分の位相の回転方向を求めることが可能となり、回路規模の増大を抑制しつつ、搬送波再生における位相誤差を検出することが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態に係る位相誤差検出回路およびPSK復調回路について図面を参照しながら説明する。

図1は、本発明の一実施形態に係るPSK復調回路が提供される無線通信受信機の概略構成を示すブロック図である。

図1において、無線通信受信機には、直交変調された電波を受信するアンテナ101、アンテナ101にて受信され受信信号を増幅するローノイズアンプ102、搬送波信号を生成する電圧制御発振器109、電圧制御発振器109にて生成された搬送波信号の位相を $\pi/2$ だけシフトさせるフェイズシフタ112、 $\pi/2$ だけ位相がシフトされた搬送波信号と、ローノイズアンプ102にて増幅された受信信号を混合することにより、受信信

10

20

30

40

50

号の直交成分 Q を復調する混合器 103、電圧制御発振器 109 にて生成された搬送波信号と、ローノイズアンプ 102 にて増幅された受信信号を混合することにより、受信信号の同相成分 I を復調する混合器 104、混合器 103 にて生成された信号から不要な高域成分を除去するローパスフィルタ 105、混合器 104 にて生成された信号から不要な高域成分を除去するローパスフィルタ 106、ローパスフィルタ 105 にて不要な高域成分が除去された直交成分 Q をしきい値と比較することにより、直交成分 Q が 1 ビット化されたベースバンド信号 B B X を生成する 1 ビット A / D コンバータ 107、ローパスフィルタ 106 にて不要な高域成分が除去された同相成分 I をしきい値と比較することにより、同相成分 I が 1 ビット化されたベースバンド信号 B B Y を生成する 1 ビット A / D コンバータ 108、1 ビット化されたベースバンド信号 B B X、B B Y のビットエラーに基づいて、同相成分 I および直交成分 Q の位相の回転方向を求める位相誤差検出回路 111、位相誤差検出回路 111 の出力から不要な高域成分を除去するローパスフィルタ 110 が設けられている。

10

【0016】

そして、アンテナ 101 にて受信された電波はローノイズアンプ 102 で増幅される。そして、電圧制御発振器 109 にて生成された搬送波信号がローノイズアンプ 102 にて増幅された受信信号に混合されることにより、受信信号の同相成分 I が復調されるとともに、フェイズシフタ 112 にて $\pi/2$ だけ位相がシフトされた搬送波信号がローノイズアンプ 102 にて増幅された受信信号に混合されることにより、受信信号の直交成分 Q が復調される。

20

【0017】

そして、混合器 103、104 にて生成された信号はローパスフィルタ 105、106 にて不要な高域成分がそれぞれ除去された後、1 ビット A / D コンバータ 107、108 にそれぞれ送られる。そして、直交成分 Q および同相成分 I が 1 ビット化されたベースバンド信号 B B X、B B Y が 1 ビット A / D コンバータ 107、108 にてそれぞれ生成され、位相誤差検出回路 111 に入力される。

【0018】

そして、位相誤差検出回路 111 は、1 ビット化されたベースバンド信号 B B X、B B Y のビットエラーに基づいて、同相成分 I および直交成分 Q の位相の回転方向を求め、ローパスフィルタ 110 を介して電圧制御発振器 109 に入力する。そして、電圧制御発振器 109 は、同相成分 I および直交成分 Q の右回りの回転頻度と左回りの回転頻度とが等しくなるように搬送波信号の位相を制御しながら、混合器 104 およびフェイズシフタ 112 に搬送波信号を供給する。

30

【0019】

これにより、1 ビット化された同相成分 I または直交成分 Q から位相誤差を検出することが可能となり、同相成分 I または直交成分 Q をデジタル値に変換するための多ビット A / D コンバータが不要となるとともに、同相成分 I および直交成分 Q からマッピングされた位相点を算出するための ROM テーブルを設ける必要がなくなり、回路規模の増大を抑制しつつ、搬送波再生を実現することが可能となる。

【0020】

図 3 は、Q P S K 受信信号におけるコンスタレーション（同相成分 I および直交成分 Q）を示す図である。

40

図 3 (a) において、Q P S K 方式では、搬送波の位相変化を $\pi/2$ ラジアンおきにするので、1 シンボルで 4 つの状態、すなわち 2 ビットの情報伝達が実現される。ここで、受信信号は、理想的な信号点 S 1 ~ S 4 に対してノイズ N 1 ~ N 4 がそれぞれ付加された状態となる。

【0021】

また、図 3 (b) において、送受信間で位相オフセットが存在すると、 $\pi/4$ のラインに対して位相角 $\pi/4$ だけ信号点 S 1 ~ S 4 が回転する。ここで、1 ビット化されたベースバンド信号 B B X、B B Y がビットエラーを起こしたかどうかを判断することにより、位相

50

角の回転方向を判定することができる。例えば、信号点 S 1 が第 1 象限にあり、信号点 S 1 の直交成分 Q にビットエラーが発生したものとすると、信号点 S 1 の位相は右回りの方向にオフセットしていると判断することができる。一方、信号点 S 1 が第 1 象限にあり、信号点 S 1 の同相成分 I にビットエラーが発生したものとすると、信号点 S 1 の位相は左回りの方向にオフセットしていると判断することができる。

【0022】

さらに、図 3 (c) において、プリアンプルの受信期間中では送信電力を下げることで、信号品質を意図的に劣化させ、ビットエラーを起こしやすくすることができる。これにより、ビットエラーを起こす確率を増大させることができ、搬送波を再生させるために必要なビットエラーを短時間で起こさせることができる。

10

図 2 は、図 1 の位相誤差検出回路 111 の概略構成を示すブロック図である。

【0023】

図 2 において、位相誤差検出回路 111 には、受信パケットのプリアンプル中に含まれるリファレンスデータ R X、R Y の参照結果に基づいて、受信信号に含まれる同相成分 I および直交成分 Q がどの象限に属するかを判定する象限判定回路 121、受信パケットのプリアンプル中に含まれるリファレンスデータ R X との比較結果に基づいて、受信信号に含まれる直交成分 Q がビットエラーを起こしているかどうかを検出する排他的論理和回路 122、受信パケットのプリアンプル中に含まれるリファレンスデータ R Y との比較結果に基づいて、受信信号に含まれる同相成分 I がビットエラーを起こしているかどうかを検出する排他的論理和回路 123、第何象限で同相成分 I または直交成分 Q のどちらがビットエラーを起こしているかを判定することで、 $\pi/4$ のラインに対して位相の右回りのオフセットを検出する判定回路 124、第何象限で同相成分 I または直交成分 Q のどちらがビットエラーを起こしているかを判定することで、 $\pi/4$ のラインに対して位相の左回りのオフセットを検出する判定回路 125、 $\pi/4$ のラインに対する右回りのオフセットの頻度を算出する積算回路 126、 $\pi/4$ のラインに対する左回りのオフセットの頻度を算出する積算回路 127、 $\pi/4$ のラインに対する右回りのオフセットの頻度と左回りのオフセットの頻度とを減算する減算器 128、タイミング発生回路 130 から出力されるタイミングに同期して減算器 128 による減算結果をサンプリングするサンプルホールド回路 129 およびサンプルホールド回路 129 によるサンプリングタイミングおよび積算回路 126、127 のリセットタイミングを発生させるタイミング発生回路 130 が設けら

20

30

【0024】

そして、位相誤差検出回路 111 に入力されたベースバンド信号 B B X、B B Y は排他的論理和回路 122、123 に送られる。そして、排他的論理和回路 122、123 にてリファレンスデータ R X、R Y とそれぞれ排他的論理和をとることにより、ベースバンド信号 B B X、B B Y がリファレンスデータ R X、R Y と一致しているかどうか判定され、その判定結果は判定回路 124、125 に送られる。また、リファレンスデータ R X、R Y は象限判定回路 121 に入力される。そして、象限判定回路 121 は、リファレンスデータ R X、R Y を参照することにより、受信信号に含まれる同相成分 I および直交成分 Q がどの象限に属するかを判定する。

40

【0025】

図 4 は、図 2 の象限判定回路 121 の出力値を示す図である。

図 4 において、リファレンスデータ R X、R Y が (1, 1) の場合、受信信号は第 1 象限に属すると判定され、象限判定回路 121 から "1" が出力される。また、リファレンスデータ R X、R Y が (1, 0) の場合、受信信号は第 2 象限に属すると判定され、象限判定回路 121 から "2" が出力される。また、リファレンスデータ R X、R Y が (0, 0) の場合、受信信号は第 3 象限に属すると判定され、象限判定回路 121 から "3" が出力される。また、リファレンスデータ R X、R Y が (0, 1) の場合、受信信号は第 4 象限に属すると判定され、象限判定回路 121 から "4" が出力される。

【0026】

50

そして、象限判定回路 1 2 1 による判定結果および判定回路 1 2 4、1 2 5 による各判定結果は、判定回路 1 2 4、1 2 5 に入力される。そして、判定回路 1 2 4 は、第何象限で同相成分 I または直交成分 Q のどちらがビットエラーを起こしているかを判定することで、 $\pi/4$ のラインに対して位相の右回りのオフセットの頻度を求める。また、判定回路 1 2 5 は、第何象限で同相成分 I または直交成分 Q のどちらがビットエラーを起こしているかを判定することで、 $\pi/4$ のラインに対して位相の左回りのオフセットの頻度を求める。

【0027】

図 5 (a) は、図 2 の判定回路 1 2 4 の出力値を示す図、図 5 (b) は、図 2 の判定回路 1 2 5 の出力値を示す図である。

10

図 5 において、判定回路 1 2 4 では、入力 2 および入力 3 が (0 , 0) の場合、同相成分 I および直交成分 Q の両方ともビットエラーを起こしておらず、判定不可として “ 0 ” を出力する。また、入力 2 および入力 3 が (1 , 1) の場合、同相成分 I および直交成分 Q の両方ともビットエラーを起こしており、判定不可として “ 0 ” を出力する。

【0028】

また、入力 1 が “ 1 ” で入力 2 および入力 3 が (0 , 1) の場合、第 1 象限で直交成分 Q がビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして “ 1 ” を出力する。また、入力 1 が “ 1 ” で入力 2 および入力 3 が (1 , 0) の場合、第 1 象限で同相成分 I がビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして “ 0 ” を出力する。

20

【0029】

また、入力 1 が “ 2 ” で入力 2 および入力 3 が (0 , 1) の場合、第 2 象限で直交成分 Q がビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして “ 0 ” を出力する。また、入力 1 が “ 2 ” で入力 2 および入力 3 が (1 , 0) の場合、第 2 象限で同相成分 I がビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして “ 1 ” を出力する。

【0030】

また、入力 1 が “ 3 ” で入力 2 および入力 3 が (0 , 1) の場合、第 3 象限で直交成分 Q がビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして “ 1 ” を出力する。また、入力 1 が “ 3 ” で入力 2 および入力 3 が (1 , 0) の場合、第 3 象限で同相成分 I がビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして “ 0 ” を出力する。

30

【0031】

また、入力 1 が “ 4 ” で入力 2 および入力 3 が (0 , 1) の場合、第 4 象限で直交成分 Q がビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして “ 0 ” を出力する。また、入力 1 が “ 4 ” で入力 2 および入力 3 が (1 , 0) の場合、第 4 象限で同相成分 I がビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして “ 1 ” を出力する。

【0032】

一方、判定回路 1 2 5 では、入力 2 および入力 3 が (0 , 0) の場合、同相成分 I および直交成分 Q の両方ともビットエラーを起こしておらず、判定不可として “ 0 ” を出力する。また、入力 2 および入力 3 が (1 , 1) の場合、同相成分 I および直交成分 Q の両方ともビットエラーを起こしており、判定不可として “ 0 ” を出力する。

40

また、入力 1 が “ 1 ” で入力 2 および入力 3 が (0 , 1) の場合、第 1 象限で直交成分 Q がビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして “ 0 ” を出力する。また、入力 1 が “ 1 ” で入力 2 および入力 3 が (1 , 0) の場合、第 1 象限で同相成分 I がビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして “ 1 ” を出力する。

【0033】

また、入力 1 が “ 2 ” で入力 2 および入力 3 が (0 , 1) の場合、第 2 象限で直交成分

50

Qがビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして“1”を出力する。また、入力1が“2”で入力2および入力3が(1, 0)の場合、第2象限で同相成分Iがビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして“0”を出力する。

【0034】

また、入力1が“3”で入力2および入力3が(0, 1)の場合、第3象限で直交成分Qがビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして“0”を出力する。また、入力1が“3”で入力2および入力3が(1, 0)の場合、第3象限で同相成分Iがビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして“1”を出力する。

10

【0035】

また、入力1が“4”で入力2および入力3が(0, 1)の場合、第4象限で直交成分Qがビットエラーを起こしているため、位相は左回りの方向にオフセットしているとして“1”を出力する。また、入力1が“4”で入力2および入力3が(1, 0)の場合、第4象限で同相成分Iがビットエラーを起こしているため、位相は右回りの方向にオフセットしているとして“0”を出力する。

【0036】

そして、判定回路124にて位相の右回りのオフセットが検出されると、その検出結果は積算回路126に入力され、位相の右回りのオフセットの頻度が積算回路126にて算出される。また、判定回路125にて位相の左回りのオフセットが検出されると、その検出結果は積算回路127に入力され、位相の左回りのオフセットの頻度が積算回路127にて算出される。

20

【0037】

そして、積算回路126にて算出された位相の右回りのオフセットの頻度および積算回路127にて算出された位相の左回りのオフセットの頻度は減算器128に入力され、位相の右回りのオフセットの頻度と位相の左回りのオフセットの頻度とが減算器128にて減算される。そして、減算器128からの出力はサンプルホールド回路129に入力され、タイミング発生回路130にて発生されたサンプリングタイミングに従ってサンプリングされる。

【0038】

図6(a)はデータの packets 構成を示す図、図6(b)および図6(c)は送信電力を示す図、図6(d)は図2のタイミング発生回路130の出力信号を示す図である。

30

図6(a)において、受信 packets にはプリアンブルおよびデータが含まれている。そして、プリアンブルにはリファレンスデータRX、RYが含まれ、プリアンブル期間中に位相の調整が行われる。

【0039】

また、図6(b)において、プリアンブル期間中には送信電力を小さくし、データ期間中には送信電力を通常のレベルに戻すことができる。これにより、位相同期をとる期間のビットエラーを増大させることが可能となり、同相成分Iまたは直交成分Qのビットエラーに基づいて、搬送波再生における位相誤差を迅速に検出することが可能となる。

40

また、図6(c)において、プリアンブル期間中の送信電力を段階的に変化させることができる。これにより、検出する位相誤差の範囲を変化させることが可能となり、搬送波再生における位相誤差の検出精度を向上させることができる。

【0040】

また、図6(d)において、タイミング発生回路130は、サンプルホールド回路129によるサンプリングタイミングおよび積算回路126、127のリセットタイミングを一定の間隔で発生させ、サンプルホールド回路129および積算回路126、127に出力することができる。

なお、送受信機が有線制御ラインを共有する場合、ビットエラーレートに基づいてプリアンブル期間中の送信電力を受信機側から制御するようにしてもよい。すなわち、一定数

50

のビットエラーがプリアンブル期間中に起こらない場合、送信電力を下げるように有線制御ラインにて送信機に通知することにより、ビットエラーレートを増大させることができる。

【0041】

図7は、図1の位相誤差検出回路111のその他の構成例を示すブロック図である。

図7において、図3の位相誤差検出回路111の構成に加え、積算回路126、127の出力を互いに加算する加算器131および一定数のビットエラーがプリアンブル期間中に起こったかどうかを判定する判定回路132が設けられている。

そして、積算回路126にて算出された右回りのオフセットの頻度および積算回路127にて算出された左回りのオフセットの頻度は加算器131に入力され、受信信号のビットエラーの数が加算器131にて算出される。そして、加算器131にて算出されたビットエラーの数は判定回路132に入力され、タイミング発生回路130にて発生されたタイミングに従って一定数のビットエラーがプリアンブル期間中に起こったかが判定される。そして、判定回路132は、一定数のビットエラーがプリアンブル期間中に起こらない場合、送信電力を下げるように制御する送信電力制御信号をPSK送信機に通知する。

10

【0042】

図8は、本発明の一実施形態に係るPSK送信機の概略構成を示すブロック図である。

図8において、PSK送信機には、ベースバンド信号を発生させるベースバンド回路604、局部発振信号を発生させる局部発振器605、局部発振信号にベースバンド信号を混合することにより、ベースバンド信号を無線周波数にアップコンバートする混合器603、混合器603にて生成されたRF（無線周波数）信号を増幅するパワーアンプ602、パワーアンプ602にて増幅されたRF信号を空間に送出するアンテナ601および図7の判定回路132から送られた送信電力制御信号に基づいてパワーアンプ602のゲインを調整する送信電力制御回路606が設けられている。

20

【0043】

そして、ベースバンド回路604にて発生されたベースバンド信号は混合器603に送られ、局部発振器605にて生成された局部発振信号と混合されることにより、RF信号が生成される。そして、混合器603にて生成されたRF信号はパワーアンプ602に送られ、一定数のビットエラーがプリアンブル期間中に起こるように増幅された後、アンテナ601を介して空間に放出される。

30

【0044】

これにより、一定数のビットエラーがプリアンブル期間中に起こらない場合、送信電力を下げるように有線制御ラインにて送信機に通知することにより、ビットエラーレートを増大させることができ、回路構成の大規模化を抑制しつつ、搬送波を再生させるために必要なビットエラーレートを確保することが可能となる。

【図面の簡単な説明】

【0045】

【図1】本発明の一実施形態に係るPSK復調回路の概略構成を示すブロック図。

【図2】図1の位相誤差検出回路111の概略構成を示すブロック図。

40

【図3】QPSK受信信号におけるコンスタレーションを示す図。

【図4】図2の象限判定回路121の出力値を示す図。

【図5】図2の判定回路124、125の出力値を示す図。

【図6】データの packets 構成、送信電力および図2のタイミング発生回路130の出力信号を示す図。

【図7】図1の位相誤差検出回路111のその他の構成例を示すブロック図。

【図8】本発明の一実施形態に係るPSK送信機の概略構成を示すブロック図。

【符号の説明】

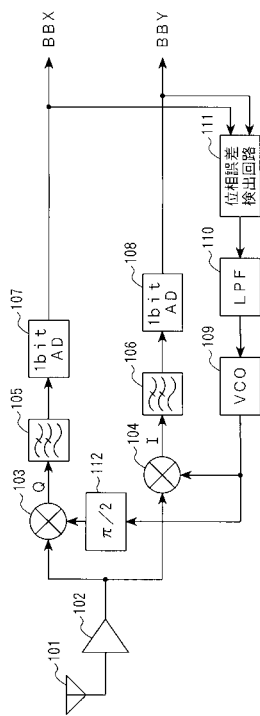
【0046】

101、601 アンテナ、102 ローノイズアンプ、103、104、603 混

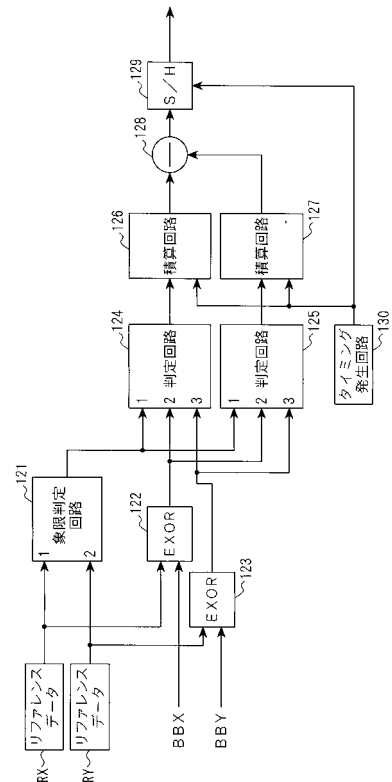
50

合器、105、106、110 ローパスフィルタ、107、108 1ビットA/Dコンバータ、109 電圧制御発振器、111 位相誤差検出回路、112 フェイズシフタ、121 象限判定回路、122、123 排他的論理和回路、124、125、132 判定回路、126、127 積算回路、128 減算器、129 サンプルホールド回路、130 タイミング発生回路、131 加算器、602 パワーアンプ、604 ベースバンド回路、605 局部発振器、606 送信電力制御回路

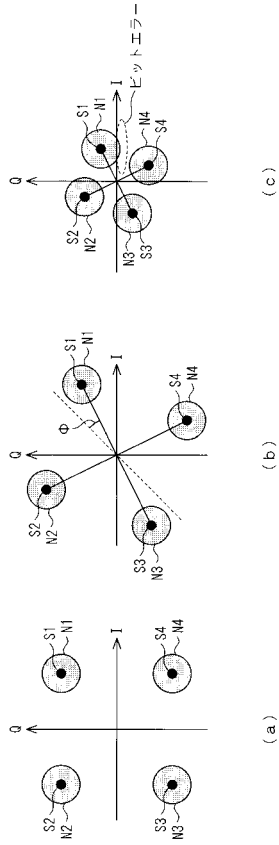
【図1】



【図2】



【 図 3 】



【 図 4 】

入力1	入力2	出力
1	1	1
1	0	2
0	0	3
0	1	4

【 図 5 】

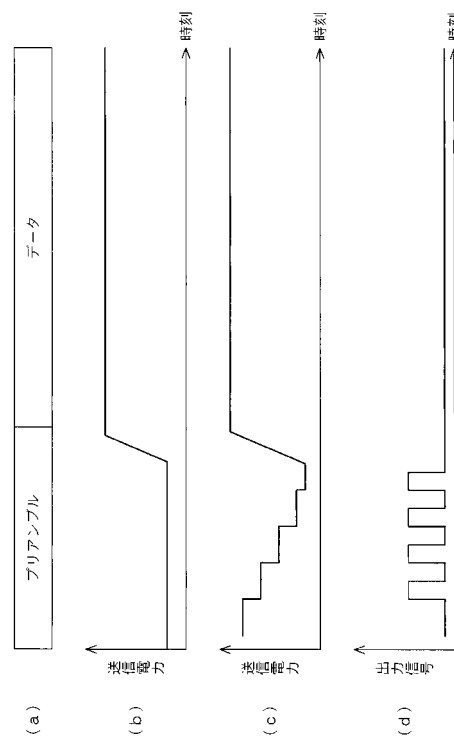
(a)

入力1	入力2	入力3	出力
-	0	0	0
-	1	1	0
1	0	1	1
1	1	0	0
2	0	1	0
2	1	0	1
3	0	1	1
3	1	0	0
4	0	1	0
4	1	0	1

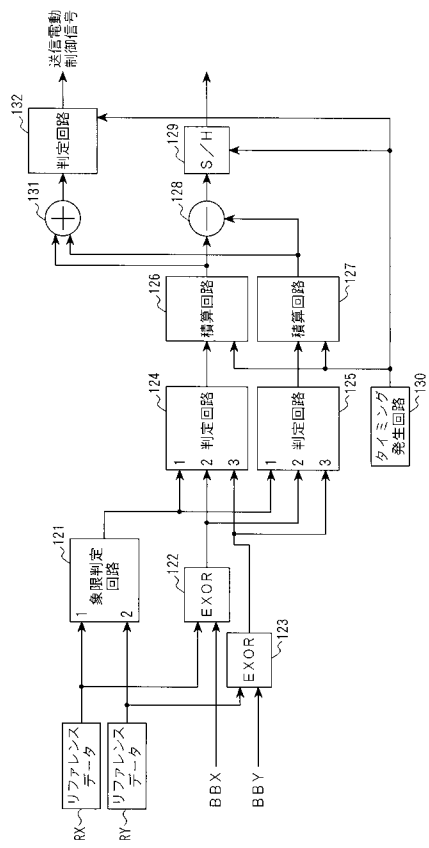
(b)

入力1	入力2	入力3	出力
-	0	0	0
-	1	1	0
1	0	1	0
1	1	0	1
2	0	1	1
2	1	0	0
3	0	1	0
3	1	0	1
4	0	1	1
4	1	0	0

【 図 6 】



【 図 7 】



【 図 8 】

