

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
10 juin 2004 (10.06.2004)

PCT

(10) Numéro de publication internationale
WO 2004/049724 A1

(51) Classification internationale des brevets⁷ : H04N 7/30,
H03M 7/40, G06T 9/00

(74) Mandataire : BREESE, Pierre; BREESE-MAJEROW-
ICZ, 3, avenue de l'Opéra, F-75001 Paris (FR).

(21) Numéro de la demande internationale :
PCT/FR2003/050124

(81) États désignés (*national*) : AE, AG, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,
DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(22) Date de dépôt international :
19 novembre 2003 (19.11.2003)

(25) Langue de dépôt : français

(26) Langue de publication : français

(84) États désignés (*régional*) : brevet ARIPO (BW, GH, GM,
KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet
eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,
TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(30) Données relatives à la priorité :
02/14468 19 novembre 2002 (19.11.2002) FR

(71) Déposant (*pour tous les États désignés sauf US*) :
TAK'ASIC [FR/FR]; 8, Parc Ariane, Immeuble Jupiter,
F-78284 Guyancourt Cedex (FR).

Publiée :

- avec rapport de recherche internationale
- avant l'expiration du délai prévu pour la modification des
revendications, sera republiée si des modifications sont re-
çues

(72) Inventeurs; et

(75) Inventeurs/Déposants (*pour US seulement*) :
VERNIERE, Jean-Paul [FR/FR]; 11, avenue Foch,
F-78290 Croissy sur seine (FR). GAUTIER, Philippe
[FR/FR]; 17, rue des Clos Saint-Marcel, F-92330 Sceaux
(FR). PAUCARD, Bruno [FR/FR]; 13, avenue Le Nôtre,
F-78160 Marly le Roi (FR). FRESNEAU, David [FR/FR];
8, rue des Sources, F-78100 Saint Germain en Laye (FR).

En ce qui concerne les codes à deux lettres et autres abrégia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.

(54) Title: JBIG ARITHMETIC ENCODER

(54) Titre : CODEUR ARITHMETIQUE JBIG

(57) Abstract: The invention concerns an arithmetic encoding method for a hardware architecture comprising a register A containing the size of the current interval, a register C containing the lower boundary of the current interval and a register CX containing the context required for arithmetic encoding, and wherein the value contained in said register A is renormalized if it is less than a predefined value. The method is characterized in that said renormalization consists in: calculating in parallel N A_i values, each value resulting from multiplying the value contained in register A by an integer; determining the A_i value higher than said predefined value and not greater than all the A_i values higher than said predefined value; recording the A_i value determined at the preceding step in register A.

(57) Abrégé : L'invention concerne un procédé de codage arithmétique par une architecture matérielle comprenant notamment un registre A contenant la taille de l'intervalle courant, un registre C contenant la borne inférieure de l'intervalle courant et un registre CX contenant le contexte nécessaire au codage arithmétique, et où la valeur contenue dans ledit registre A est renormalisée si elle est inférieure à une valeur prédéfinie, caractérisé en ce que ladite renormalisation consiste à : calculer en parallèle N valeurs A_i , chaque valeur résultant de la multiplication de la valeur contenue dans le registre A par un entier ; déterminer la valeur A_i supérieure à ladite valeur prédéfinie et inférieure ou égale à toutes les valeurs A_i supérieures à ladite valeur prédéfinie ; enregistrer la valeur A_i déterminée à l'étape précédente dans le registre A.



WO 2004/049724 A1

CODEUR ARITHMETIQUE JBIG

La présente invention se rapporte au domaine du codage d'image numérique, en particulier du codage d'image sans pertes, dont un des exemples est la norme JBIG.

La présente invention se rapporte plus particulièrement à la partie du codage appelée codage arithmétique et au procédé de codage mis en œuvre.

10

L'art antérieur connaît déjà, par la demande de brevet américain US 5668737, un procédé de codage arithmétique parallélisé permettant de réduire le temps de codage. Un procédé de calcul de données à haute vitesse et de compression de données comprend un module d'entrée pour recevoir un flux de données d'entrée d'un port d'entrée. Un encodeur est couplé à un module d'entrée et effectue un codage arithmétique pour encoder le flux de données d'entrée. Un module de sortie fournit un flux de données encodées de l'encodeur à un port de sortie. Pendant le processus d'encodage, l'encodeur effectue une combinaison d'étapes de calcul en parallèle et en série sur les données du flux de données d'entrée. Le résultat est que le temps de cycle de calcul pour le processus d'encodage est réduit de façon significative. Ce procédé de l'art antérieur ne concerne que la partie spécifique au codage arithmétique. Ce codage est annexé de processus complémentaires qui peuvent également être parallélisés. Ce document ne concerne pas ces parties annexes.

20
25
30

L'art antérieur connaît également, par le document « Parallel design of arithmetic coding » IEEE PROCEEDINGS : COMPUTERS AND DIGITAL TECHNIQUES (JIANG et AL.), une description et une implémentation d'une architecture

parallèle pour le codage arithmétique. Les symboles d'entrée sont divisés en groupes et traités en parallèle, ce qui augmente la vitesse de traitement du codage. Ce codage parallèle est aussi implémenté sur VLSI en utilisant une technique VHDL. Ce document concerne bien le codage arithmétique et son traitement parallèle. Cependant, il ne mentionne à aucun moment l'étape nécessaire de renormalisation des registres de taille d'intervalle qui est l'objet de la présente invention. Seules les données symboles sont traitées en parallèle.

L'art antérieur connaît également, par le document « A parallel architecture for arithmetic coding and its VLSI implementation » CIRCUITS AND SYSTEM 1996 (HORNG-YEONG LEE et AL.), un algorithme de traitement parallèle pour l'implémentation en temps réel du codage arithmétique. L'implémentation comprend une matrice de traitement parallèle mise sous forme d'arbre. A chaque cycle, un groupe de symboles d'entrée peut être codé, ce qui augmente la vitesse du codage arithmétique. Ce document concerne bien le codage arithmétique et son traitement parallèle. Il mentionne dans la troisième partie la notion de renormalisation des intervalles, son principe et son utilité. Il donne par ailleurs l'algorithme de renormalisation pour les tailles d'intervalle. Or, cet algorithme fait un traitement itératif de l'intervalle à renormaliser et n'est pas traité de façon parallèle. Le traitement en parallèle de ce type de tâche annexe au codage est par ailleurs l'objet essentiel de la présente invention.

La présente invention entend remédier aux inconvénients de l'art antérieur en proposant un procédé de codage comportant une étape de renormalisation particulièrement optimisée.

A cet effet, l'invention concerne dans son acception la plus générale un procédé de codage arithmétique par une architecture matérielle comprenant notamment un registre A contenant la taille de l'intervalle courant, un registre C contenant la borne inférieure de l'intervalle courant et un registre CX contenant le contexte nécessaire au codage arithmétique, et où la valeur contenue dans ledit registre A est renormalisée si elle est inférieure à une valeur prédéfinie caractérisé en ce que ladite renormalisation consiste à

- calculer en parallèle N valeurs A_i , chaque valeur résultant de la multiplication de la valeur contenue dans le registre A par un entier ;
- déterminer la valeur A_i supérieure à ladite valeur prédéfinie et inférieure ou égale à toutes les valeurs A_i supérieures à ladite valeur prédéfinie ;
- enregistrer la valeur A_i déterminée à l'étape précédente dans le registre A.

De préférence, ladite valeur prédéfinie est 0x8000.

Avantageusement, lesdits entiers utilisés pour calculer les A_i sont des multiples croissants de 2.

Selon une variante particulière, le procédé conforme à l'invention comporte en outre une étape consistant calculer la nouvelle valeur du symbole le plus probable (MPS) du registre CX en effectuant une opération de « OU EXCLUSIF » sur les deux valeurs suivantes :

- la valeur de commutation correspondant à l'état du registre CX, et
- la valeur du symbole le plus probable (MPS) du registre CX.

On comprendra mieux la présente invention à l'aide de la description, faite ci-après à titre purement explicatif, d'un mode de réalisation de l'invention, en référence aux figures annexées :

5 - La figure 1 représente le mécanisme de doublement des registres **A** et **C** ;

 - La figure 2 illustre le procédé conforme à l'invention.

10 Un codeur arithmétique standard comporte une première étape de subdivision d'intervalle.

 La subdivision d'intervalle selon la probabilité et de manière récursive est la base du codage arithmétique. Conceptuellement, une séquence de symboles d'entrée est associée à un nombre réel x sur l'intervalle $(0,1)$ où le crochet à l'extrémité d'un intervalle signifie que la valeur extrême est incluse et la parenthèse signifie que la valeur extrême est excluse. On ne transmet alors plus la séquence originale mais l'expression binaire de x .

20 La portion de $(0,1)$ dans laquelle on sait que x est situé après avoir codé une séquence initiale de symboles est appelée intervalle de codage courant. Pour chaque entrée binaire, l'intervalle de codage courant est divisé en deux sous-intervalles dont les tailles sont proportionnelles aux probabilités relatives des occurrences de chaque valeur pour le symbole. Le nouvel intervalle de codage courant est le sous-intervalle associé à la valeur effectivement attribuée au symbole. Dans un codeur, la connaissance de l'intervalle de codage courant est contenue dans une variable donnant sa taille et une variable donnant sa base (plus petite valeur).
30 Le flux de sortie est obtenu par la variable donnant la base.

 Dans la partition de l'intervalle courant en deux sous-intervalles, le sous-intervalle pour le symbole le

moins probable (LPS) est placé au-dessus du sous-intervalle pour le symbole le plus probable (MPS). Ainsi, quand le LPS est codé, on ajoute le sous-intervalle MPS à la base. Cette convention de codage requiert que les symboles soient reconnus comme soit MPS, soit LPS et non comme 0 ou 1. Par conséquent, la taille de l'intervalle LPS et la signification du MPS pour chaque symbole doivent être connues pour coder ledit symbole.

Comme le flux de code pointe toujours sur un nombre réel dans l'intervalle de codage courant, le processus de décodage se rapporte à la question de déterminer, à chaque décision, quel sous-intervalle est pointé par la chaîne codée. Ceci est également fait récursivement en utilisant le même processus de subdivision d'intervalle que dans le codeur. Chaque fois qu'une décision est décodée, le décodeur soustrait au flux de code chaque intervalle ajouté par le codeur. Ainsi, le flux de code dans le décodeur est un pointeur sur l'intervalle courant relatif à la base de l'intervalle courant.

Comme le processus de codage implique l'addition de fractions binaires plutôt que la concaténation de mots de code entiers, les décisions binaires les plus probables peuvent souvent être codées à un coût inférieur à un bit par décision.

Il est possible de réaliser ces opérations de codage en utilisant l'arithmétique des entiers à précision fixe. Un registre **A** contient la taille de l'intervalle de codage courant et ce registre est normalisé de telle sorte qu'il est toujours contenu dans l'intervalle [0x8000,0x10000] où le préfixe « 0x » caractérise un entier hexadécimal. Si le résultat du codage d'un symbole **A** tombe temporairement sous la valeur 0x8000, on double ledit résultat le nombre de fois nécessaire pour qu'il soit supérieur ou égal à 0x8000. Ces doublements sont appelés « renormalisations ».

Un deuxième registre **C** contient les bits du flux de code correspondant aux décisions d'intervalle précédentes. Le registre **C** est aussi doublé chaque fois que le registre **A** est doublé. Pour éviter une congestion du registre **C**, un octet est périodiquement retiré, ledit octet étant composé des bits de plus grands poids de **C** et placé dans une mémoire tampon extérieure. Le contenu de cette mémoire tampon ne peut être envoyé sans que d'éventuels reports de retenue ne soient effectués.

10

Le mécanisme de doublement des registres **A** et **C** utilisé habituellement est illustré Figure 1. Dans ce mécanisme habituel, il convient de répéter la boucle autant de fois que nécessaire, ce qui peut s'avérer gourmand en temps, notamment lorsque l'intervalle choisi au pas précédent est celui correspondant au LPS, car il est alors de taille réduite par rapport à l'intervalle qui le précédait. Afin d'éviter le coût de temps, qui peut être important et qui est surtout non maîtrisé, le procédé selon l'invention propose de paralléliser cette étape afin de garantir un nombre de coups d'horloge maximal pour la réaliser.

15

Le procédé selon l'invention, illustré figure 2, utilise une architecture comprenant une pluralité de modules de calcul placés en parallèle par rapport au flux de données entrant. La valeur du registre **A** est fournie en entrée de chacun desdits modules, simultanément. Chaque module de calcul réalise le calcul pour lequel il est programmé et fournit un résultat **A_i**. Les opérations réalisées par les modules de calcul sont de préférence une multiplication du registre **A** par un entier. Dans le cas d'un codage arithmétique JBIG, chaque module de calcul réalise une multiplication du registre **A** par un multiple de 2. On obtient ainsi N valeurs **A_i**. Un opérateur logique standard

25

30

permet de déterminer quelle est la valeur **Ai** minimale, supérieure à seuil prédéfini par l'utilisateur. Ledit seuil est « 0x8000 » dans le cas d'un codage arithmétique JBIG. La valeur **Ai** déterminée est affectée au nouveau registre **A**.
5 L'opération réalisée sur le registre **A** par le module qui a fourni la valeur **Ai** choisie est réalisée à nouveau sur ledit registre **C**.

Le procédé selon l'invention utilise un registre **CX**
10 qui contient le contexte nécessaire au codage arithmétique. On définit alors l'état du registre : **ST[CX]**. Cet état est une valeur comprise entre 0 et 113 et est codée sur sept bits. A chaque état **ST[CX]** du registre **CX** correspond une valeur de commutation **SWTCH[ST[CX]]**. Si **SWTCH[ST[CX]]** vaut 1,
15 **MPS[CX]** est inversé.

L'invention est décrite dans ce qui précède à titre d'exemple. Il est entendu que l'homme du métier est à même de réaliser différentes variantes de l'invention sans pour
20 autant sortir du cadre du brevet.

REVENDICATIONS

1. Procédé de codage arithmétique par une architecture matérielle comprenant notamment un registre A
5 contenant la taille de l'intervalle courant, un registre C contenant la borne inférieure de l'intervalle courant et un registre CX contenant le contexte nécessaire au codage arithmétique, et où la valeur contenue dans ledit registre A est renormalisée si elle est inférieure à une valeur
10 prédéfinie, caractérisé en ce que ladite renormalisation consiste à :

- calculer en parallèle N valeurs A_i , chaque valeur résultant de la multiplication de la valeur contenue dans le registre A par un entier ;

15 • déterminer la valeur A_i supérieure à ladite valeur prédéfinie et inférieure ou égale à toutes les valeurs A_i supérieures à ladite valeur prédéfinie ;

- enregistrer la valeur A_i déterminée à l'étape précédente dans le registre A.

20

2. Procédé de codage arithmétique selon la revendication 1, caractérisé en ce que ladite valeur prédéfinie est 0x8000.

25 3. Procédé de codage arithmétique selon la revendication 1 ou 2, caractérisé en ce que lesdits entiers utilisés pour calculer les A_i sont des multiples croissants de 2.

30 4. Procédé de codage arithmétique selon l'une des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape consistant calculer la nouvelle valeur du symbole le plus probable (MPS) du registre CX en effectuant

une opération de « OU EXCLUSIF » sur les deux valeurs suivantes :

- la valeur de commutation correspondant à l'état du registre CX, et
- 5 • la valeur du symbole le plus probable (MPS) du registre CX.

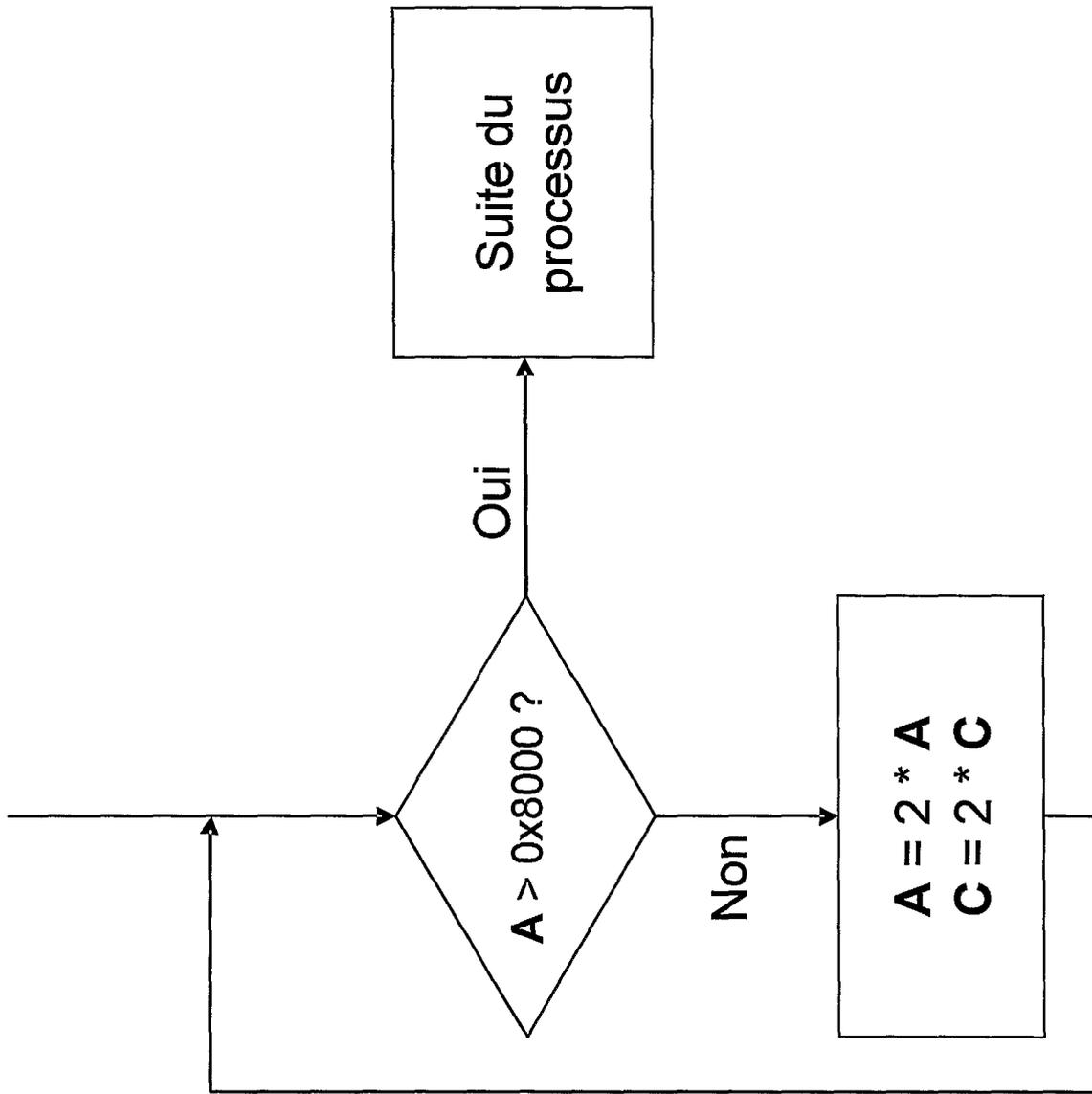


Figure 1

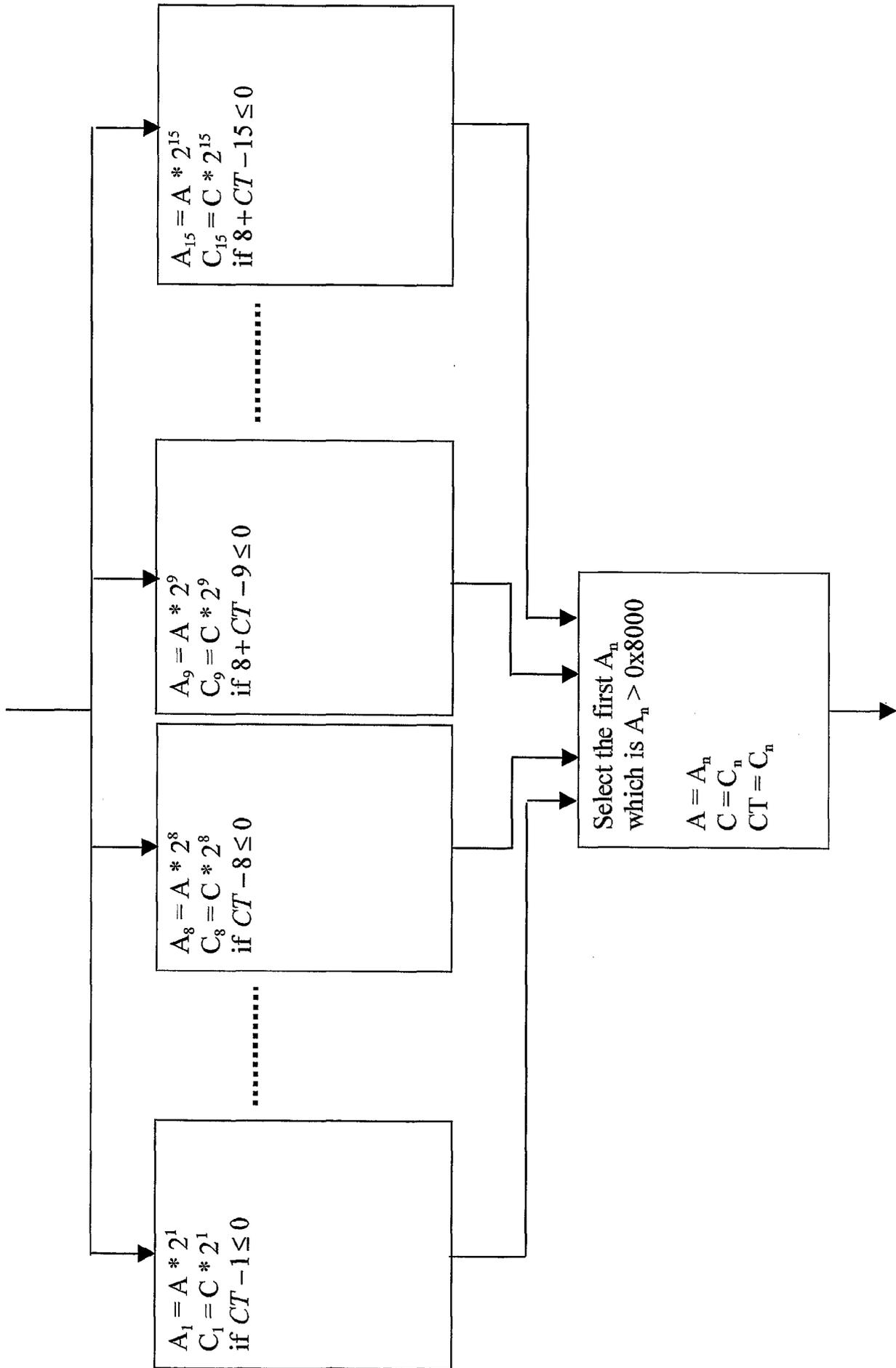


Figure 2

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 03/50124

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H04N7/30 H03M7/40 G06T9/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04N H03M G06T

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>JIANG J ET AL: "Parallel design of arithmetic coding" IEE PROCEEDINGS: COMPUTERS AND DIGITAL TECHNIQUES, IEE, GB, vol. 141, no. 6, 1 November 1994 (1994-11-01), pages 327-33, XP006001618 ISSN: 1350-2387 the whole document</p> <p style="text-align: center;">----- -/--</p>	1-4

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

8 April 2004

Date of mailing of the international search report

27/04/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
 Fax: (+31-70) 340-3016

Authorized officer

Georgiou, G

INTERNATIONAL SEARCH REPORT

Internationa Application No
PCT/FR 03/50124

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>HORNG-YEONG LEE ET AL: "A parallel architecture for arithmetic coding and its VLSI implementation" CIRCUITS AND SYSTEMS, 1996., IEEE 39TH MIDWEST SYMPOSIUM ON AMES, IA, USA 18-21 AUG. 1996, NEW YORK, NY, USA, IEEE, US, 18 August 1996 (1996-08-18), pages 1309-1312, XP010222853 ISBN: 0-7803-3636-4 the whole document</p>	1-4
A	<p style="text-align: center;">-----</p> <p>"INFORMATION TECHNOLOGY - CODED REPRESENTATION OF PICTURE AND AUDIO INFORMATION - PROGRESSIVE BI-LEVEL IMAGE COMPRESSION" ITU-T RECOMMENDATION T.82, XX, XX, March 1993 (1993-03), pages A-B, I-IX, 1-71, XP000994688 paragraph '06.8!; figures 25, 26, 29</p>	1-4
A	<p style="text-align: center;">-----</p> <p>SLATTERY M J ET AL: "THE QX-CODER" IBM JOURNAL OF RESEARCH AND DEVELOPMENT, IBM CORPORATION, ARMONK, US, vol. 42, no. 6, November 1998 (1998-11), pages 767-784, XP000952031 ISSN: 0018-8646 the whole document</p>	1-4
A	<p style="text-align: center;">-----</p> <p>US 5 668 737 A (ILER JOHN) 16 September 1997 (1997-09-16) cited in the application column 1, line 53 - line 59 column 3, line 48 - column 4, line 7; figure 4</p> <p style="text-align: center;">-----</p>	1-4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 03/50124

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5668737	A	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR 03/50124

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 H04N7/30 H03M7/40 G06T9/00

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H04N H03M G06T

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	JIANG J ET AL: "Parallel design of arithmetic coding" IEE PROCEEDINGS: COMPUTERS AND DIGITAL TECHNIQUES, IEE, GB, vol. 141, no. 6, 1 novembre 1994 (1994-11-01), pages 327-33, XP006001618 ISSN: 1350-2387 le document en entier ----- -/--	1-4

 Voir la suite du cadre C pour la fin de la liste des documents

 Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

A document définissant l'état général de la technique, non considéré comme particulièrement pertinent

E document antérieur, mais publié à la date de dépôt international ou après cette date

L document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

O document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

P document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

& document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

8 avril 2004

Date d'expédition du présent rapport de recherche internationale

27/04/2004

Nom et adresse postale de l'administration chargée de la recherche internationale

 Office Européen des Brevets, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Georgiou, G

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR 03/50124

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	<p>HORNG-YEONG LEE ET AL: "A parallel architecture for arithmetic coding and its VLSI implementation" CIRCUITS AND SYSTEMS, 1996., IEEE 39TH MIDWEST SYMPOSIUM ON AMES, IA, USA 18-21 AUG. 1996, NEW YORK, NY, USA, IEEE, US, 18 août 1996 (1996-08-18), pages 1309-1312, XP010222853 ISBN: 0-7803-3636-4 le document en entier</p>	1-4
A	<p>"INFORMATION TECHNOLOGY - CODED REPRESENTATION OF PICTURE AND AUDIO INFORMATION - PROGRESSIVE BI-LEVEL IMAGE COMPRESSION" ITU-T RECOMMENDATION T.82, XX, XX, mars 1993 (1993-03), pages A-B, I-IX, 1-71, XP000994688 alinéa '06.8!; figures 25,26,29</p>	1-4
A	<p>SLATTERY M J ET AL: "THE QX-CODER" IBM JOURNAL OF RESEARCH AND DEVELOPMENT, IBM CORPORATION, ARMONK, US, vol. 42, no. 6, novembre 1998 (1998-11), pages 767-784, XP000952031 ISSN: 0018-8646 le document en entier</p>	1-4
A	<p>US 5 668 737 A (ILER JOHN) 16 septembre 1997 (1997-09-16) cité dans la demande colonne 1, ligne 53 - ligne 59 colonne 3, ligne 48 - colonne 4, ligne 7; figure 4.</p>	1-4

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No

PCT/FR 03/50124

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5668737	A	16-09-1997	AUCUN