

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/407	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0200893
(21) 출원번호 10-1995-0046099	(65) 공개번호 특1996-0025776	(24) 등록일자 1999년03월 11일
(22) 출원일자 1995년12월01일	(43) 공개일자 1996년07월20일	
(30) 우선권 주장 94-299930 1994년 12월 02일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시카이가이샤 다니구찌 이찌로오, 기타오카 다카시  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 수와 마코또  
일본국 효고겐 이따미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시카이가이샤 기다이따미세이사꾸쇼나이

(74) 대리인 이화익

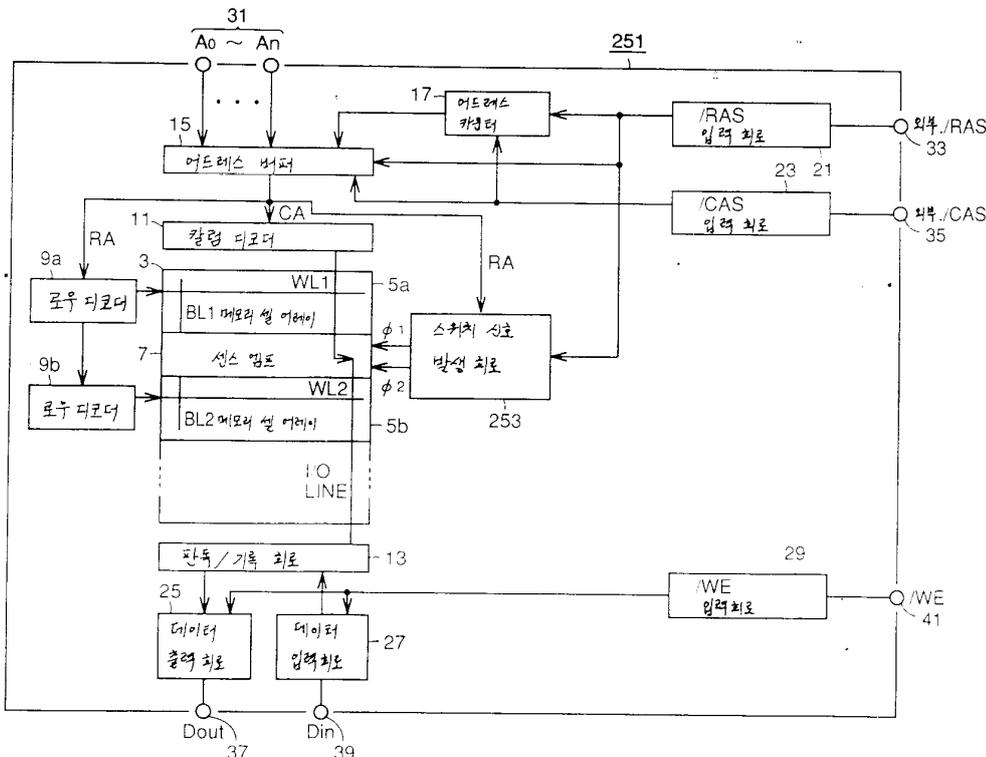
심사관 : 오재욱

(54) 반도체 기억장치

요약

반도체 기억장치 (25)는 세어드 센스앰프 방식의 센스 앰프(7)를 구비한다.  
센스앰프 (7)의 접속 트랜지스터의 제어전극에 제어 신호  $\phi_1$ ,  $\phi_2$ 가 공급되도록 스위칭 신호 발생회로 (253)가 설치된다.  
스위칭 신호 발생회로 (253)는 외부 /RAS 신호가 상승한 후, 일정 기간만 승압된 제어신호  $\phi_1$ ,  $\phi_2$ 를 센스앰프 7의 접속 트랜지스터의 제어전극에 공급한다.  
따라서, 항상 승압된 제어신호  $\phi_1$ ,  $\phi_2$  가 공급되는 경우에 비하여, 소비 전력이 저감된다.

대표도



명세서

[발명의 명칭]

## 반도체 기억장치

## [도면의 간단한 설명]

제1도는 본 발명의 일 실시예에 의한 반도체 기억 장치로서의 DRAM의 개략 블록도.

제2도는 제1도의 스위칭 신호 발생회로의 회로도.

제3도는 워드선 WL1이 선택된 경우에 제2도에 나타난 스위칭 신호 발생 회로의 동작을 설명하기 위한 타임 차트.

제4도는 워드선 WL2이 선택된 경우에 제2도에 나타난 스위칭 신호 발생회로의 동작을 설명하기 위한 타임 차트.

제5도는 본 발명의 다른 실시예에 의한 반도체 기억장치로서의 DRAM의 개략 블록도.

제6도는 제5도의 스위칭 신호발생 회로의 회로도.

제7도는 제6도의 스위칭 신호 발생회로의 동작을 설명하기 위한 타임 차트.

제8도는 본 발명의 또 다른 실시예에 의한 반도체 기억장치로서의 DRAM의 스위칭 신호 발생회로를 나타낸 도면.

제9도는 제8도에 나타난 스위칭 신호 발생회로의 동작을 설명하기 위한 타임차트.

제10도는 종래의 반도체 기억장치로서의 DRAM의 개략 블록도.

제11도는 제10도의 센스앰프의 회로도.

제12도는 제10도의 스위칭 신호 발생회로의 회로도.

제13도는 제12도에 나타난 스위칭 신호 발생회로의 동작을 설명하기 위한 타임 차트.

제14도는 종래의 반도체 기억장치의 다른 DRAM의 개략 블록도.

제15도는 제14도의 셀프 리프레시 신호 발생회로 및 내부 /RAS 발생회로의 내부 구성을 나타낸 블록도.

제16도는 제15도에 나타난 셀프 리프레시 신호 발생회로 및 내부 /RAS발생 회로의 동작을 설명하기 위한 타임차트.

## [발명의 상세한 설명]

본 발명은 반도체 기억장치에 관한 것으로, 특히 저 소비 전력화를 가능하게 한 반도체 기억장치에 관한 것이다.

제10도는 종래의 반도체 기억장치의 예로서의 다이내믹 RAM (이하, DRAM 이라 한다)의 개략 블록도이다.

제10도를 참조하면, DRAM (1)은 메모리 셀 어레이부 (3)와, 로우 디코더(9a, 9b)와, 칼럼 디코더(11)와, 판독/기록 회로(13)와, 어드레스 버퍼(15)와, 어드레스 카운터 (17)와, 스위치 신호 발생회로(19)와, /RAS 입력회로(21)와, /CAS 입력회로(23)와, 데이터 출력회로(25)와, 데이터 입력회로(27)와, /WE 입력회로(29)를 포함한다.

또한, DRAM (1)은 어드레스 입력단자 군(31)과, 외부 /RAS신호 입력단자(33)와, 외부 /CAS 신호 입력단자(35)와, 데이터 출력단자(37)와, 데이터 입력단자(39)와 /WE 신호 입력단자(41)를 포함한다.

메모리셀 어레이부 (3)는 메모리 셀 어레이(5a, 5b)와 센스앰프 (7)를 포함한다.

메모리셀 어레이 (5a)와 메모리셀 어레이 (5b)의 사이에는 센스앰프(7)가 설치된다.

또, 메모리셀 어레이 (5a, 5b)의 각각은 하나의 트랜지스터와 하나의 커패시터로 구성되는 메모리셀을 복수개 포함하고, 그 메모리 셀은 어레이상으로 배설되어 있다.

그리고, 행 방향으로 워드선이 각각의 메모리 셀과 접속되어 열 방향으로 비트선이 각각의 메모리셀과 접속되어 있다.

/RAS 입력회로 (21)에는 외부 /RAS 신호 입력단자 (33)에서 외부 /RAS 신호가 입력되고, 그 출력은 어드레스 카운터 (17), 어드레스 버퍼 (15) 및 스위치 신호발생회로 (19)에 공급된다.

/CAS 입력회로 (23)에는 외부 /CAS 신호 입력단자 (35)에서 외부 /CAS 신호가 입력되고, 그 출력은 어드레스 카운터 (17) 및 어드레스 버퍼 (15)에 공급된다.

어드레스 카운터 (17)의 출력은 어드레스 버퍼 (15)에 공급된다. 어드레스 버퍼(15)에는 어드레스 입력단자 군 (31)에서 어드레스 신호(Ao~An)가 공급되고, 어드레스 버퍼 (15)는 로우 어드레스 (RA)를 로우 디코더(9a, 9b)의 각각 및 스위치 신호 발생회로 (19)에 공급한다.

또한, 어드레스 버퍼 (15)는 칼럼 어드레스 (CA)를 칼럼 디코더 (11)에 공급한다.

로우 디코더 (9a)는 메모리셀 어레이 (5a)의 워드선 WL을 로우 어드레스 RA1에 따라 선택하고, 로우 디코더 (9b)는 메모리셀 어레이 (5b)의 워드선 WL을 로우어드레스 RA2에 따라 선택한다.

칼럼 디코더 (11)는 메모리셀 어레이 (5a, 5b)의 각각의 비트선 BL(쌍)을 칼럼어드레스 CA에 따라 선택한다.

선택된 비트선 BL은 I/O 선에 접속된다.

I/O 선은 판독/기록 회로 (13)에 접속되어 있다.

판독/기록 회로 (13)에는 데이터 입력회로 (27)의 출력이 공급되고, 판독/기록 회로(13)의 출력은 데이터 출력 회로 (25)에 공급된다.

데이터 출력 회로 (25) 및 데이터 입력회로 (27)에는 /WE 입력회로 (29)의 출력이 공급된다.

/WE 입력회로 (29)에는 /WE 신호 입력단자 (41)에서 라이트 이네이블 /WE 신호가 공급된다.

따라서, /WE 입력회로 (29)는 기록을 위한 라이트 이네이블 /WE 신호를 특히 데이터 입력회로 (27)에 공급하고, 데이터 입력회로(27)가 데이터 입력단자 (39)에서 공급되는 데이터를 판독/ 기록회로 (13)에 공급한다.

이와 반대로, /WE 입력회로 (29)는 데이터 출력 회로 (25)가 판독/기록 회로(13)에서 공급되는 판독된 데이터를 데이터 출력단자 (37)에 공급하도록 동작한다.

제11도는 제10도의 센스앰프의 회로도이고, 제12도는 제10도의 스위치신호 발생회로의 회로도이다.

제11도를 참조하면, 센스앰프 (SA)(7)는 N채널 MOS 트랜지스터 (이하, NMOS라 한다.) Q5, Q6, Q7 및 P채널 MOS 트랜지스터 (이하, PMOS라 한다.) Q8, Q9, Q10 에 의해 구성된다.

그리고, 센스앰프 (7)는 메모리셀 어레이 (5a)의 비트선 쌍 BL1, /BL1에 접속트랜지스터 Q1, Q2 를 통하여 접속되어 메모리셀 어레이 (5b)의 비트선쌍 BL2, /BL2에 접속 트랜지스터 Q3,Q4를 통하여 접속된다.

접속 트랜지스터 Q1,Q2,Q3,Q4 는 NMOS 이다.

이와 같이, 하나의 센스앰프에 두 개의 비트선 쌍이 접속 트랜지스터를 통하여 접속되는 구성은 세어드 (shared) 센스앰프 방식으로 불리게 된다.

그리고, 이 세어드 센스앰프 방식의 센스앰프는 근년의 대용량 DRAM에서 사용되고 있다.

그런데, 비트선 BL1과 워드선 WL1에는 하나의 트랜지스터 및 하나의 커패시터로 구성에서 되는 메모리 셀 MC1이 접속되고, 비트선 BL2과 워드선 WL2에는 메모리셀 MC2이 접속되어 있다.

센스앰프 (7)는 이와 같은 메모리 셀 MC1, MC2에 대하여 데이터의 기록,기억 또는 판독을 행한다.

그리고, 판독 등이 행하여 지기 위해서는, 비트선 쌍 BL1, /BL1 또는 비트선 쌍 BL2, /BL2 중의 어느 것이 센스앰프 (7)에 접속될 필요가 있다.

그 때문에, 접속 트랜지스터 Q1, Q2 의 각각의 제어전극에 제어신호  $\phi_1$ 가 제공 되어 접속 트랜지스터 Q3, Q4의 각각의 제어 전극에 제어신호  $\phi_2$  가 제공되어 있다.

메모리셀 MC1, MC2의 각각에 데이터가 빠짐없이 기록되기 위해서는 센스앰프(7)는 전원 전위 레벨까지 증폭된 신호를 접속 트랜지스터 Q1, Q2, Q3, Q4를 통하여도, 전위 저하를 일으키지 않고 메모리 셀 MC1, MC2 까지 전송될 필요가 있다.

접속 트랜지스터 Q1, Q2, Q3, Q4는 NMOS로 구성되어 있기 때문에, 접속 트랜지스터에 입력되는 제어신호  $\phi_1$ ,  $\phi_2$ 는 전원전위 레벨 이상으로 승압될 필요가 생긴다.

여기에서 스위치 신호 발생회로 (19)는 제12도에 도시된 차지 펌프회로 (103)와 차지 펌프회로 (107)를 포함한다.

또한, 스위치 신호 발생회로 (19)는 인버터 (101a, 101b, 101c)와, 발진회로 (105)와, PMOS (109a, 109 b)와, NMOS (111a, 111b와, NAND 게이트 (113)를 포함한다.

차지 펌프회로 (103)는 /RAS 입력회로 (21)에서 제공되는 외부 /RAS에 따라서 동작한다.

차지 펌프회로 (107)는 발진 회로 (105)가 출력하는 신호  $\phi_c$ 에 따라서 항상 동작하고 있다.

차지 펌프회로 (103) 및 차지 펌프회로 (107)에 의하여 승압신호  $\phi_H$  가 발생하고 있다.

승압신호  $\phi_H$  는 PMOS (109b)를 통하여 제어신호  $\phi_1$  또는  $\phi_2$  로서 출력된다.

즉, 외부 /RAS 및 로우 어드레스 RA의 신호레벨에 따라서 NAND 게이트 (113)는 H 레벨의 신호를 출력한다.

이에 의해, NMOS (111a)는 온(ON)상태로 되고, NMOS (111b)는 오프(OFF)상태로 된다.

그리고, NMOS (111a)를 통하여 접지 전위인 L 레벨의 신호가 PMOS (109b)의 제어전극에 공급되어 PMOS (109b)는 온 상태로 된다.

따라서, 승압신호  $\phi_H$ 가 PMOS (109b)를 통하여 PMOS (109a)의 제어전극에 공급되어 PMOS (109a)는 오프 상태로 된다.

또한, 승압신호  $\phi_H$ 가 PMOS (109b)를 통하여 제어신호  $\phi_1$  또는  $\phi_2$  로서 출력된다.

이와 같이, NAND 게이트 (113)에 공급되는 어드레스 신호 RA에 따라서 제어신호  $\phi_1$ ( $\phi_2$ )가 발생된다.

제13도는 제11도의 센스앰프와 제12도의 스위치 신호 발생회로를 필요로 하는 신호의 타임 차트이고, 제13도 (a)는 외부 /RAS의 타임 차트이고, 제13도 (b)는 발진회로에서 출력되는 신호  $\phi_c$ 의 타임 차트이고, 제13도 (c)는 승압신호  $\phi_H$ 의 타임 차트이고, 제13도 (d)는 로우 어드레스 RA1, RA2 의 타임 차트이고, 제

13도 (e)는 접속 트랜지스터에 공급되는 제어신호  $\phi_1$ ,  $\phi_2$ 의 타임 차트이고, 제13도 (f)는 워드선 WL1, WL2의 타임 차트이고, 제13도 (g)는 비트선 쌍 BL1, /BL1의 타임 차트이고, 제13도 (h)는 비트선 쌍 BL2, /BL2의 타임 차트이다.

다음에, 제13도를 사용하여 제11도 및 제12도에 나타난 회로의 동작을 설명한다.

우선, 외부 /RAS가 H 레벨의 상태(스탠바이 상태)에서도, 발진 회로 (105)는 동작하고 있다.

따라서, 차지 펌프회로 (107)는 승압 레벨이 승압 신호  $\phi_H$ 를 발생하고 있다.

다음에, 외부 /RAS가 L 레벨로 변화하면, 로우 어드레스 RA1(RA2)가 취하여진다.

예컨대, 제13도에서는 로우 어드레스 RA1가 H 레벨로 되어 있어 워드선 WL1이 선택되는 경우가 도시되어 있다.

그 때문에, 비트선 쌍 BL1, /BL1과 함께 센스앰프 (7)를 공유하는 비트선 쌍 BL2, /BL2이 센스앰프 (7)로부터 분리될 필요가 있다. 여기에서, 제어신호  $\phi_2$ 는 L레벨로 되어 있다.

그 후, 워드선 WL1이 선택되어 H 레벨로 되어 있다. 따라서, 메모리셀 MC1의 데이터가 비트선 BL1에서 판독되고, 센스앰프 (7)는 비트선 BL1과 비트선 /BL1의 전위차를 증폭한다.

이와 같이, 외부 /RAS가 L 레벨로 되어 액세스가 행하여진다.

그 후, 외부 /RAS 신호가 H 레벨로 되어 워드선 WL1은 L 레벨로 된다.

이때, 메모리셀 MC1에는 센스앰프 (7)에 의해 증폭된 데이터가 재차 기록된다.

이 동작을 리스토어(restore)동작이라 한다.

다음에, 제어신호  $\phi_2$ 가 L 레벨에서 H 레벨로 되고, 접속 트랜지스터는 전체 대기 상태로 된다.

한편, 최근에 대용량 메모리가 포터블 기기에 널리 사용되고 있다.

그리고, 메모리를 액세스하는 경우 저 소비 전력화가 도모되고, 특히 데이터 유지시의 저 소비 전력화를 도모한 셀프 리프래시 기능을 가지는 DRAM이 개발되었다.

여기에서, 셀프 리프래시 기능이란 외부에서 일정 조건의 입력 시퀀스가 제공되면 DRAM의 칩 내부에 자동적으로 전 메모리셀의 데이터가 차례로 리프래시되어 데이터의 유지가 가능하게 되도록 하는 기능이다.

제14도는 그와 같은 셀프 리프래시 기능을 가지는 DRAM의 개략 블록도이고, 제15도는 제14도의 셀프 리프래시 신호 발생회로 및 내부 /RAS 발생회로를 나타낸 블록도이다.

이하, 제14도를 참조하여, 제10도에 나타난 DRAM (1)과 다른 부분에 관하여 설명한다.

제14도에 나타난 DRAM (151)은 셀프 리프래시 신호 발생회로 (153)와 내부 /RAS 발생회로 (155)를 포함한다.

셀프 리프래시 신호 발생회로 (153)에는 외부 /RAS 신호 입력단자 (33)에서 입력되는 외부 /RAS가 입력되고, 또한 외부 /CAS 신호 입력단자 (35)에서 입력되는 외부 /CAS 신호도 입력된다.

셀프 리프래시 신호 발생회로 (153)는 이들 2개의 신호에 의거하여 셀프 리프래시 신호  $\phi_{SELF}$ 를 /RAS 입력회로 (21) 및 내부 /RAS 발생회로 (155)에 공급한다.

내부 /RAS 발생회로 (155)는 공급된 셀프 리프래시 신호  $\phi_{SELF}$ 에 의거하여 내부(INT) /RAS를 발생하고 /RAS 입력회로 (21)에 인가한다.

셀프 리프래시 신호 발생회로 (153) 및 내부 /RAS 발생회로 (155)는 제15도에 나타난 바와 같은 구성을 하고 있다.

즉, 셀프 리프래시 신호 발생회로 (153) 및 내부 /RAS 발생회로 (155)는 CBR(/RAS전의 /CAS)검출회로 (291)와, 타이머 회로 (203)와, 발진회로 (205)와, 분주 회로(207)를 포함한다.

CBR 검출회로 (201)에는 외부 /RAS 및 외부 /CAS 가 입력되고, 그의 출력은 타이머 회로 (203)에 공급된다.

타이머 회로 (203)에서 셀프 리프래시 신호  $\phi_{SELF}$ 가 출력된다.

셀프 리프래시 신호  $\phi_{SELF}$ 는 분주회로 (207)에 공급되고, 분주회로 (207)는 발진회로 (205)의 출력인 신호  $\phi_c$ 와 셀프 리프래시 신호  $\phi_{SELF}$ 에 의거하여 내부/RAS를 출력한다.

제16도는 제15도에 나타난 셀프 리프래시 신호 발생회로 및 내부 /RAS 발생회로의 동작을 설명하기 위한 도면이고, 제16도 (a)는 외부 /RAS의 타임 차트이고, 제16도 (b)는 외부 /CAS 타임 차트이고, 제16도 (c)는 신호  $\phi_c$ 의 타임 차트이고, 제16도 (d)는 셀프 리프래시 신호  $\phi_{SELF}$ 의 타임 차트이고, 제16도 (e)는 내부 /RAS의 타임 차트이고, 제16도 (f)는 제어신호  $\phi_1$ ,  $\phi_2$ 의 타임 차트이다.

제16도를 참조하면, 먼저, 셀프 리프래시 시에는 외부 /RAS가 H 레벨에서 L 레벨로 변화하기 전에, 외부 /CAS가 H 레벨에서 L 레벨로 변화한다.

이것을 CBR 검출회로 (201)가 검출한다.

그리고, 그의 검출 결과에 의하여 타이머 회로 (203)가 동작한다.

다음에, 외부 /RAS가 L 레벨 외부 /CAS가 L 레벨의 기간이 어느 일정 기간이상으로 되면, 타이머 회로 (203)가 셀프 리프레시 신호  $\emptyset_{SELF}$ 를 발생한다.

다음에, 셀프 리프레시 신호  $\emptyset_{SELF}$ 가 발생하는 것에 의해, 분주회로 (207)는 발진신호  $\emptyset_c$ 를 분주한 일정 주기마다 내부 /RAS 신호를 발생한다.

그리고, 내부 어드레스 카운터 (17)에 의하여 의도적으로 리프레시가 행하여진다.

이와 같은 셀프 리프레시 기능을 가지는 DRAM (151)에 있어서도 스위치 신호발생회로 (19)는 내부 /RAS가 L 레벨로 되는 것에 수반하여 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 를 발생하고, 그 후 리스토어 동작을 행하게 된다.

그런데, 외부 /RAS 또는 내부 /RAS가 레벨 변화를 행하는 1사이클에서도 제어신호  $\emptyset_1(\emptyset_2)$ 가 발생하기 때문에, 스위치 신호 발생회로는 접속 트랜지스터의 제어전극을 충전 하는데 승압신호  $\emptyset_H$ 의 전압을 소비한다.

이 소비가 보충되기 위하여, 외부 /RAS 신호 또는 내부 /RAS신호에 의하여 차지펌프회로 (103)가 동작하고 승압신호  $\emptyset_H$ 의 충전을 행하고 있다.

이것에 의하여 전위의 레벨 저하가 방지된다.

그렇지만, 외부 /RAS신호 또는 내부 /RAS의 사이클 시간이 긴 경우에는 누설 전류에 의하여 승압신호  $\emptyset_H$ 의 레벨이 저하한다.

이 레벨 저하에 의하여, 리스토어 동작시에는 센스앰프로 증폭된 신호가 충분히 메모리셀에 기록되지 않은 경우가 있다.

이에 수반하여, 데이터 기억시간이 짧게되는 경우도 생긴다. 거기에는 항상 동작하는 차지 펌프회로가 설치되어 있으므로, 정기적으로 승압신호  $\emptyset_H$ 가 승압되어 레벨 저하가 방지된다.

이와 같이, 항상 동작하는 차지 펌프회로가 설치되어 있으므로, 소비 전력은 크게은 크게된다.

그러므로, 본 발명의 목적은 스위치 신호 발생회로에서의 소비전력을 억제하는 것이 가능한 반도체 기억장치를 제공하는 것이다.

본 발명의 일 국면에 따르면, 제 1 비트선 쌍(BL1, /BL1)과, 제 2 비트선 쌍 (BL2, /BL2)과, 센스앰프 (7)와, 제어신호 발생부(253, 353, 451)와, 제 1 접속 트랜지스터(Q1, Q2)와, 제 2 접속 트랜지스터 (Q3, Q4)를 구비한 반도체 기억장치가 제공된다.

제 1 비트선 쌍(BL1, /BL1)중의 한편의 비트선 (BL1)에 메모리 셀 (MC1)이 접속된다.

제 2 비트선 쌍(BL2, /BL2)중의 한편의 비트선 (BL2)에 메모리 셀(MC2)이 접속된다.

센스앰프(7)는 제 1 비트선 쌍(BL1 /BL1) 또는 제 2 비트선 쌍 (BL2, /BL2)의 전위를 증폭한다.

제어신호 발생부 (253, 353, 451)는 일정 기간만 전원 전위 레벨보다도 높은 승압전위 레벨의 제1 제어신호 (Q1) 또는 제2 제어신호( $\emptyset_2$ )를 발생한다.

제 1 접속 트랜지스터 (Q1, Q2)는 제어신호 발생부 (253,353,451)가 발생하는 제1 제어신호 ( $\emptyset_1$ )가 그의 제어전극에 공급되는 것에 따라서 제 1 비트선 쌍 (BL1, /BL1)과 센스앰프 (7)를 접속한다.

제 2 접속 트랜지스터 (Q3, Q4)는 제어신호 발생부 (253, 353, 451)가 발생하는 제2 제어신호 ( $\emptyset_2$ )가 그의 제어전극에 공급되는 것에 따라서 제 2 비트선 쌍(BL2, /BL2)과 센스앰프 (7)를 접속한다.

따라서, 이 국면에 의하면 일정 기간만 전원 전위 레벨보다도 높은 승압전위 레벨의 제1 제어신호 또는 제2 제어신호가 발생되어, 제 1 접속 트랜지스터 또는 제 2 접속 트랜지스터의 제어전극에 공급된다.

그 때문에, 항상 승압 전위레벨의 제1 제어신호 또는 제2 제어신호가 발생하는 경우에 비하여, 저 소비 전력화가 도모된다.

본 발명의 다른 국면에서는 제 1 비트선 쌍 (BL1, /BL1)과, 제 2 비트선 쌍 (BL2, /BL2)과, 센스앰프 (7)와, 제어신호 발생부 (451)와, 제1접속 트랜지스터 (Q1, Q2)와, 제2접속 트랜지스터 (Q3,Q4)와, 입력부 (21)와, 셀프 리프레시 신호발생부(153)와, 내부 제어신호 발생부 (155)를 구비한 반도체 기억장치가 제공된다.

제 1 비트선 쌍 (BL1, /BL1)중의 한편의 비트선 (BL1)에 메모리 셀(MC1)이 접속된다.

제 2 비트선 쌍(BL2, /BL2)중의 한편의 비트선 (BL2)에 메모리 셀 (MC2)이 접속된다.

센스앰프 (7)는 제 1 비트선 쌍 (BL1/ BL1) 또는 제 2 비트선 쌍 (BL2/ BL2)의 전위를 증폭한다.

제어신호 발생부 (451)는 제1 제어신호 (Q1) 또는 제2 제어신호(Q2)를 발생한다.

제 1 접속 트랜지스터(Q1,Q2)는 제어신호 발생부(451)가 발생하는 제1 제어신호( $\emptyset_1$ )가 그의 제어전극에 공급되는 것에 따라서 제 1 비트선 쌍(BL1, /BL1)과 센스앰프 (7)를 접속한다.

제 2 접속 트랜지스터 (Q3,Q4)는 제어신호 발생부 (451)가 발생하는 제2 제어신호( $\emptyset_2$ )가 그의 제어전극에 공급되는 것에 따라서 제 2 비트선 쌍 (BL2, /BL2)과 센스앰프 (7)를 접속한다.

입력부 (21)는 외부 제어신호 (외부 /RAS)가 제공되어 그것을 내부에 입력한다.

셀프 리프레시 신호 발생부 (153)는 입력부 (21)가 입력하는 외부 제어신호 (외부 /RAS)에 의거하여 제 1 비트선 쌍 (BL1, /BL1)의 한편의 비트선 (BL1)에 접속된 메모리셀 (MC1) 또는 제 2 비트선 쌍 (BL2, /BL2)의 한편의 비트선 (BL2)에 접속된 메모리셀 (MC2)의 데이터를 셀프 리프레시 하기 위한 셀프 리프레시 신호 ( $\emptyset_{SELF}$ )를 발생한다.

내부 제어신호 발생부 (155)는 셀프 리프레시 신호 발생부 (153)가 발생하는 셀프리프레시 신호 ( $\emptyset_{SELF}$ )에 의거하여 내부 제어신호 (내부 /RAS)를 발생한다.

그리고, 제어신호 발생부 (451)는 통상 동작시에는 전원 전위 레벨 보다도 높은 승압 전위 레벨의 제 1 접속 트랜지스터 (Q1,Q2)에 전달되는 제1 제어신호( $\emptyset_1$ ) 또는 제 2 접속 트랜지스터 (Q3,Q4)에 공급되는 제2 제어신호 ( $\emptyset_2$ )를 발생하고, 셀프 리프레시 동작시에는 내부 제어신호 발생부 (155)가 발생하는 내부 제어 신호(내부 /RAS)의 레벨이 변화한 후, 그의 에지에 따라서 일정 기간만 전원 전위 레벨보다도 높은 승압전위 레벨의 제 1 접속 트랜지스터(Q1,Q2)에 공급되는 제1 제어신호(Q1) 또는 제 2 접속 트랜지스터 (Q3,Q4)에 공급되는 제 2 제어신호 ( $\emptyset_2$ )를 스위치하여 발생하기 위한 스위칭부(459a, 459b, 459c, 461, 455)를 포함한다.

따라서 이 국면에 의하면 통상 동작시에는 항상 전원 전위 레벨보다도 높은 승압전위 레벨의 제 1 제어신호 또는 제 2 제어신호가 제 1 접속 트랜지스터 또는 제 2 접속 트랜지스터로 공급되므로, 시간 지연이 생기지 않는 액세스가 가능하게 된다.

또한, 셀프 리프레시 동작시에는 일정 기간만 전원전위 레벨보다도 높은 승압 전위 레벨의 제 1 제어신호 또는 제 2 제어신호가 제 1 접속 트랜지스터 또는 제 2 접속 트랜지스터에 공급되므로 저 소비 전력화가 도모된다.

이하, 제1도 및 제2도를 참조하여 제10도 및 제12도에 나타난 종례예와 다른 부분에 관하여 설명한다.

제1도에 도시된 DRAM (251)은 제10도에 나타난 종래의 DRAM (1)의 스위치신호 발생회로 (19)대신에 스위치 신호 발생회로 (253)를 구비한다.

스위치 신호 발생회로 (253)는 제2도에 나타난 바와 같은 회로구성을 하고있다.

즉, 스위치 신호 발생회로 (253)는 승압회로 (301)와, 지연회로 (303)와, 3NAND게이트 (305)와, NAND 게이트 (307a, 307b)와, 인버터 (309a, 309b)와, PMOS(311)와, NMOS (313)를 포함한다.

승압회로 (301)는 PMOS (315)와 인버터 (317a, 317b)와 커패시터 (319)를 포함한다.

지연회로 (303)는 인버터 (321a~321d)를 포함한다.

다음에 접속에 관하여 설명한다.

외부 /RAS는 3NAND 게이트 (305)와, 지연회로 (303)의 인버터 (321a) 및 NAND게이트 (307a)에 입력된다.

인버터 (321a)의 출력은 인버터 (321b, 321c)를 통하여, 3NAND 게이트 (305)에 신호 N1로서 입력된다.

또한, 인버터 (321a)의 출력은 인버터 (321b, 321c, 321d)를 통하여 NAND 게이트(307a)에 신호 N2로서 입력된다.

3NAND 게이트 (305)의 출력은 인버터 (309a)를 통하여 승압회로 (301)에 입력된다.

특히, 인버터 (309a)의 출력은 승압회로 (301)의 인버터 (317a) 및 PMOS (315)의 제어전극에 입력된다.

PMOS (315)는 소스/드레인의 한편이 전원전위  $V_{cc}$ 에 접속되어 있다. 또, PMOS(315)의 소스/드레인의 다른 편은 커패시터 (319)의 한편의 전극에 접속되어 동일하게 PMOS (311)의 소스/드레인의 한편에 접속되어 있다.

커패시터 (319)의 다른편의 전극에는 인버터 (317a)의 출력이 인버터 (317b)를 통하여 공급된다.

한편, NAND 게이트 (307a)의 출력은 NAND 게이트 (307b)에 입력된다. NAND게이트 (307b)에는 로우 어드레스 신호 RA2가 입력되어 있다. NAND 게이트(307b)의 출력은 인버터 (309b)를 통하여 PMOS (311) 및 NMOS (313)의 제어전극에 공급된다.

NMOS (313)의 소스/드레인의 한편은 접지전위에 접속되어 있다. PMOS (311) 및 NMOS (313)의 소스/드레인의 다른편의 각각은 서로 접속되어 있으므로, 거기에서 제어신호  $\emptyset_1$ 가 출력된다.

제3도는 워드선 WL10이 선택되는 경우에, 제2도의 스위치 신호 발생회로에서 필요로 하는 신호의 타임 차트를 도시한 도면이고, 제3도(a)는 외부 /RAS의 타임 차트이고, 제3도 (b)는 로우 어드레스 신호 RA1, RA2의 타임 차트이고, 제3도 (c)는 신호 N1의 타임 차트이고, 제3도 (d)는 신호 N2의 타임 차트이고, 제3도 (e)는 노드 A의 타임 차트이고, 제3도 (f)는 신호  $\emptyset_x$ 의 타임 차트이고, 제3도 (g)는 노드 B의 타임 차트이고, 제3도 (h)는 제어신호  $\emptyset_1$ 의 타임 차트이다.

다음에, 제3도 및 제2도를 참조하여, 워드선 WL10이 선택되는 경우, 즉 메모리셀 M10이 선택되는 경우에 관하여 설명한다.

우선, 외부 /RAS가 H 레벨에서 L 레벨로 변화한다.

이 신호 레벨의 변화에 의해, 로우 어드레스 신호 RA1가 L 레벨에서 H 레벨로 되고, 로우 어드레스 신호 RA2가 L 레벨로 된다.

신호 N1과 신호 N2는 지연회로 (303)에 의하여 외부 /RAS의 역상 및 동기의 지연신호로 되어 있다.

따라서, 외부 /RAS와 지연회로 (303)의 출력인 신호 N1에 의해, 3NAND 게이트(305)는 H 레벨을 출력하고, 인버터 (309a)에 의하여 노드 A는 L 레벨로 되어 있다.

그 때문에, PMOS (315)가 온 상태로 되고, 신호  $\phi_x$ 는 전원 전위  $V_{cc}$ 로 되어 있다.

한편, NAND 게이트 (307a)의 출력은 지연회로 (303)의 출력인 신호 N2와 외부 /RAS에 의하여 H 레벨이다.

NAND 게이트 (307b)는 NAND 게이트 (307a)의 출력과 로우 어드레스 신호 RA2에 의하여 H 레벨의 신호를 출력한다.

그리고, 그 신호는 인버터 309b에 의하여 반전되고, 노드 B는 L 레벨로 된다.

이 노드 B의 L 레벨의 신호를 받는 PMOS 311는 온 상태로 되고, 노드 B의 L 레벨의 신호를 받는 NMOS 313는 오프상태로 된다.

따라서, 신호  $\phi_x$ 의 전위 레벨인 전원 전위 레벨  $V_{cc}$ 이 PMOS (311)를 통하여 제어신호  $\phi_1$ 로서 출력된다.

그리고, 외부 /RAS의 상태가 L 레벨로 일정기간 계속된 후, 외부 /RAS가 H레벨로 상승한다.

이에 의해, 3NAND 게이트 (305)의 출력은 외부 /RAS 신호 N1 및 로우 어드레스 RA1가 함께 H 레벨의 시간만큼 L 레벨의 신호를 출력한다.

인버터 (309a)의 출력은 그 시간만큼 H 레벨로 되고 노드 A는 H 레벨로 된다. 따라서, PMOS (315)는 오프 상태로 되고 커패시터 (319)의 인버터 (317b)측에 접속된 전극은 H 레벨로 된다.

이에 의해, 신호  $\phi_x$ 는 전원 전위  $V_{cc}$ 보다도 높은 승압 전위레벨로 그 시간만큼 승압된다.

그리고, 승압된  $\phi_x$ 는 PMOS (311)를 통하여 승압된 제어신호  $\phi_1$ 로서 출력된다.

그 후, 지연회로 (303)의 출력인 신호 N1가 L 레벨로 되기 때문에, 노드 A는 H 레벨에서 L 레벨로 되돌아간다.

따라서, 신호  $\phi_x$ 는 승압전위 레벨에서 전원전위 레벨로 되돌아간다.

즉, 외부 /RAS가 상승 후 일정기간 제어신호  $\phi_1$ 는 전원전위 레벨보다도 높은 승압전위 레벨로 승압된다.

이에 의해, 제1도에 나타난 센스앰프의 접속 트랜지스터 Q1, Q2는 확실하게 온 상태로 되고, 센스앰프 (7)의 데이터가 메모리 셀 MC1에 충분히 보내지게 된다.

따라서, 리스토어 동작이 확실하게 행하여지게 된다.

제4도는 워드선 WL20이 선택된 경우의 스위칭 회로에 필요한 신호의 타임 차트이고, 제4도 (a)는 외부 /RAS의 타임 차트이고, 제4도 (b)는 로우 어드레스신호 RA1, RA2의 타임 차트이고, 제4도 (c)는 노드 A의 타임 차트이고, 제4도 (d)는 신호  $\phi_x$ 의 타임 차트이고, 제4도 (e)는 노드 B의 타임 차트이고, 제4도 (f)는 제어신호  $\phi_1$ 의 타임 차트이다.

다음에, 제4도 및 제2도를 참조하여 워드선 WL20이 선택된 경우, 즉 메모리 셀 MC20이 선택된 경우의 동작에 관하여 설명한다.

우선, 외부 /RAS가 H 레벨에서 L 레벨로 레벨 변환된다.

그리고, 로우 어드레스 신호 RA2가 L 레벨에서 H 레벨로 변화하고, 로우 어드레스 신호 RA1는 L레벨 그대로이다.

외부 /RAS가 입력되는 NAND 게이트 (307a)는 H 레벨의 신호를 출력하고 이 신호와 로우 어드레스 신호 RA2를 받는 NAND 게이트 (307b)의 출력은 L 레벨로 된다.

따라서, 인버터 (309b)의 출력은 H 레벨로 되고 노드 B도 H 레벨로 된다.

따라서, PMOS (311)는 오프 상태로 되고 NMOS (313)는 온 상태로 된다.

그리고, 제어신호  $\phi_1$ 는 NMOS (313)에 접속된 접지전위에 의하여 L 레벨로 된다.

즉, 메모리셀 MC20이 선택되는 경우에는 메모리 셀 MC1은 센스앰프 (7)에서 분리된다.

이와 같이, 제어신호  $\phi_1$  또는  $\phi_2$ 는 외부 /RAS의 상승 후, 일정 기간만 승압되고 상응하는 제어신호  $\phi_2$  또는  $\phi_1$ 는 L 레벨로 된다.

또한, 제2도에는 제어신호  $\phi_1$ 를 발생하는 회로를 나타내고 있지만, 제어신호  $\phi_2$ 를 발생하는 회로는 로우 어드레스 RA1와 로우 어드레스 RA2가 교체된 회로이다.

이상과 같이 하여, 한편의 비트선 쌍이 센스앰프에 접속된 후에는 워드선 WL1 또는 WL20이 상승하는 것에 의해, 메모리 셀 MC1 또는 MC2의 미소 전위가 비트선 BL1 또는 BL2에서 판독된다.

비트선 BL1 또는 BL2는 초기 상태로 전원전위 레벨과 접지전위 레벨의 중간전위에 유지되어 있으므로, 메모리 셀 MC1 또는 MC2에서의 전하에 의하여 미소전압이 얻어진다.

따라서, 접속 트랜지스터 Q1 또는 Q3의 제어전극에 입력되는 제어신호  $\phi_1$  또는  $\phi_2$ 가 승압되어 있지 않아

도, 비트선 BL1 또는 BL2의 전위 변화는 충분히 센스앰프(7)에 전달된다.

한편, 리스토어 시에는 외부 /RAS의 상승 후에, 리스토어에 필요한 일정 기간만큼 즉, 지연 회로 (303)로 의 지연 시간만큼 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 가 승압된다.

따라서, 센스앰프 (7)에 의하여 증폭된 신호는 충분히 메모리 셀 MC1 또는 MC2에 기록된다.

그 때문에, 종래의 스위치 신호 발생회로 (19)에 필요한 차지 펌프회로 (107)는 불요하게 된다.

이 차지 펌프회로 (107)는 계속적으로 동작하게 되어 있었으므로 그 만큼 소비전력이 저감된다.

제5도는 본 발명의 다른 실시예에 의한 반도체 기억장치로서의 DRAM의 개략 블록도이다.

이하, 제14도에 나타난 종래예와 다른 부분에 관하여 설명한다.

즉, 제14도에 나타난 스위치 신호 발생회로 (19)의 대신에 본 실시예의 DRAM(351)은 스위치 신호 발생회로 (353)을 포함한다.

스위치 신호 발생회로 (353)는 제6도에 나타난 바와 같은 회로이다.

즉, 제6도에 나타난 스위치 신호 발생회로 (353)는 거의 제2도에 나타난 스위치 신호 발생회로 (253)와 동일하다.

다르게 된 부분은 제5도에 나타난 DRAM (351)이 셀프 리프레시 기능을 가지기 위하여 셀프 리프레시 신호 발생회로 (153) 및 내부 /RAS 발생회로 (155)를 가지고 있으므로, 스위치 신호 발생회로 (253)가 셀프 리프레시 시에는 외부 /RAS가 아닌 내부 /RAS에 따라서 동작하는 것이다.

즉, 스위치 신호 발생회로 (353)는 제2도의 외부 /RAS가 입력되는 3NAND 게이트 (305), 지연회로 (303) 및 NAND 게이트 (307a)의 대신에 3NAND 게이트(401), 지연회로 (403) 및 NAND 게이트 (405)를 구비한다.

3NAND 게이트 (401), 지연회로 (403) 및 NAND 게이트 (405)에는 내부(INT)/RAS가 입력된다.

제7도는 제6도에 나타난 스위치 신호 발생회로로 표시되는 신호의 타임 차트이고, 제7도 (a)는 외부 /RAS의 타임 차트이고, 제7도 (b)는 외부 /CAS의 타임 차트이고, 제7도 (c)는 내부 /RAS의 타임 차트이고, 제7도 (d)는 제어신호  $\emptyset_1$ ,  $\emptyset_2$ 의 타임 차트이다.

제7도를 참조하여 간단하게 동작에 관하여 설명한다.

상술한 바와 같이, 셀프 리프레시 동작시에는 외부 /RAS가 H 레벨에서 L 레벨로 변화하기 전에, 외부 /CAS가 H 레벨에서 L 레벨로 변화한다.

그후, 일정 기간 외부 /RAS 및 외부 /CAS가 L 레벨로된 후, 셀프 리프레시 신호 발생회로 (153)에서 셀프 리프레시 신호  $\emptyset_{SELF}$ 가 발생하고, 그에 따라서 내부 /RAS가 L 레벨에서 H 레벨로 된다.

이에 의해, 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 의 전위레벨이 전원 전위  $V_{cc}$ 보다 높은 승압전위 레벨로 상승하게 된다.

따라서, 제1도에서 제4도를 사용하여 설명한 실시예와 동일하게 제어신호  $\emptyset_1$  또는 제어신호  $\emptyset_2$ 가 항상 승압전위 레벨로 설정될 필요가 없기 때문에, 그 만큼 셀프 리프레시 시의 저 소비 전력화를 도모하게 된다.

이에 의해, 셀프 리프레시 동작시의 소비전력에 영향을 받는 휴대용 기기의 수명이 개선된다.

제8도는 본 발명의 또 다른 실시예에 의한 반도체 기억 장치로서 DRAM의 스위치 신호 발생회로를 나타낸 도면이다.

그런데, 제5도에 나타난 DRAM (351)에는 통상 동작시에는 외부 /RAS의 상승 후 일정기간 승압된 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 가 센스앰프 (7)에 공급되어 셀프 리프레시 동작시에는 내부 /RAS의 상승 후, 일정기간 승압된 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 가 센스앰프 (7)에 공급된다.

이와 같은 방법에서는 통상 동작시, 특히 리스토어 동작을 개시하는 경우에 외부 /RAS가 상승한 후, 일정기간의 승압시간을 필요로 하기 때문에 사이클 타임의 고속화가 곤란하다는 문제점이 있다.

따라서, 제8도에 나타내는 실시예에서 통상 동작시에는 항상 승압전위 레벨로 승압된 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 가 발생되고, 셀프 리프레시 동작시에는 일정기간만 승압된 제어신호  $\emptyset_1$  또는  $\emptyset_2$ 가 발생하는 스위치 신호 발생회로를 나타낸다.

제8도를 참조하면, 스위치 신호 발생회로 (451)는 차지 펌프회로 (453a, 453b)와, 승압회로 (454)와, 발진회로 (455)와, 지연회로 (457a, 457b)와, NAND 게이트 (459a, 459b, 459c)와, NOR 게이트 (461)와, 인버터 (463a, 463b)와, PMOS (465a, 465b)와, NMOS (467a, 467b)와, 3NANO 게이트 (469)를 포함한다.

발진회로 (455)는 NOR 게이트 (471)와 인버터 (473a, 473b)를 포함한다.

지연회로 (457a)는 인버터 (475a, 475b, 475c)를 포함한다.

지연회로 (457b)는 인버터 (477a, 477b, 477c)를 포함한다.

승압회로 (454)는 인버터 (481a, 481b)와, 커패시터 (483)와, PMOS (479)를 포함한다.

다음에, 접속에 관하여 설명한다.

외부 /RAS와 셀프 리프레시 신호  $\emptyset_{SELF}$ 가 NOR 게이트 (461)에 입력된다.

NOR 게이트 (461)의 출력은 차지 펌프회로 (453a)에 입력된다. 셀프 리프레시 신호  $\phi_{SELF}$  는 발진회로 (455)의 NOR 게이트 (471)에 입력되고 NOR 게이트 (471)에는 인버터 (473b)의 출력도 입력된다.

NOR게이트 (471)의 출력은 인버터 (473a, 473b)를 통하여 신호  $\phi_c$ 로서 차지 펌프회로 (453b)에 입력된다.

차지 펌프회로 (453a, 453b)는 각각 신호를 승압하여 승압신호  $\phi_H$ 를 출력한다.

한편, 내부(INT) /RAS는 NAND 게이트 (459a)에 입력되는 동시에, 지연회로 (457a)의 인버터 (475a)에 입력된다.

인버터 (475a)의 출력은 인버터 (475b, 475c)를 통하여 NAND 게이트 (459a)에 입력된다.

NAND 게이트 (459a)의 출력은 NAND 게이트 (459b)에 입력된다. NAND 게이트(459b)에는 셀프 리프레시 신호  $\phi_{SELF}$ 도 입력된다.

NAND 게이트 (459b)에는 셀프 리프래시 신호  $\phi_{SELF}$ 도 입력된다. NAND 게이트(459b)의 출력은 승압회로 (454)의 인버터 (481a)에 입력되는 동시에, PMOS (479)의 제어전극에도 공급된다.

PMOS (479)의 소스/드레인의 한편은 전원 전위  $V_{cc}$ 에 접속되고, 다른편은 커패시터 (483)의 한편의 전극에 접속된다.

커패시터 (483)의 다른편의 전극에는 인버터 (481a)의 출력이 인버터 (481b)를 통하여 공급된다.

그리고, 커패시터 (483)의 한편의 전극에서 승압신호  $\phi_H$ 가 출력된다.

승압 신호  $\phi_H$ 는 PMOS (465a, 465b)의 각각의 소스/드레인의 한편에 공급된다.

PMOS (465a, 465b)의 각각의 소스/드레인의 다른편은 NMOS (467a, 467b)의 한편의 소스/드레인에 접속되어 있다.

NMOS (467a, 467b)의 다른편의 소스/드레인은 접지전위에 접속되어 있다. 또, NMOS (467a)의 소스/드레인의 한편은 PMOS (465b)의 제어전극에 접속되고, NMOS (467b)의 소스/드레인의 한편은 PMOS (465a)의 제어전극에 접속되어 있다.

또, 외부 /RAS가 3NAND 게이트 (469)에 공급되고, 또 지연회로 (457b)의 인버터(477a)에 공급된다.

인버터 (477a)의 출력은 인버터 (477b, 477c)를 통하여 NAND 게이트 (459c)에 공급된다.

NAND 게이트 (459c)에는 셀프 리프레시 신호  $\phi_{SELF}$ 도 공급된다.

NAND 게이트 (459c)의 출력은 3NAND 게이트 (469)에 공급된다.

3NAND 게이트 (469)의 다른 입력에는 로우 어드레스 신호 RA2(RA1)가 공급된다.

그리고, 3NAND 게이트 (469)의 출력은 인버터 (463b)를 통하여 NMOS (467a)의 제어전극에 공급되고, 또 인버터 (463a)를 통하여 NMOS (467b)의 제어전극에 공급된다.

그리고, 제어신호  $\phi_1(\phi_2)$ 가 출력된다.

제9도는 제8도에 나타난 스위치 신호 발생회로에 표시된 신호의 타임 차트이고, 제9도 (a)는 외부 /RAS의 타임 차트이고, 제9도 (b)는 외부 /CAS의 타임 차트이고, 제9도 (c)는 셀프 리프레시 신호  $\phi_{SELF}$ 의 타임 차트이고, 제9도 (d)는 내부 /RAS의 타임 차트이고, 제9도 (e)는 신호  $\phi_c$ 의 타임 차트이고, 제9도 (f)는 승압신호  $\phi_H$ 의 타임 차트이고, 제9도 (g)는 노드 C의 타임 차트 이고,

제9도 (h)는 노드 D의 타임 차트이고, 제9도 (i)는 로우 어드레스 RA1,2의 타임 차트이고, 제9도 (j)는 제어신호  $\phi_1$  또는  $\phi_2$ 의 타임 차트이고, 제9도(k)는 워드선 WL1, WL2의 타임 차트이다.

제9도를 참조하여 동작에 관하여 설명한다.

통상 동작시에는 셀프 리프레시 신호  $\phi_{SELF}$ 는 L 레벨이다.

따라서, NOR 게이트 (461)는 외부 /RAS의 신호 레벨에 따라서 H 레벨 또는 L 레벨의 신호를 출력한다.

그 반대로, 발진회로 (455)는 H 레벨의 신호  $\phi_c$ 를 출력한다. 이와 같은 상태에 의하여 차지 펌프회로 (453a, 453b)는 제12도에 나타난 종래의 차지 펌프회로 (103, 107)와 동일한 동작을 행한다.

한편, NAND 게이트 (459b)에는 L 레벨의 셀프 리프레시 신호  $\phi_{SELF}$ 가 입력 되기 때문에, 그 출력은 H 레벨로 된다. H 레벨의 신호가 승압회로 (454)에 입력된다.

그 때문에, 노드 C는 전원전위  $V_{cc}$ 의 H 레벨 그대로 된다. 따라서 승압회로(454)는 동작하지 않는다.

또, 한편 NAND 게이트 (459c)에도 L 레벨의 셀프 리프레시 신호  $\phi_{SELF}$ 가 입력되므로, 그의 출력은 H 레벨이다.

따라서, 3NAND 게이트 (469)는 외부 /RAS 및 로우 어드레스 RA2(RA1)의 레벨에 의하여 그의 출력이 결정된다.

즉, 이 상태에서는 제12도에 나타난 인버터 (101b) 및 NAND 게이트 (113)와 3NAND 게이트 (469) 및 인버터 (463b)의 관계가 등가이다.

이와 같이 통상 동작시에는 제12도에 나타난 종래예와 거의 동일하게 동작하므로, 승압신호  $\phi_H$ 는 항상 승압레벨로 유지된다.

따라서, 항상 승압 레벨의 제어신호  $\phi_1(\phi_2)$ 가 출력된다.

그런데, 셀프 리프레시 동작에 들어가면 이 스위치 신호 발생회로 (451)는 제6도에 나타난 실시예와 동일한 작용을 한다.

즉, 셀프 리프레시 동작시에는 셀프 리프레시 신호  $\phi_{\text{SELF}}$ 가 H 레벨로 된다.

따라서, NOR 게이트 (461)의 출력은 L 레벨로 되고, 발진회로 (455)의 NOR 게이트 (471)의 출력도 L레벨로 되어, 발진회로 (455)의 출력인 신호  $\phi_c$ 도 L 레벨로 된다.

따라서, 차지 펌프 회로 (453a, 453b)는 함께 동작을 정지한다.

따라서 승압신호  $\phi_H$ 는 전원전위  $V_{cc}$ 의 레벨로 된다.

그 후, 내부 /RAS가 H 레벨에서 L 레벨로 변화한다.

이에 수반하여, NAND 게이트 (459a)는 H 레벨의 신호를 출력한다. 이 NAND게이트 (459a)의 출력이 H 레벨에 유지되는 기간은 지연회로 (457a)에 의한 지연시간에 상당한다.

그리고, NAND 게이트 (459b)는 입력이 함께 H 레벨에 있는 동안, 즉 지연 회로(457a)의 지연시간 만큼 L 레벨의 신호를 출력한다.

따라서, PMOS (479)는 온 상태로 되어 승압신호  $\phi_H$ 는 전원전위  $V_{cc}$ 로 유지 된다.

그 후, 내부 /RAS의 상승 후 일정기간 NAND 게이트 (459a)는 L 레벨의 신호를 출력한다. 따라서 NAND게이트 (459b)도 H레벨의 신호를 그 기간 동안 출력하여 커패시터 (483)를 충전한다.

따라서 커패시터 (483)에서 승압되는 승압신호  $\phi_H$ 가 일정기간만 발생된다.

이에 의해, 제어신호  $\phi_1$ 도 그 시간만큼 승압되어 출력된다.

이와 같이, 셀프 리프레시 동작시 이외에는 종래와 같이 항상 승압신호  $\phi_H$ 를 발생시켜 셀프 리프레시 동작시에는 필요한 시간 만큼 승압신호  $\phi_H$ 를 발생시키도록 스위칭 된다.

이에 의해, 통상 동작시에는 외부 /RAS가 L레벨의 사이클 내에서 리스토어 동작을 완료하고, 셀프 리프레시 동작시에는 내부 /RAS 신호의 상승 후에 리스토어동작을 행하게 되므로 통상의 판독 동작시의 사이클 타임의 고속화를 방해하지 않고, 셀프 리프레시 동작시의 저 소비 전력화를 도모할 수 있다.

또한, 셀프 리프레시 동작시에는 소비 전력을 저감하기 위하여 리프레시 주기가 매우 길게 설정되는 것이 바람직하다.

따라서, 내부 /RAS 신호의 상승 후에, 리스토어 동작을 행하게 되어도 고속화에는 어떠한 문제도 없다.

본 발명의 실시예에 의하면, 제 1 비트선 쌍과 센스앰프와 접속하기 위한 제 1 접속 트랜지스터의 제어전극에 또는 제 2 비트선 쌍과 센스앰프를 접속하기 위한 제 2 접속 트랜지스터의 제어전극에 일정 기간만 전원전위 레벨보다도 높은 승압 전위 레벨의 제1 제어신호 또는 제2 제어신호를 각각 공급한다.

그 때문에, 항상 승압전위 레벨에 설정된 제1 제어신호 또는 제 2 제어신호가 발생하는 경우에 비하여, 소비 전력이 감소될 수 있다.

## (57) 청구의 범위

### 청구항 1

한편의 비트선 (BL1)에 메모리셀 (MC1)이 접속되는 제 1 비트선 쌍 (BL1, /BL1)과, 한편의 비트선 (BL2)에 메모리셀 (MC2)이 접속되는 제 2 비트선 쌍 (BL2, /BL2)과, 상기 제 1 비트선 쌍 (BL1, /BL1) 또는 상기 제 2 비트선 쌍 (BL2, /BL2)의 전위를 증폭하기 위한 센스앰프 (7)와, 일정 기간만 전원 전위 레벨보다도 높은 승압 전위 레벨의 제 1 제어신호( $\phi_1$ ) 또는 제 2 제어신호( $\phi_2$ )를 발생하기 위한 제어신호 발생수단(253, 353, 451)과, 상기 제어신호 발생수단 (253, 353, 451)이 발생하는 제 1 제어신호 ( $\phi_1$ )가 그의 제어전극에 공급되는 것에 따라서, 상기 제 1 비트선 쌍 (BL1, /BL1)과 상기 센스앰프 (7)를 접속하는 제 1 접속 트랜지스터 (Q1, Q2)와, 상기 제어신호 발생수단(253, 353, 451)이 발생하는 제 2 제어신호 ( $\phi_a$ )가 그의 제어전극에 공급되는 것에 따라서, 상기 제 2 비트선 쌍 (BL2, /BL2)과 상기 센스앰프 (7)를 접속하는 제 2 접속 트랜지스터 (Q3, Q4)를 구비한 반도체 기억장치.

### 청구항 2

제1항에 있어서, 상기 제어신호 발생수단 (253, 353, 451)은, 소정의 신호 (내부 /RAS, 외부 /RAS)를 수신하여, 그 신호 (내부 /RAS, 외부 /RAS)를 일정기간 지연하는 지연수단 (303, 403, 475a)과, 상기 지연수단 (303, 403, 475a)이 신호 (내부 /RAS, 외부 /RAS)를 지연시킨 일정기간에 대응하여 승압전위 레벨의 제 1 제어신호 ( $\phi_1$ ) 또는 제 2 제어신호( $\phi_2$ )를 발생하도록, 상기 신호 (내부 /RAS, 외부 /RAS)에 의거하여 승압신호 ( $\phi_H$ )를 발생하는 승압수단 (301, 454)를 포함하는 반도체 기억장치.

### 청구항 3

제1항에 있어서, 상기 제어신호 발생수단 (253,353,451)은 상기 제 1 접속 트랜지스터 (Q1, Q2)를 온 혹은 오프시키기 위한 제 1 스위칭 신호 ( $\phi_1$ )를 발생하거나 또는 상기 제 2 접속 트랜지스터 (Q3,Q4)를 온 혹은 오프시키기 위한 제 2 스위칭 신호 ( $\phi_2$ )를 발생하는 스위칭 신호 발생회로(253, 353, 451)를 포함하는 반도체 기억장치.

#### 청구항 4

제1항에 있어서, 외부 제어신호 (외부 /RAS)를 수신하여 그 신호를 내부에 입력하기 위한 입력수단(21)을 더욱 구비하며, 상기 제어신호 발생수단(253, 353, 451)은 통상 동작시에, 상기 입력 수단(21)을 통하여 입력되는 외부 제어신호 (외부 /RAS)의 레벨 변화의 트레일링(trailing) 에지에 따라서 일정 기간만 전원전위 레벨보다도 높은 승압 전원레벨의 상기 제 1 접속 트랜지스터 (Q1, Q2)에 공급되는 제 1 제어신호 ( $\phi_1$ ) 또는 상기 제 2 접속 트랜지스터 (Q3, Q4)에 공급되는 제 2 제어신호 ( $\phi_2$ )를 발생하는 반도체 기억장치.

#### 청구항 5

제4항에 있어서, 상기 입력수단 (21)은 외부 /RAS신호를 수신하여 내부에 입력하기 위한 /RAS 입력 회로 (21)를 포함하는 반도체 기억장치.

#### 청구항 6

제1항에 있어서, 외부 제어신호 (외부 /RAS)를 수신하여, 내부에 입력하기 위한 입력수단(21)과, 상기 입력수단(21)을 통하여 입력되는 외부 제어신호 (외부 /RAS)에 의거하여, 상기 제 1 비트선 쌍 (BL1, /BL1)의 한편의 비트선 (BL1)에 접속된 메모리셀 (MC1) 또는 상기 제 2 비트선 쌍(BL2, /BL2)의 한편의 비트선(BL2)에 접속된 메모리셀 (MC2)의 데이터를 셀프 리프래시 하기 위한 셀프 리프래시 신호 ( $\phi_{SELF}$ )를 발생하는 셀프 리프래시 신호 발생수단 (153)과, 상기 셀프 리프래시 신호 발생수단(153)에서 발생된 셀프 리프래시 신호( $\phi_{SELF}$ )에 의거하여 내부 제어신호 (내부 /RAS)를 발생하는 내부 제어신호발생 수단 (155)을 더욱 구비하며, 상기 제어신호 발생수단(253, 353, 451)은 셀프 리프래시 동작시에, 상기 내부제어신호 발생수단(155)에 의해 발생된 내부 제어신호 (내부 /RAS)의 레벨변화의 트레일링 에지에 따라서, 일정 기간만 전원전위 레벨보다도 높은 승압전위 레벨의 상기 제 1 접속 트랜지스터 (Q1, Q2)에 공급되는 제 1 신호 ( $\phi_1$ ) 또는 상기 제 2 접속 트랜지스터 (Q3, Q4)에 공급되는 제 2 제어신호 ( $\phi_2$ )를 발생하는 반도체 기억장치.

#### 청구항 7

제6항에 있어서, 상기 입력수단 (21)은 외부 /RAS신호를 수신하여 그 신호를 내부에 입력하기 위한 /RAS 입력 회로 (21)를 포함하는 반도체 기억장치.

#### 청구항 8

한편의 비트선 (BL1)에 메모리 셀 (MC1)이 접속되는 제 1 비트선 쌍 (BL1, /BL1)과, 한편의 비트선 (BL2)에 메모리 셀 (MC2)이 접속되는 제 2 비트선 쌍 (BL2, /BL2)과, 상기 제 1 비트선 쌍 (BL1, /BL1) 또는 상기 제 2 비트선쌍 (BL2, /BL2)의 전위를 증폭하기 위한 센스앰프 (7)와, 제 1 제어신호 ( $\phi_1$ ) 또는 제 2 제어신호 ( $\phi_2$ )를 발생하는 제어신호 발생 수단 (451)과, 상기 제어신호 발생수단 (451)이 발생하는 제 1 제어신호 ( $\phi_1$ )가 그의 제어 전극에 공급되는 것에 따라서, 상기 제 1 비트선 쌍 (BL1, /BL1)과 상기 센스 앰프 (7)를 접속하기 위한 제 1 접속 트랜지스터(Q1, Q2)와, 상기 제어신호 발생수단 (451)이 발생하는 제 2 제어신호 ( $\phi_2$ )가 그의 제어 전극에 제공되는 것에 따라서, 상기 제 2 비트선 쌍(BL2, /BL2)과 상기 센스앰프 (7)를 접속하기 위한 제 2 접속 트랜지스터(Q3, Q4)와, 외부 제어신호 (외부 /RAS)를 수신하여 그 신호를 내부에 입력하기 위한 입력수단(21)과, 상기 입력수단 (21)을 통하여 입력되는 외부 제어신호 (외부 /RAS)에 의거하여 상기 제 1 비트선 쌍 (BL1, /BL1)의 한편의 비트선 (BL1)에 접속된 메모리 셀 (MC1) 또는 상기 제 2 비트선 쌍 (BL2, /BL2)의 한편의 비트선(BL2)에 접속된 메모리 셀(MC2)의 데이터를 셀프 리프래시 하기 위한 셀프 리프래시 신호( $\phi_{SELF}$ )를 발생하는 셀프 리프래시 신호 발생수단 (153)과, 상기 셀프 리프래시 신호 발생수단(153)이 발생하는 셀프 리프래시 신호( $\phi_{SELF}$ )에 의거하여 내부 제어신호 (내부 /RAS)를 발생하는 내부 제어신호발생수단(155)을 구비 하며, 상기 제어신호 발생수단(451)은 통상 동작시에, 상기 제 1 접속 트랜지스터(Q1, Q2)에 공급되는 제 1 제어신호( $\phi_1$ )로서 전원전위 레벨보다 높은 승압전원전위 레벨의 제 3제어신호 또는 상기 제 2접속 트랜지스터 (Q3, Q4)에 공급되는 제 2 제어신호 ( $\phi_2$ )로서 전원전위 레벨보다 높은 승압 전원전위레벨의 제 4 제어신호를 발생하는 제 1 발생수단 (459a, 459b, 459c, 461, 455)과, 셀프 리프래시 동작시에, 상기 내부 제어신호 발생수단 (155)이 발생하는 내부 제어신호 (내부 /RAS)의 레벨 변화의 트레일링 에지에 따라서, 상기 제 1 접속 트랜지스터(Q1, Q2)에 공급되는 제 1 제어신호 ( $\phi_1$ )로서 전원전위 레벨보다 높은 승압 전위 레벨의 제 5 제어신호 또는 상기 제 2 접속 트랜지스터(Q3, Q4)에 공급되는 제 2 제어신호 ( $\phi_2$ )로서 전원전위 레벨보다 높은 승압 전위 레벨의 제 6 제어신호를 일정 기간만 발생하는 제 2 발생수단을 포함하는 반도체 기억장치.

#### 청구항 9

제8항에 있어서, 상기 제어신호 발생수단(451)은, 소정의 신호 (내부 /RAS)를 수신하여 그 신호 (내부 /RAS)를 일정 기간 지연하는 지연수단 (475a)과, 상기 지연 수단(475a)이 신호 (내부 /RAS)를 지연시킨 일정기간에 대응하여 승압 전위 레벨의 제 1 제어신호 ( $\phi_1$ ) 또는 제 2 제어신호 ( $\phi_2$ )를 발생하기 위하여 상기 신호(내부/RAS)에 의거하여 승압신호 ( $\phi_H$ )를 발생하는 승압 수단 (454)을 포함하는 반도체 기억장치.

**청구항 10**

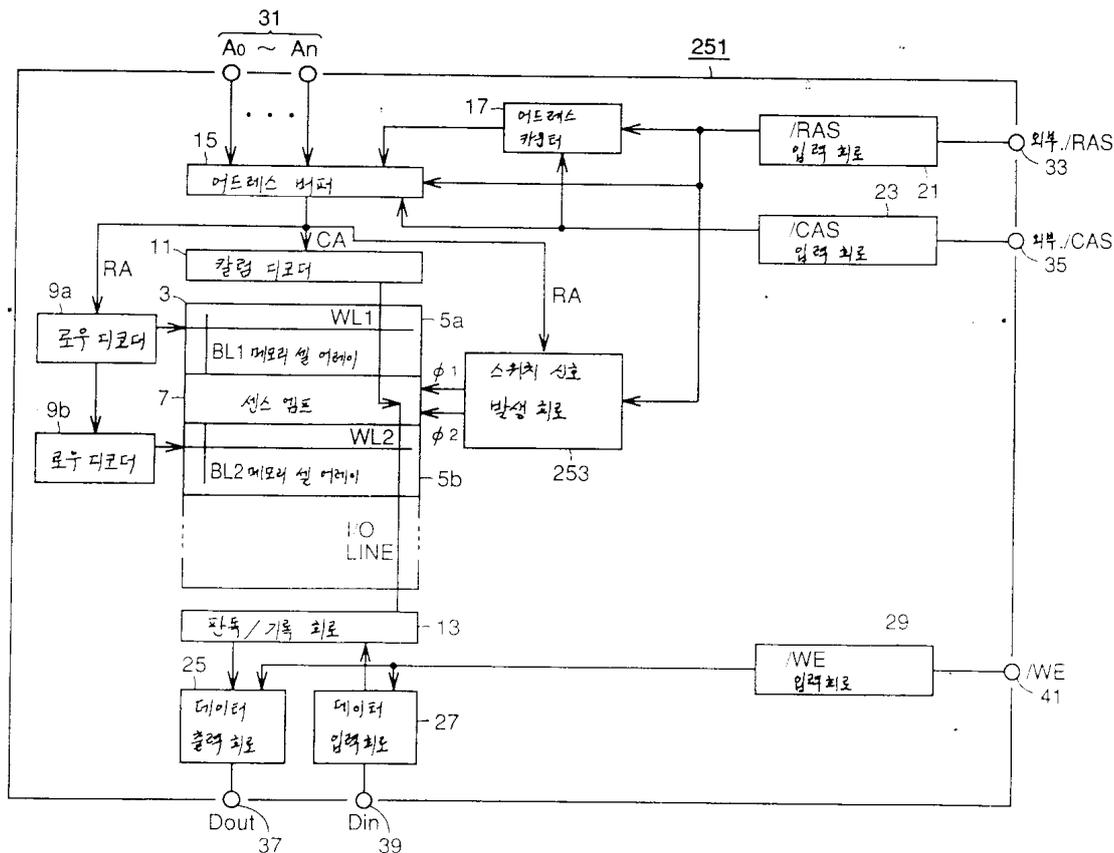
제8항에 있어서, 상기 제어신호 발생수단 (451)은 상기 제 1 접속 트랜지스터 (Q1, Q2)를 온 혹은 오프시키기 위한 제 1 스위칭 신호 ( $\phi_1$ )을 발생하거나 또는 상기 제 2 접속 트랜지스터(Q3, Q4)를 온 혹은 오프시키기 위한 제 2 스위칭 신호( $\phi_2$ )를 발생하는 스위칭 신호 발생회로 (451)를 포함하는 반도체 기억장치.

**청구항 11**

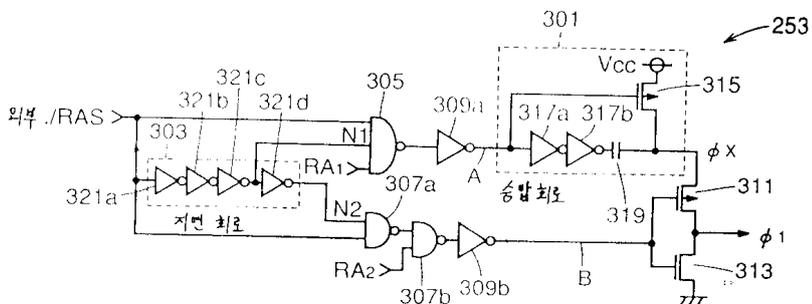
제8항에 있어서, 상기 입력수단 (21)는 외부 /RAS신호를 수신하여 그 신호를 내부에 입력하기 위한 /RAS 입력 회로 (21)를 포함하고, 상기 내부 제어신호 발생수단 (155)은 상기 셀프 리프레시 신호 발생수단 (153)이 발생하는 셀프 리프레시 신호 ( $\phi_{SELF}$ )에 의거하여 내부 /RAS 신호를 발생하는 내부 /RAS 신호 발생회로 (155)를 포함하는 반도체 기억장치.

**도면**

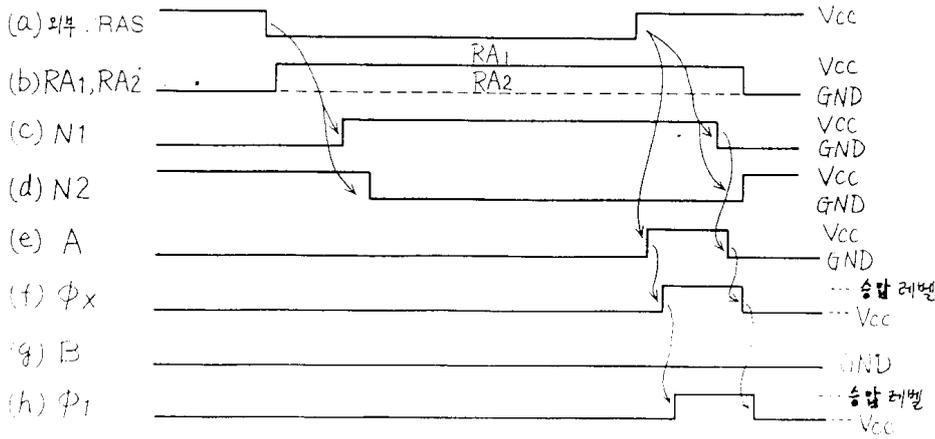
**도면1**



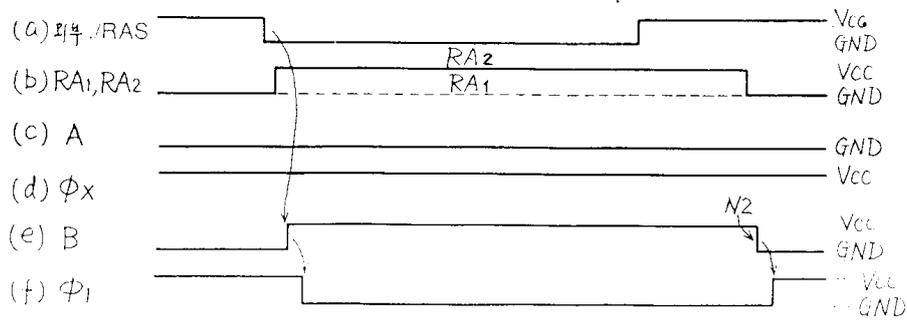
**도면2**



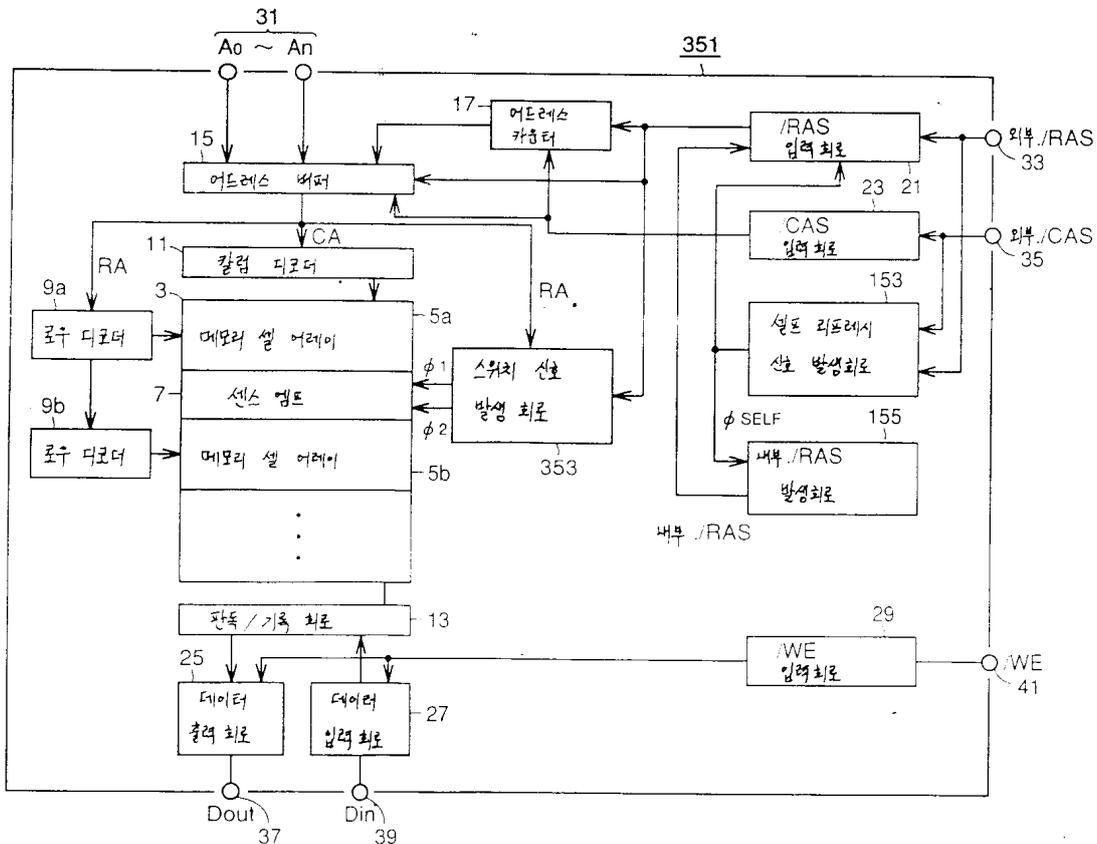
도면3



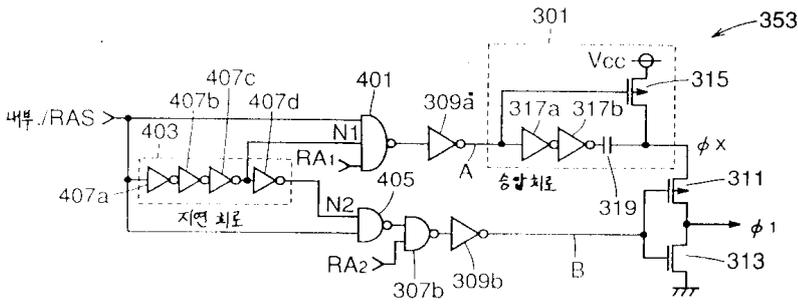
도면4



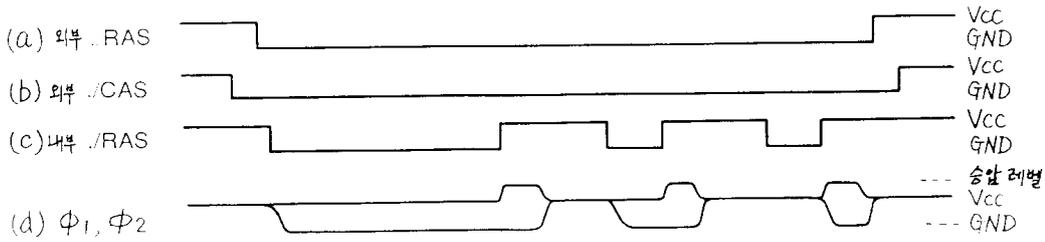
도면5



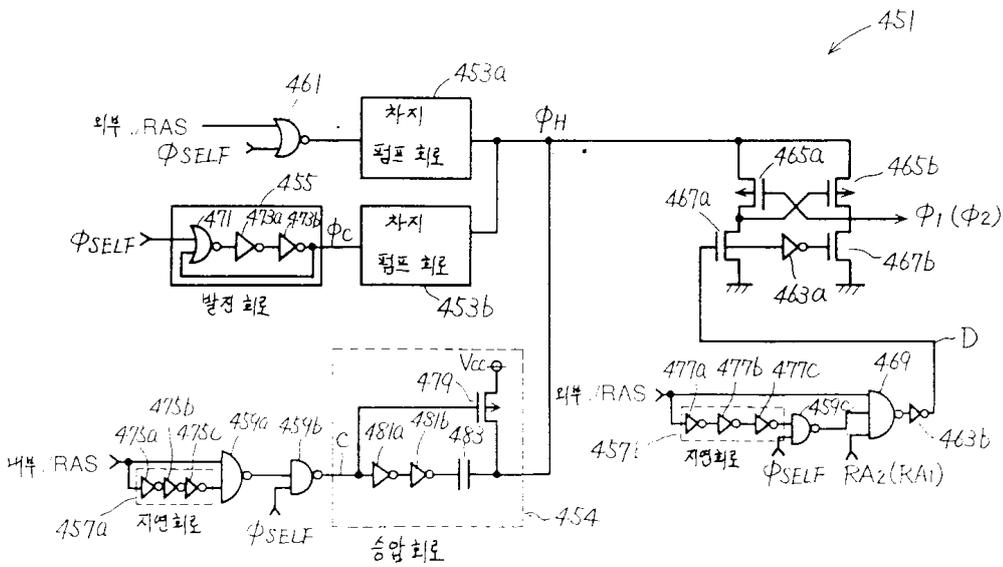
도면6



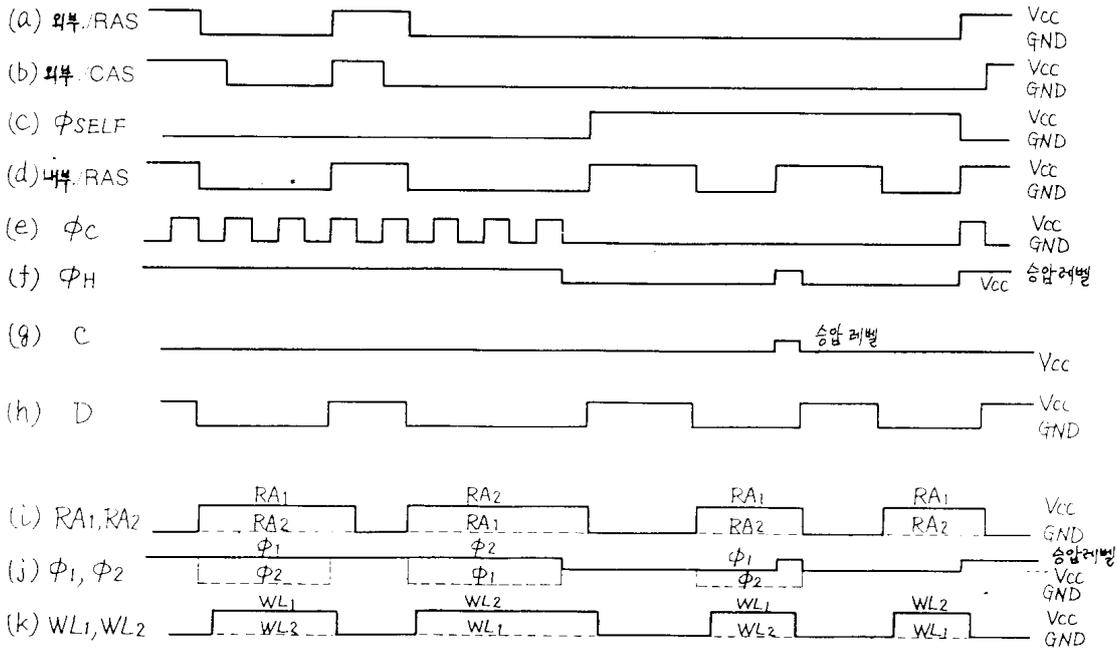
도면7



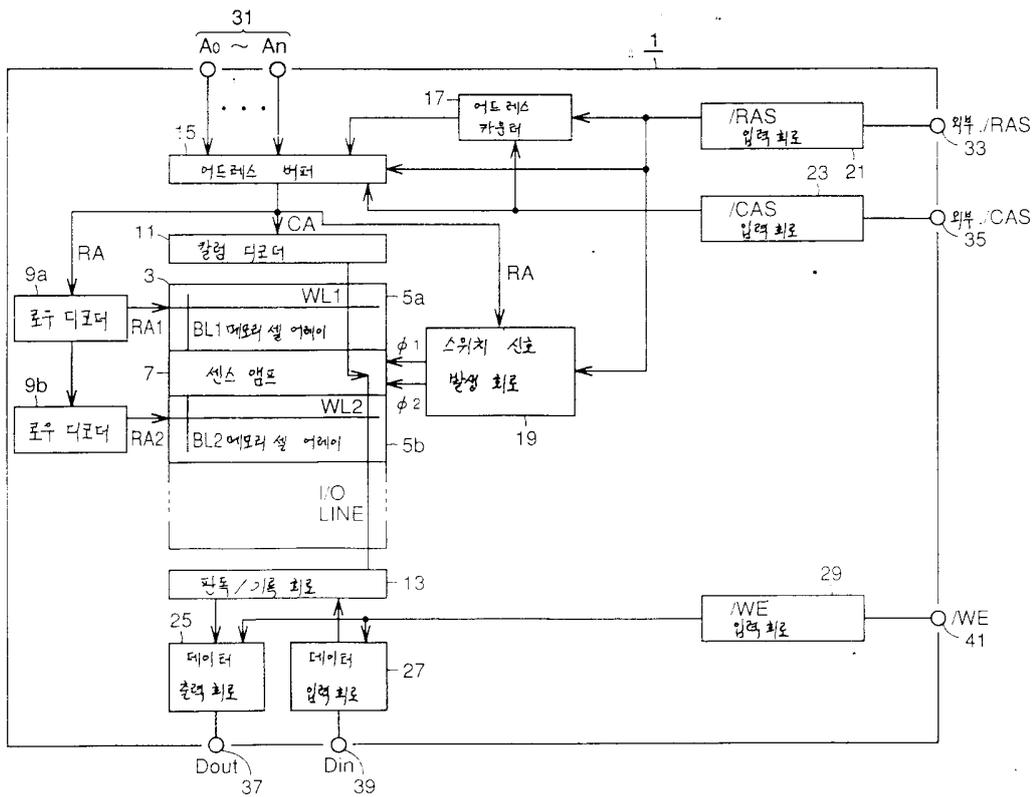
도면8



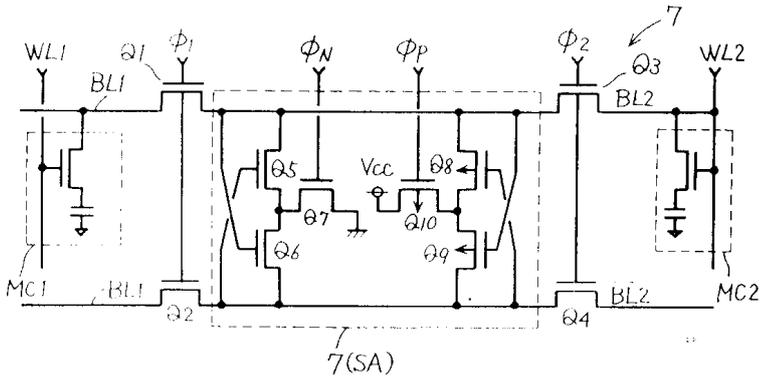
도면9



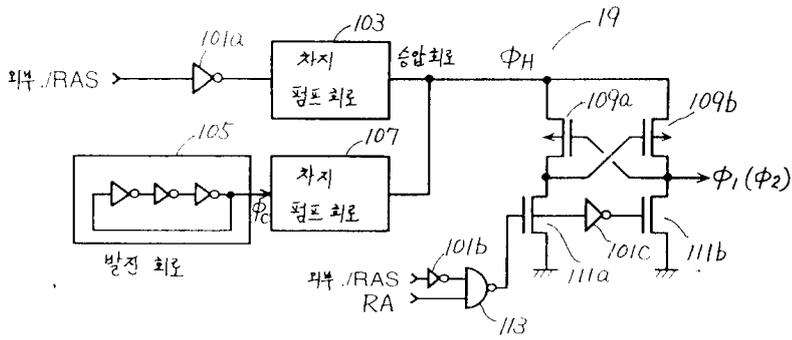
도면10



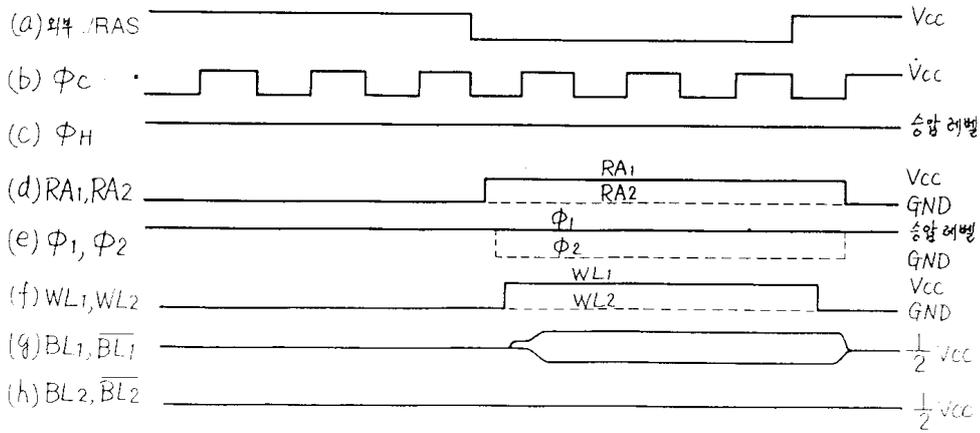
도면11



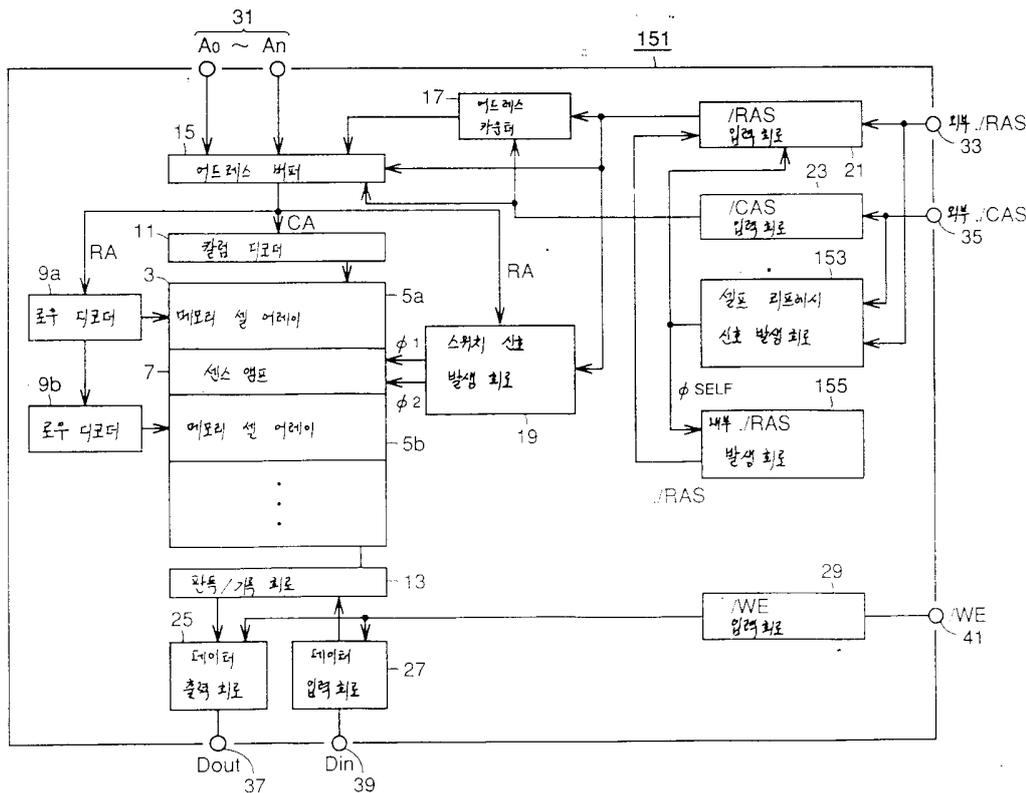
도면12



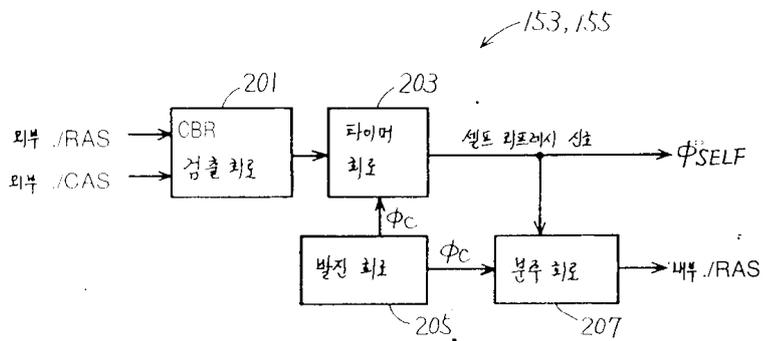
도면13



도면 14



도면 15



도면 16

