



(12) 发明专利

(10) 授权公告号 CN 102035165 B

(45) 授权公告日 2014. 07. 30

(21) 申请号 200910175706. 0

(22) 申请日 2009. 09. 29

(73) 专利权人 意法半导体研发(上海)有限公司  
地址 200241 上海市紫竹科学园紫海路 88 号

(72) 发明人 杨兆昂 刘海洋 涂仲轩 张建新

(74) 专利代理机构 北京市金杜律师事务所  
11256

代理人 王茂华 陈姗姗

(51) Int. Cl.

H02H 3/08(2006. 01)

G01R 19/165(2006. 01)

(56) 对比文件

CN 1677426 A, 2005. 10. 05, 说明书第 2 页第 10 行 - 第 3 页第 4 行、附图 1-5.

CN 1630155 A, 2005. 06. 22, 全文.

CN 1545052 A, 2004. 11. 10, 全文.

US 2009/0195953 A1, 2009. 08. 06, 全文.

审查员 黄绵

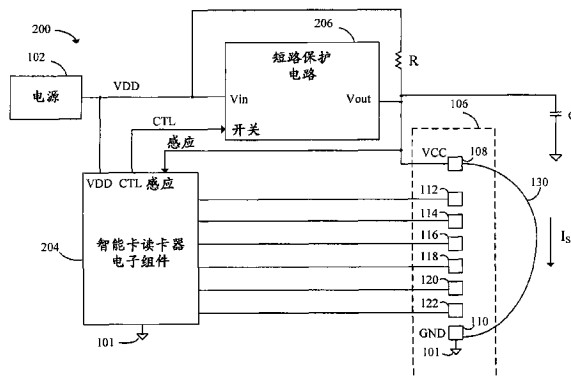
权利要求书2页 说明书7页 附图3页

(54) 发明名称

用于短路保护的系统和方法

(57) 摘要

本发明公开了一种用于提供短路保护的系统和方法。所述系统具有供电电路和串联开关。供电电路具有供电输入端和供电输出端,并且配置成在供电输出端处递送输出电流,并且如果输出电流超出第一电流限度则禁用供电输出端。串联开关耦合在供电电路的供电输出端和供电节点之间,并且供电节点配置成耦合到负载。所述方法包括通过串联晶体管向负载供应电流;确定到所述负载的所述电流是否超出了第一阈值;以及如果所述电流超出了所述第一阈值,则断开具有耦合到所述串联晶体管的控制节点的输出节点的控制晶体管,其中所述控制晶体管断开所述串联晶体管。此外,还公开了一种用于向负载提供短路保护的电路。



1. 一种用于提供短路保护的系统,所述系统包括:
  - 供电电路,其包括
  - 供电输入端,
  - 供电输出端,
  - 第一晶体管,所述第一晶体管包括耦合到所述供电输入端的输入端子和耦合到所述供电输出端的输出端子,
  - 第一电阻器,耦合在所述供电输入端和所述第一晶体的控制端子之间;
  - 第二晶体管,所述第二晶体管包括耦合到供电参考电势的输入端子、耦合到所述第一晶体的控制端子的输出端子以及控制端子;
  - 第二电阻器,耦合在所述供电输出端和所述第二晶体的所述控制端子之间;以及
  - 第三电阻器,耦合在所述供电输入端和所述第二晶体的所述控制端子之间,其中所述供电电路配置成在所述供电输出端处递送输出电流,并且如果所述输出电流超出第一电流限度则禁用所述供电输出端;以及
  - 串联开关,其耦合在所述供电电路的供电输出端处的所述第一晶体的所述输出端子和供电节点之间,其中所述供电节点配置成耦合到负载。
2. 根据权利要求 1 所述的系统,其中当所述串联开关被断开时,所述供电电路被配置成复位。
3. 根据权利要求 1 所述的系统,进一步包括:
  - 电阻器,其耦合在所述供电输出端和第一参考电压之间;以及
  - 电容器,其耦合在所述供电输出端和第二参考电压之间,其中所述电容器配置成在所述供电节点遭受短路条件后放电。
4. 根据权利要求 3 所述的系统,进一步包括控制器,所述控制器包括耦合到所述供电节点的输入端以及耦合到所述串联开关的控制端子的输出端,其中所述控制器被配置成如果所述供电节点和所述第二参考电压之间的电位差大于第一电压阈值,则接通所述串联开关。
5. 根据权利要求 4 所述的系统,其中所述第二参考电压包括地电压。
6. 根据权利要求 1 所述的系统,其中所述第一晶体管包括 PMOS 晶体管而第二晶体管包括 NMOS 晶体管。
7. 根据权利要求 1 所述的系统,进一步包括耦合到所述供电电路的 IC 卡读卡器。
8. 一种用于向负载提供短路保护的电路,所述电路包括:
  - 第一晶体管,其包括:
    - 耦合到供电输入端的输入端子,
    - 耦合到供电输出端的输出端子,以及
    - 控制端子;
  - 第一电阻器,其耦合在所述供电输入端和所述第一晶体的控制端子之间;
  - 第二晶体管,其包括:
    - 耦合到第一供电参考电势的输入端子,
    - 耦合到所述第一晶体的控制端子的输出端子,以及
    - 控制端子;

第二电阻器,其耦合在所述供电输出端和所述第二晶体管的控制端子之间;以及第三电阻器,其耦合在所述供电输入端和所述第二晶体管的控制端子之间。

9. 根据权利要求 8 所述的电路,进一步包括第三晶体管,其包括耦合到所述供电输出端的输入端子、耦合到供电节点的输出端子、以及控制端子。

10. 根据权利要求 9 所述的电路,其中:

所述第一、第二和第三晶体管包括 MOS 晶体管;

所述第一、第二和第三晶体管的输入端子包括源极;

所述第一、第二和第三晶体管的输出端子包括漏极;以及

所述第一、第二和第三晶体管的控制端子包括栅极。

11. 根据权利要求 9 所述的电路,进一步包括:

耦合在所述供电节点和所述第一供电参考电势之间的电容器;以及

耦合在第二参考电势和所述供电输出端之间的第四电阻器。

12. 根据权利要求 9 所述的电路,其中所述第一供电参考电势包括地电势。

13. 根据权利要求 8 所述的电路,其中所述电路配置成向 IC 卡读卡器提供短路保护。

14. 根据权利要求 9 所述的电路,进一步包括控制器,所述控制器包括耦合到所述供电节点的输入端和耦合到所述第三晶体管的控制端子的输出端,其中所述控制器被配置成如果所述供电节点和所述第一供电参考电势之间的电势差大于第一电压阈值,则接通所述第三晶体管。

15. 一种用于提供电源的短路保护的方法,所述方法包括:

在启用耦合在串联晶体管和负载之间的开关晶体管后,通过所述串联晶体管并且通过所述开关晶体管向负载供应电流;

确定到所述负载的所述电流是否超出了第一阈值;以及

如果所述电流超出了所述第一阈值,则断开具有耦合到所述串联晶体管的控制节点的输出节点的控制晶体管,其中所述控制晶体管断开所述串联晶体管,其中断开所述控制晶体管包括:经由耦合在所述控制晶体的控制节点和所述串联晶体管的输出节点之间的第一电阻器来降低所述控制晶体的控制节点的电压;以及

复位所述串联晶体管,其中所述复位包括:

禁用所述开关晶体管,

经由耦合在供电节点和所述控制晶体的所述控制节点之间的上拉电阻器来接通所述控制晶体管,以及

接通所述串联晶体管,其中接通所述串联晶体管包括经由耦合到所述串联晶体的控制节点的所述控制晶体的输出节点来接通所述串联晶体管。

16. 根据权利要求 15 所述的方法,进一步包括:

启用所述电源,启用所述电源包括:

测量所述负载处的电压,以及

如果所述负载处的电压超出第二阈值,则启用所述开关晶体管。

17. 根据权利要求 15 所述的方法,进一步包括经由所述电源向 IC 卡读卡器接口供电。

## 用于短路保护的系统和方法

### 技术领域

[0001] 本发明一般地涉及电子电路,并且更具体地涉及用于短路保护的系统和方法。

### 背景技术

[0002] 用于例如信用卡、身份卡以及对计算机系统和交通的安全接入之类的应用的智能卡技术正在变得越来越普遍。通常,智能卡包含小型外部供电的集成电路,例如安装在口袋大小的卡上的微处理器。集成电路可以编程成与智能卡读卡器接口连接以便例如验证金融交易、提供对计算机系统的安全接入以及核实身份。由于智能卡内部的集成电路是外部供电的,因此智能卡通常在其卡面上具有多个电触点,其可以与智能卡读卡器内的数据和电源接口的相应触点接口连接。

[0003] 典型的智能卡接口包括八个金属触点。这些触点中有电源触点和地触点,地触点通常与读卡器内的电源系统共用。然而,如果将具有短路触点的损坏的智能卡或金属薄片插入到读卡器内,则可能导致智能卡读卡器内的电源触点和地触点之间的短路。这种短路可能将禁用智能卡接口并且可能断开耦合到智能卡接口的系统。这种系统断开会造成问题,特别是在执行金融交易(例如,自动提款机或银行事务计算机)的系统中。

[0004] 在过去,通过使用一次性熔丝、自复原熔丝或隔离的电源,已经解决了智能卡读卡器内的短路保护的问题。一次性熔丝会造成问题,因为熔丝的结构要花费长时间来反应,由此在智能卡电源接口处的短路开始后,触发系统复位。进一步,一次性熔丝对于系统维护也造成困难,因为触发过的一次性熔丝通常需要技术人员来更换或手动复位,这将造成停工并且损失来自于创造收入的机器的利润。

[0005] 使用自复原熔丝的智能卡系统可以在短路条件被去除时立即重启。然而,自复原熔丝可能需要太长的时间来触发,并且可能无法对整个智能卡系统提供足够的保护。

[0006] 处理智能卡读卡器的电源触点之间的短路问题的另一种途径是将智能卡电源与主电源进行隔离,例如,通过使用分离和独立的电源。因此,智能卡接口上的短路将不会影响到整个智能卡系统的电源。制造额外的电源更加昂贵,并且仍将使得智能卡电源易于受到短路所造成的破坏。

[0007] 图1图示出根据现有技术的智能卡读卡器系统100。系统100具有电源102、连接器接口106以及智能卡读卡器电子组件104。电源102向整个智能卡读卡器系统供电,并且智能卡读卡器电子组件104包含例如微处理器或微控制器、存储器和接口电子组件以执行智能卡读卡器的功能。连接器接口106物理地配置成接受智能卡并且具有多个连接器端子108、110、112、114、116、118、120和122,其用于与智能卡(未示出)进行接触。对智能卡供电是通过电源管脚108和地管脚110来提供的。全局地101被提供给电源102、智能卡读卡器电子组件104和连接器接口106。

[0008] 如果电源管脚108连接到地管脚110从而形成短路130,则将生成大电流 $I_{SS}$ 。这种短路例如可以通过将有故障的或已遭破坏的智能卡插入到连接器接口106、或通过将金属块或金属薄片插入到连接器接口106来形成。如果 $I_{SS}$ 和系统的剩余部分所吸收的电流

的和超出电源 102 的额定电流,则将造成对电源 102 的破坏和 / 或系统故障。

[0009] 在电源的领域内,所需要的是成本有效的系统和方法,其快速检测和禁用系统的一部分中的短路条件而不会影响系统的其余部分的性能。

### 发明内容

[0010] 在一个实施方式中,公开了一种用于提供短路保护的系统。所述系统具有供电电路和串联开关。供电电路具有供电输入端和供电输出端,并且配置成在供电输出端处递送输出电流,并且如果输出电流超出第一电流限度则禁用供电输出端。串联开关耦合在供电电路的供电输出端和供电节点之间,并且供电节点配置成耦合到负载。

[0011] 在另一个实施方式中,公开了一种用于向负载提供短路保护的电路。所述电路具有第一晶体管、第二晶体管、第一电阻器、第二电阻器和第三电阻器。第一晶体管具有耦合到供电输入端的输入端子,耦合到供电输出端的输出端子,以及控制端子。第二晶体管具有耦合到第一供电参考电势的输入端子,耦合到第一晶体的控制端子的输出端子,以及控制端子。第一电阻器耦合在供电输入端和第一晶体的控制端子之间,第二电阻器耦合在供电输出端和第二晶体的控制端子之间,并且第三电阻器耦合在供电输入端和第二晶体的控制端子之间。

[0012] 在另外的实施方式中,公开了一种用于提供电源的短路保护的方法。所述方法具有下面的步骤:通过串联晶体管向负载供应电流并且确定所述电流是否超出了第一阈值。如果所述电流超出了第一阈值,则执行断开控制晶体管的步骤使得控制晶体管断开串联晶体管,所述控制晶体管具有耦合到串联晶体的控制节点的输出节点。

[0013] 上文相对宽泛地总结了本公开的特征。下文将描述本公开的附加特征,其形成了本发明的权利要求的主题。本领域技术人员应该理解这里公开的概念和具体实施方式可以容易地用作修改或设计用于实施本发明的相同目的的其他结构或过程的基础。本领域技术人员还应该意识到此类的等同构造并不偏离于如在所附权利要求书中所描述的本发明的精神和范围。

### 附图说明

[0014] 为了更为完整地理解本公开及其优势,现在将参考结合附图所做出的下文描述,其中:

[0015] 图 1 图示出现有技术读卡器系统的示意图;

[0016] 图 2 图示出读卡器系统的一个实施方式的示意图;

[0017] 图 3 图示出短路保护电路的一个实施方式的示意图;

[0018] 图 4 图示出电源系统的一个实施方式的示意图;以及

[0019] 图 5 图示出短路保护电路的另一实施方式的示意图。

[0020] 除非特别指出,不同附图中的相应标号和符号通常代表相应的部件。附图被绘制成清晰地图示出本发明的实施方式的相关方面并且并未按比例绘制。为了更为清晰地图示出某些实施方式,指示相同结构、材料或过程步骤的变形的字母可以跟随附图标号。

### 具体实施方式

[0021] 下面将详细描述实施方式的实现和使用。然而,应该理解本发明提供了许多可应用的创造性概念,其可以具体实施在各种特定的环境中。所讨论的具体实施方式仅仅是实现和使用本发明的特定方式的示意性说明,并不是限制本发明的范围。

[0022] 将参考特定环境中的实施方式来描述本公开,该特定的环境即用于 IC 卡读卡器系统(例如智能卡系统)的短路保护的系统和方法。本发明的实施方式也可以应用于需要针对短路和高电流条件进行保护的其他电路和系统。

[0023] 图 2 图示出根据本公开的一个实施方式的智能卡读卡器系统 200。系统 200 具有电源 102、智能卡读卡器电子组件 204、连接器接口 106 和短路保护电路 206。在一个实施方式中,短路保护电路 206 在信号 CTL 是低时(例如,处于地电势或零伏特)的常规操作期间提供  $V_{in}$  和  $V_{out}$  之间的低串联电阻。如果通过连接器 106 中的管脚 108(VCC) 吸收的电流超出某个电流阈值,则  $V_{in}$  和  $V_{out}$  之间的阻抗将变得很高,由此有效地断开连接器 106 处的电源。在本公开的实施方式中,短路条件 130(例如,连接器 106 的电源管脚 108 和地管脚 110 之间)仅造成短时间段内的短路电流  $I_{ss}$ ,该时间段取决于短路保护电路内的选择的晶体管的断开速度,例如在短路保护电路 206 达到高阻抗状态前的 5ns 到 15ns 之间。在本发明的可选实施方式中,根据实现和系统需要,短路保护电路 206 可以更快或更慢地断开。

[0024] 在示例性实施方式中,在系统启动期间,智能卡读卡器电子组件 204 将信号 CTL 设置成高,由此在加电时禁止供应电源到 VCC。到智能卡读卡器电子组件 204 的感应输入端在启动期间询问连接器 106 处的电源电压 VCC 以检查在 VCC 管脚 108 处的电压是否经由上拉电阻器 R 而处于电源电压 VDD。如果 VCC 管脚 108 的电压处于或高于 VDD,或超出某个阈值,则智能卡读卡器电子组件 204 将通过令信号 CTL 变低来启用短路保护电路 206。如果从 VCC 管脚 108 到 GND 管脚 110 的路径最近被短路,则电容器 C 将处于放电状态并且智能卡电子组件 204 将等待直到电容器 C 经由上拉电阻器 R 再次被充电。智能卡电子组件 204 中的感应特征阻止了 VCC 管脚 108 处的电源在存在短路条件的情况下被启用。在示例的实施方式中,上拉电阻 R 的值大约是  $10K\Omega$  并且 C 的值大约是  $1\mu F$ ,这产生了大约 10ms 的稳定时间。在可选的实施方式中,其他的值和 / 或时间常数可以用于电阻器 R 和电容器 C。

[0025] 在可选的实施方式中,CTL 可以是活跃的高,或完全被去除。在另外的实施方式中,可以使用其他的阈值、电压和电流等级。除了智能卡读卡器以外,短路保护电路可以用于为其他系统和应用提供短路保护,例如计算机、蜂窝电话等的商业或消费类电子产品。

[0026] 转向图 3,其图示出短路保护电路 300 的一个实施方式的示意图。该实施方式的短路保护电路 300 的主要布局使用 PMOS 晶体管 Q1、NMOS 晶体管 Q2 以及电阻器 R1、R2 和 R3 来自动地检测  $V_{out}$  处的短路条件。电阻器 R2 优选地具有比电阻器 R3 低得多的电阻值,例如电阻器 R3 是 R2 电阻值的 100 倍。额外的 PMOS 晶体管 Q3 用作为耦合到  $V_{out}$  的负载进行上电 ON 和断电 OFF 的开关。电阻器 R4 向 Q3 的栅极提供保护,并且上拉电阻器 R5 将电容器 C1 充电到电压  $V_{in}$  以提供如上所述的检测最近短路条件的方式。通过选择合适的组件参数,将保护耦合到  $V_{in}$  的主电源免于在  $V_{out}$  被短路的时间期间发生故障状况。

[0027] 根据一个实施方式,在将电源供应给耦合到  $V_{out}$  的负载前,信号 SWITCH(开关)被设置成高,由此断开 PMOS 器件 Q3。因为 Q3 的漏源电阻  $R_{DS}$  处于高阻抗, NMOS 器件 Q2 的栅极被充电到  $V_{in}$ ,这将接通 NMOS 器件 Q2。当 Q2 接通时,PMOS 器件 Q1 的栅极将被拉低到地,由此接通 PMOS 器件 Q1,从而在 Q1 的漏极处的电压大约等于在  $V_{in}$  处的电压。在可选的

实施方式中,除了 MOSFET 以外,其他的器件类型(例如 BJT 或 JFET 器件)也可以用于例如晶体管 Q1、Q2 和 Q3。在另外的实施方式中,取决于系统及其要求,例如在使用负电源电压的系统中,NMOS 和 PMOS 器件的极性可以被翻转。

[0028] 当将信号 SWITCH 设置为低时,PMOS 器件 Q3 被接通,电流经由 PMOS 器件 Q1 和 Q3 供给 RLOAD。由于 R2 比 R3 小得多并且 RLOAD 没有被短路,所以 NMOS 器件 Q2 的栅极将保持高并且电源将持续供应给负载。只要 NMOS 器件 Q2 的栅极电压高于 Q2 的阈值,NMOS 器件 Q2 就将保持接通。Q2 的栅极电压主要由 Q2 的漏极电压造成,其等于  $V_{in}$  减去 PMOS 器件 Q1 的  $v_{SD}$ 。

[0029] 然而,如果智能卡或将要保护的电路的  $V_{cc}$  被短路到地,则将经由 R2 将 NMOS 器件 Q2 的栅极拉低。这将导致断开 Q2,由此允许经由上拉电阻 R1 将 Q1 的栅极拉到  $V_{in}$ ,由此断开 Q1 以将 RLOAD 与主电源进行隔离。R3 优选地具有最优的值范围。如果 R3 太小,则在负载被短路的期间,功耗将增加。如果另一方面,R3 太大,则可能将阻止 NMOS 器件 Q2 接通。

[0030] 在一个示例实施方式中,选择 Q2、Q3、R2 和 R3 的组件参数以确保当开关晶体管 Q3 断开时,Q2 接通。在启动时,当下面的条件得到满足时,Q2 接通:

$$[0031] \quad V_{GS2} = V_{IN} \frac{R_2 + R_{DS(off)3} + R_{LOAD}}{R_3 + R_2 + R_{DS(off)3} + R_{LOAD}} > V_{GS(th)2}$$

[0032] 其中  $V_{IN}$  是输入电压, $V_{GS2}$  是 Q2 的栅源电压, $V_{GS(th)2}$  是 Q2 的阈值电压, $R_{DS(off)3}$  是 Q3 的静态漏源断开电阻,并且  $R_{LOAD}$  是额定负载电阻。

[0033] 当接通 Q3 并且没有发生短路时,并且电源工作在标称条件下时,下面的条件要得到满足以将 Q1 和 Q2 保持在 ON(接通)状态,从而向负载提供电源:

$$[0034] \quad V_{GS2} = V_{IN} \frac{R_2 + R_{DS(on)3} + R_{LOAD}}{R_3 + R_2 + R_{DS(on)3} + R_{LOAD}} + V_{D1} \frac{R_3}{R_2 + R_3} > V_{GS(th)2}$$

[0035] 其中  $R_{DS(on)3}$  是 Q3 的静态漏源导通电阻,而  $V_{D1}$  是 Q1 的漏极电压。

[0036] 总之,图 3 的电路至少在三种模式中操作。第一种模式是当晶体管 Q3 被断开时,在该情况中,晶体管 Q1 和 Q2 自身自动地接通并且没有电源提供给智能卡(或要被保护的电路)。第二种模式是当 Q3 被接通并且短路发生时。在该情况中,Q1 和 Q2 自动地断开以切断对智能卡(或要被保护的电路)的供电,从而电源与主电源  $V_{in}$  隔离。第三种模式是 Q3 接通并且智能卡(或要被保护的电路)常规地工作。

[0037] 转向图 4,其图示出电源系统 400 的实施方式。该系统具有电源 102、短路保护块 406、微处理器 402 和由 RLOAD 代表的负载 404。这里,微处理器 402 经由信号 CTL 接口连接以控制短路保护电路 406 的 ON(开启)/OFF(关闭)状态。由微处理器的 SENSE(感应)输入端来感应电源以确保在经由短路保护块 406 接通电源前,负载 404 未被短路。图 4 的实施方式适用于使用在智能卡读取系统中以及需要短路保护的其他系统中。

[0038] 图 5 图示出根据一个实施方式的短路保护电路 500。图 5 的实施方式的布局类似于图 3 的布局,在表 1 中列出了组件参数。

[0039]

项目	值

V <sub>in</sub>	5V/3.3V
R1	10K $\Omega$
R2	1K $\Omega$
R3	100K $\Omega$
R4	330 $\Omega$
R5	10K $\Omega$
C1	1 $\mu$ F
Q1	BSS84
Q2	2N7002
Q3	BSS84

[0040] 表 1- 电路参数

[0041] 表 2 列出 2N7002NMOS 器件的参数, 并且表 3 列出在图 5 的实施方式中使用的 BSS84PMOS 器件的参数。

[0042]

符号	参数	测试条件	Min.	典型值	Max.	单位
V <sub>GS(th)</sub>	栅极阈值电压	V <sub>DS</sub> =V <sub>GS</sub> ; I <sub>D</sub> =-1mA	-0.8	-2		V
td(on)	接通时间	V <sub>GS</sub> =0 到 -10 V V <sub>DD</sub> =-40V I <sub>D</sub> =-200mA		3		ns
td(off)	断开时间	V <sub>GS</sub> =-10 to 0 V V <sub>DD</sub> =-40V I <sub>D</sub> =-200mA		3		ns
R <sub>DS(on)</sub>	静态漏源导通电阻	V <sub>GS</sub> =0 to -10 V V <sub>DD</sub> =-40V I <sub>D</sub> =-200mA			10	$\Omega$

[0043] 表 2-BSS84 的参数

[0044]



符号	参数	测试条件	Min.	典型值	Max.	单位
V <sub>GS(th)</sub>	栅极阈值电压	V <sub>DS</sub> =V <sub>GS</sub> ; I <sub>D</sub> =250μA	1	2.1	3	V
td(on)	接通时间	V <sub>DD</sub> =30V I <sub>D</sub> =500mA		5		ns
td(off)	断开时间	R <sub>G</sub> =4.7Ω; V <sub>GS</sub> =4.5V		7		ns
R <sub>DS(on)</sub>	静态漏源导通电阻	V <sub>GS</sub> =10V, I <sub>D</sub> =500mA;		1.8	5	Ω
		V <sub>GS</sub> =4.5V, I <sub>D</sub> =500mA;		2	5.3	Ω

[0045] 表 3-2N7002 的参数

[0046] 可以使用下面的变量来分析短路保护电路 500 :

[0047] V<sub>DS(th)x</sub> Q<sub>x</sub> 的栅极阈值电压 ;

[0048] V<sub>DS(on)x</sub> Q<sub>x</sub> 的静态漏源电压 ;

[0049] R<sub>DS(off)x</sub> Q<sub>x</sub> 的静态漏源断开电阻 ;

[0050] R<sub>DS(on)x</sub> Q<sub>x</sub> 的静态漏源导通电阻 ;

[0051] R<sub>LOAD</sub> 负载电阻 ;

[0052] V<sub>A</sub> 节点 A 处的电压 ;

[0053] V<sub>B</sub> 节点 B 处的电压 ;

[0054] V<sub>C</sub> 节点 C 处的电压 ;以及

[0055] V<sub>D</sub> 节点 D 处的电压。

[0056] 当系统电源接通而 Q3 断开时,这对应于其中智能卡 (或要被保护的电路) 没有被加电的情况 :

[0057] V<sub>IN</sub> = 5V,

[0058] 
$$V_{GS2} = V_{IN} \frac{R_2 + R_{DS(off)3} + R_{LOAD}}{R_3 + R_2 + R_{DS(off)3} + R_{LOAD}} > V_{GS(th)2},$$

[0059] R<sub>DS(off)3</sub> >> R<sub>3</sub>,

[0060] 从上面可以看出 Q2 的栅源电压是 :

[0061] V<sub>GS2</sub> ≈ V<sub>IN</sub> = 5V > V<sub>GS(th)2</sub>

[0062] 该条件将导致 Q2 在若干个纳秒内接通,这导致 :

[0063] V<sub>B</sub> = V<sub>DS(on)2</sub> ≈ 0, 并且

[0064] |V<sub>GS1</sub>| ≈ V<sub>IN</sub> > V<sub>GS(th)1</sub>.

[0065] 其中 Q1 的栅极大于其阈值, Q1 也将在若干个纳秒内接通,导致 :

[0066] V<sub>D</sub> = V<sub>IN</sub> - V<sub>DS(on)1</sub> ≈ V<sub>IN</sub>

[0067] 在该点处,电压准备按常规工作。

[0068] 当负载短路发生而晶体管 Q3 接通时,假设在该情况下, V<sub>DS(on)3</sub> ≈ 0 并且 R<sub>LOAD</sub> = 0,

因此：

$$[0069] \quad V_{GS2} = V_{IN} \frac{R_2 + R_{DS(on)3} + R_{LOAD}}{R_3 + R_2 + R_{DS(on)3} + R_{LOAD}}$$

[0070] 代入组件值：

$$[0071] \quad V_{GS2} = V_{IN} \frac{1,000 + 5 + 0}{100,000 + 1000 + 5 + 0} \approx 0.01V_{IN} = 0.01 \times 5V = 0.05V$$

[0072] 因为  $0.05V < V_{GS2(th)2}$ ,

[0073] Q2 将在若干纳秒后断开, 导致经由电阻器 R1 将  $V_B$  上拉到  $V_{IN}$ 。

[0074] 由于

$$[0075] \quad V_B \approx V_{IN},$$

$$[0076] \quad V_{GS1} \approx 0 < V_{GS(th)1},$$

[0077] 这将导致 Q1 在若干纳秒后断开。结果是, 任何负载或短路, 端子  $V_{out}$  将高效地从耦合到  $V_{in}$  的电源断开。

[0078] 应该注意到上述的分析涉及具体的实施方式。在可选的实施方式中, 可以使用不同的电压电平和组件值, 其将相应地影响分析。

[0079] 本领域技术人员也很容易理解材料和方法可以被改变而同时保持在本发明的范围内。也将理解到, 除了用于示例性说明实施方式的特定环境之外, 本发明提供了多种可应用的创造性概念。因此, 所附权利要求书旨在在其范围内包括这种处理、机器、制造、物质的成分、装置、方法或步骤。

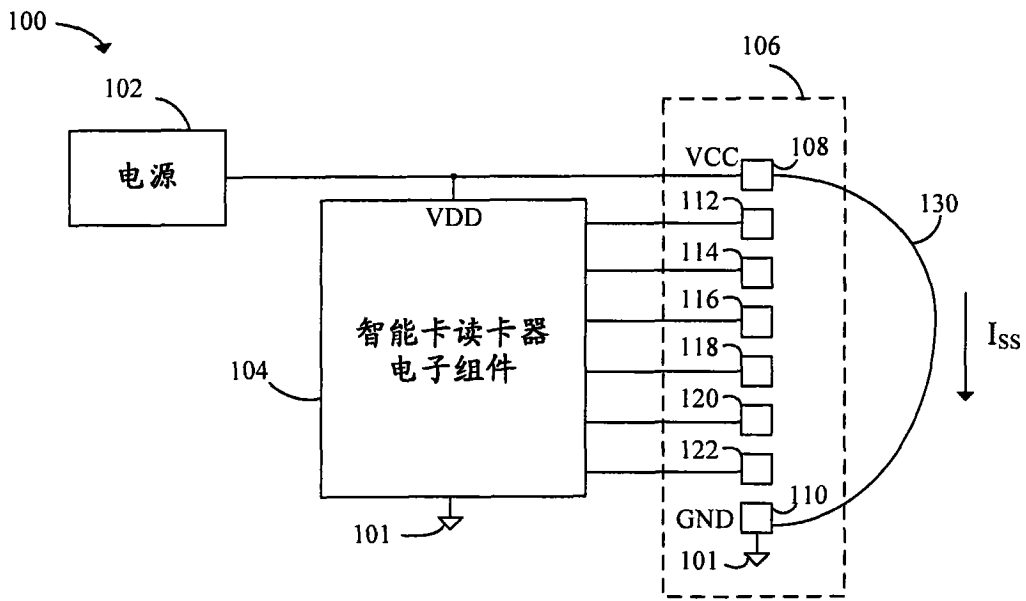


图 1

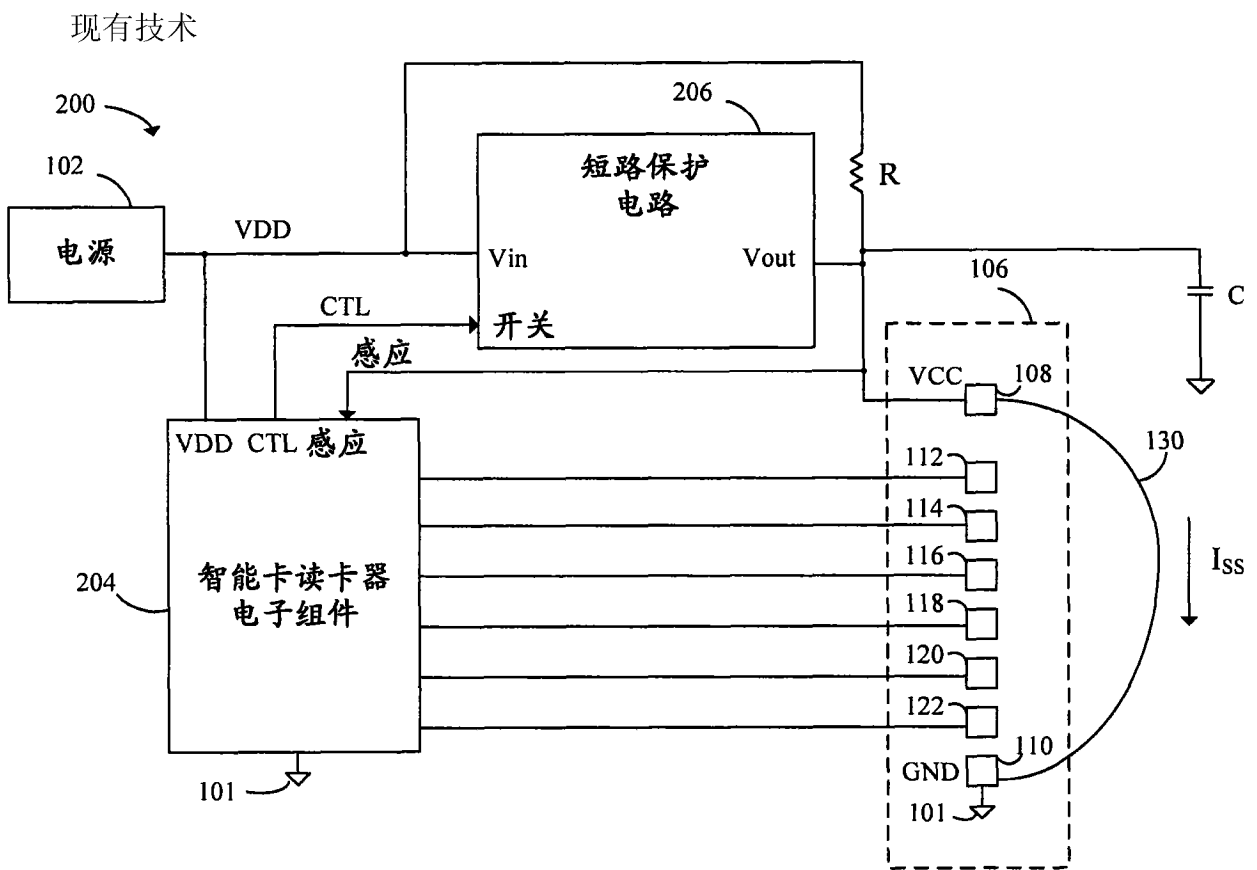


图 2

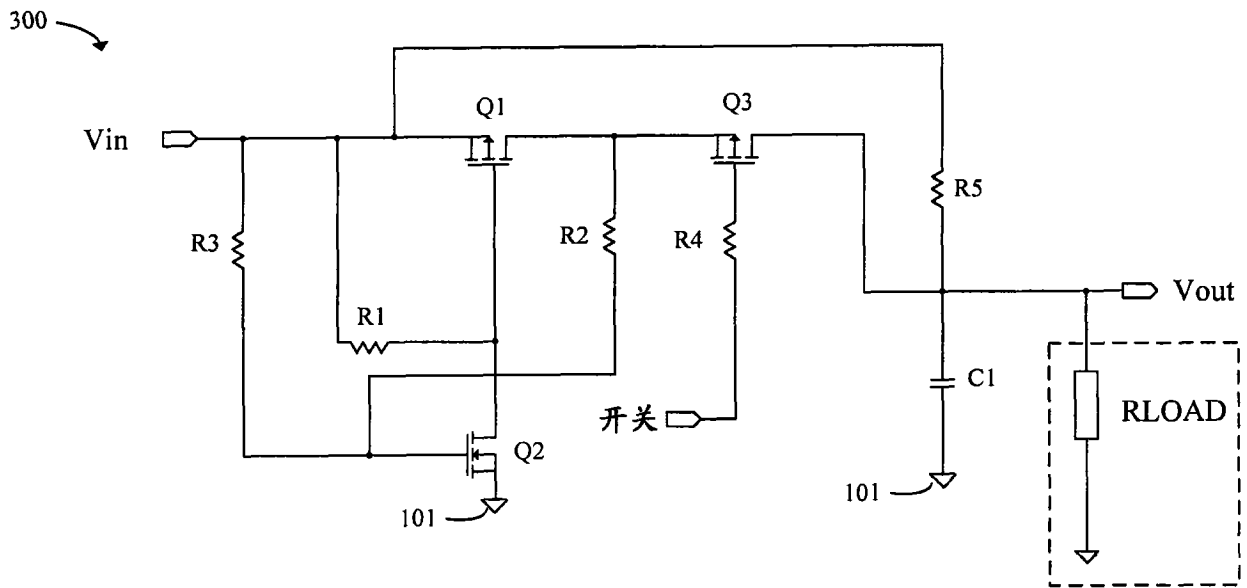


图 3

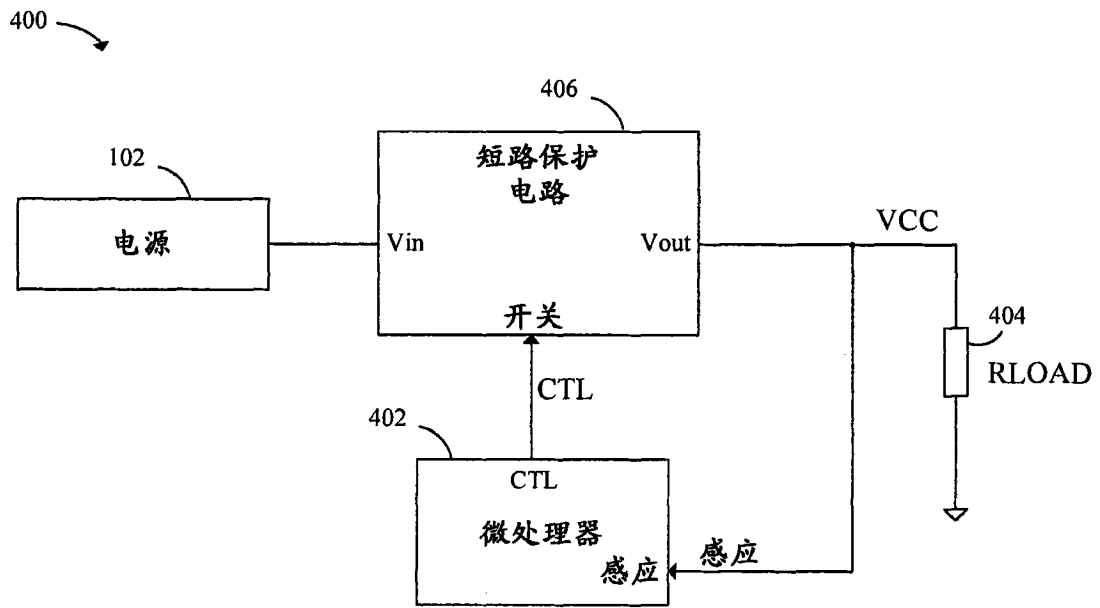


图 4

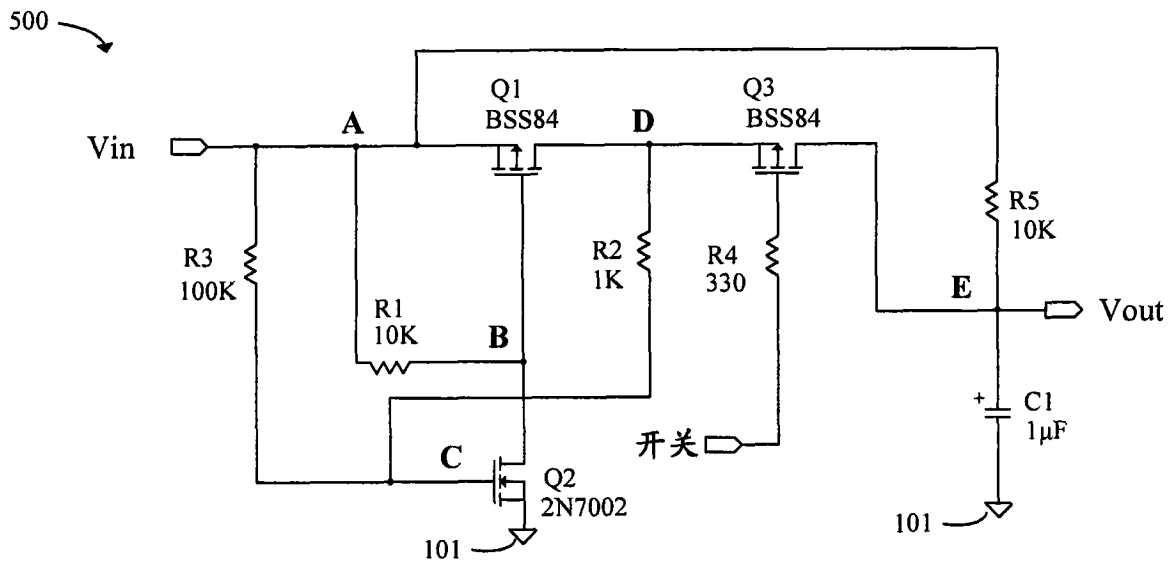


图 5