



(12) 发明专利

(10) 授权公告号 CN 112331655 B

(45) 授权公告日 2021.09.10

(21) 申请号 202011249304.3

H01L 27/11524 (2017.01)

(22) 申请日 2020.11.10

H01L 27/11556 (2017.01)

(65) 同一申请的已公布的文献号

H01L 27/11565 (2017.01)

申请公布号 CN 112331655 A

H01L 27/1157 (2017.01)

H01L 27/11582 (2017.01)

(43) 申请公布日 2021.02.05

(56) 对比文件

(73) 专利权人 长江存储科技有限责任公司

CN 109742083 A, 2019.05.10

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

CN 106920796 A, 2017.07.04

US 2010078622 A1, 2010.04.01

(72) 发明人 赵利俊 吴振国 陆聪 宋之洋 轩攀登

CN 106910746 A, 2017.06.30

CN 106920794 A, 2017.07.04

US 2017358362 A1, 2017.12.14

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

CN 110349964 A, 2019.10.18

代理人 尹秀

审查员 邢磊

(51) Int. Cl.

H01L 27/11519 (2017.01)

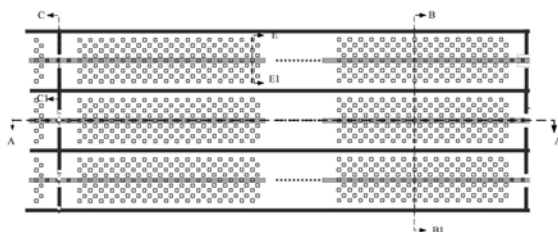
权利要求书2页 说明书14页 附图19页

(54) 发明名称

一种三维存储器及其制作方法

(57) 摘要

本申请实施例公开了一种三维存储器及其制作方法,该三维存储器包括:层叠的存储堆叠结构和连接结构,以及贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙垂直于所述第一方向,从而利用所述第一栅线缝隙减小所述存储堆叠结构中在垂直于所述第一方向上的应力积累,利用所述第二栅线缝隙减小所述存储堆叠结构中在平行于所述第一方向上的应力积累,从而减小所述连接结构中第一位线接触孔和所述存储堆叠结构中第一沟道孔的套刻误差,提高所述3D NAND存储器的良率。



1. 一种三维存储器,其特征在于,包括:

层叠的存储堆叠结构和连接结构,其中,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,其中,所述第一沟道孔具有存储功能,所述第一虚设沟道孔不具有存储功能,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接;

贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙平行于第二方向,所述第二方向与所述第一方向垂直;

其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构中所述指状结构的延伸方向;

所述指状结构包括存储区和信号传输区;

所述指状结构包括至少一个半指状结构,所述信号传输区包括至少一个子信号传输区,所述子信号传输区与所述半指状结构一一对应;

所述半指状结构包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一存储子平面以及位于所述第二栅线缝隙另一侧的第二存储子平面;

所述子信号传输区包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一子信号传输区、位于所述第二栅线缝隙另一侧的第二子信号传输区以及连接所述第一子信号传输区和所述第二子信号传输区的信号连接区。

2. 根据权利要求1所述的三维存储器,其特征在于,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。

3. 根据权利要求1所述的三维存储器,其特征在于,还包括:贯穿所述存储堆叠结构中所述信号传输区的至少一个选通开关缝隙,所述指状结构被所述至少一个选通开关缝隙分割成至少两个半指状结构,所述至少两个半指状结构沿所述第二方向排布。

4. 根据权利要求3所述的三维存储器,其特征在于,所述指状结构包括在所述第二方向上相邻的第一半指状结构和第二半指状结构,所述第一半指状结构的信号连接区和所述第二半指状结构的信号连接区通过所述选通开关缝隙相邻。

5. 根据权利要求4所述的三维存储器,其特征在于,所述第一半指状结构的信号连接区在所述第二方向上的宽度取值范围为110nm-150nm,包括端点值;

所述第二半指状结构的信号连接区在所述第二方向上的宽度取值范围为110nm-150nm,包括端点值。

6. 一种三维存储器的制作方法,其特征在于,包括:

制作存储堆叠结构,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,其中,所述第一沟道孔具有存储功能,所述第一虚设沟道孔不具有存储功能;

在所述存储堆叠结构上方形成连接结构,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接;

形成贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙平行于第二方向,所述第二方向垂直于所述第一方向;

其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构

中所述指状结构的延伸方向；

所述指状结构包括存储区和信号传输区；

所述指状结构包括至少一个半指状结构,所述信号传输区包括至少一个子信号传输区,所述子信号传输区与所述半指状结构一一对应；

所述半指状结构包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一存储子平面以及位于所述第二栅线缝隙另一侧的第二存储子平面；

所述子信号传输区包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一子信号传输区、位于所述第二栅线缝隙另一侧的第二子信号传输区以及连接所述第一子信号传输区和所述第二子信号传输区的信号连接区。

7.根据权利要求6所述的制作方法,其特征在于,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。

8.根据权利要求6所述的制作方法,其特征在于,该方法还包括:

以第一版图,制作第一存储堆叠结构,所述第一存储堆叠结构中具有多个第二沟道孔和多个第二虚设沟道孔,其中,所述第二沟道孔具有存储功能,所述第二虚设沟道孔不具有存储功能；

以第二版图,在所述第一存储堆叠结构上方形成第一连接结构,所述第一连接结构中具有多个第二位线接触孔,所述第二位线接触孔与所述第二沟道孔对接；

获取所述第二位线接触孔与所述第二沟道孔之间的套刻误差；

如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差位于预设误差误差范围内,直接利用所述第一版图和所述第二版图制作所述存储堆叠结构和所述连接结构。

9.根据权利要求8所述的制作方法,其特征在于,如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差不在预设误差误差范围内,利用所述第二位线接触孔和所述第二沟道孔之间的套刻误差,对所述第一版图进行修正获得第三版图；

然后利用所述第三版图制作所述存储堆叠结构,利用所述第二版图制作所述连接结构。

## 一种三维存储器及其制作方法

### 技术领域

[0001] 本申请涉及半导体制造领域,尤其涉及一种三维存储器以及一种三维存储器的制作方法。

### 背景技术

[0002] 随着对高度集成电子装置的持续重视,半导体市场对以更高的速度和更低的功率运行并具有增大的器件密度的半导体存储器件存在持续的需求。为了达到这一目的,已经发展了具有更小尺寸的器件和具有以水平和垂直阵列布置的晶体管单元的多层器件。3D NAND是业界所研发的一种新型的闪存类型,通过垂直堆叠多层数据存储单元来解决2D或者平面NAND闪存带来的限制,其具备卓越的精度,支持在更小的空间内容纳更高的存储容量,可打造出存储容量比同类NAND技术高达数倍的存储设备,进而有效降低成本和能耗,能全面满足众多消费类移动设备和要求最严苛的企业部署的需求。

[0003] 目前3D NAND存储器中包括存储堆叠结构以及位于所述存储堆叠结构上方的连接结构,其中,所述存储堆叠结构中具有多个沟道孔,所述沟道孔中形成有存储单元,所述连接结构中具有多个位线接触孔,所述连接结构中的位线接触孔与所述存储堆叠结构中的沟道孔对接,以便于实现位于所述沟道孔中的存储单元中数据的读取。但是,现有3D NAND存储器中连接结构中的位线接触孔和所述存储堆叠结构中的沟道孔之间的套刻误差较大,影响所述3D NAND存储器的良率。

### 发明内容

[0004] 为解决上述技术问题,本申请实施例提供了一种三维存储器以及一种三维存储器的制作方法,减小连接结构中位线接触孔和存储堆叠结构中沟道孔的套刻误差,提高所述3D NAND存储器的良率。

[0005] 为解决上述问题,本申请实施例提供了如下技术方案:

[0006] 一种三维存储器,包括:

[0007] 层叠的存储堆叠结构和连接结构,其中,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,其中,所述第一沟道孔具有存储功能,所述第一虚设沟道孔不具有存储功能,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接;

[0008] 贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙平行于第二方向,所述第二方向与所述第一方向垂直;

[0009] 其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构中所述指状结构的延伸方向。

[0010] 可选的,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。

[0011] 可选的,所述指状结构包括存储区和信号传输区;所述指状结构包括至少一个半指状结构,所述信号传输区包括至少一个子信号传输区,所述子信号传输区与所述半指状结构一一对应;

[0012] 所述半指状结构包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一存储子平面以及位于所述第二栅线缝隙另一侧的第二存储子平面;

[0013] 所述子信号传输区包括:在所述第一方向上,位于所述第二栅线缝隙一侧的第一子信号传输区、位于所述第二栅线缝隙另一侧的第二子信号传输区以及连接所述第一子信号传输区和所述第二子信号传输区的信号连接区。

[0014] 可选的,还包括:贯穿所述存储堆叠结构中所述信号传输区的至少一个选通开关缝隙,所述指状结构被至少一个选通开关缝隙分割成包括至少两个半指状结构,所述至少两个半指状结构沿所述第二方向排布。

[0015] 可选的,所述指状结构包括在所述第二方向上相邻的第一半指状结构和第二半指状结构,所述第一半指状结构的信号连接区和所述第二半指状结构的信号连接区通过所述选通开关缝隙相邻。

[0016] 可选的,所述第一半指状结构的信号连接区在所述第二方向上的宽度取值范围为110nm-150nm,包括端点值;

[0017] 所述第二半指状结构的信号连接区在所述第二方向上的宽度取值范围为110nm-150nm,包括端点值。

[0018] 一种三维存储器的制作方法,包括:

[0019] 制作存储堆叠结构,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,其中,所述第一沟道孔具有存储功能,所述第一虚设沟道孔不具有存储功能;

[0020] 在所述存储堆叠结构上方形成连接结构,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接;

[0021] 形成贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙平行于第二方向,所述第二方向垂直于所述第一方向;

[0022] 其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构中所述指状结构的延伸方向。

[0023] 可选的,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。

[0024] 可选的,该方法还包括:

[0025] 以第一版图,制作第一存储堆叠结构,所述第一存储堆叠结构中具有多个第二沟道孔和多个第二虚设沟道孔,其中,所述第二沟道孔具有存储功能,所述第二虚设沟道孔不具有存储功能;

[0026] 以第二版图,在所述第一存储堆叠结构上方形成第一连接结构,所述第一连接结构中具有多个第二位线接触孔,所述第二位线接触孔与所述第二沟道孔对接;

[0027] 获取所述第二位线接触孔与所述第二沟道孔之间的套刻误差;

[0028] 如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差位于预设误差范围内,直接利用所述第一版图和所述第二版图制作所述存储堆叠结构和所述连接结构。

[0029] 可选的,如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差不在预设误差范围内,利用所述第二位线接触孔和所述第二沟道孔之间的套刻误差,对所述第一版图进行修正获得第三版图;

[0030] 然后利用所述第三版图制作所述存储堆叠结构,利用所述第二版图制作所述连接结构。

[0031] 与现有技术相比,上述技术方案具有以下优点:

[0032] 本申请实施例所提供的技术方案,包括:层叠的存储堆叠结构和连接结构,以及贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,所述第二栅线缝隙垂直于所述第一方向,从而利用所述第一栅线缝隙减小所述存储堆叠结构中在垂直于所述第一方向上的应力积累,利用所述第二栅线缝隙减小所述存储堆叠结构中在平行于所述第一方向上的应力积累,进而减小所述连接结构中第一位线接触孔和所述存储堆叠结构中第一沟道孔的套刻误差,提高所述3D NAND存储器的良率。

## 附图说明

[0033] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0034] 图1为一种现有三维存储器中沟道孔和位线接触孔的相对位置示意图;

[0035] 图2为一种现有三维存储器制作时的沟道孔位置修正量示意图;

[0036] 图3为另一种现有三维存储器制作时的沟道孔位置修正量示意图;

[0037] 图4为又一种现有三维存储器制作时的沟道孔位置修正量示意图;

[0038] 图5为再一种现有三维存储器制作时的沟道孔位置修正量示意图;

[0039] 图6为一种现有三维存储器中沟道孔上端面和下端面的相对位置示意图;

[0040] 图7为一种三维存储器中存储堆叠结构的结构示意图;

[0041] 图8为一种三维存储器中存储平面的结构示意图;

[0042] 图9为一种三维存储器中存储堆叠块的结构示意图;

[0043] 图10(a)为本申请实施例提供的一种三维存储器的俯视图;

[0044] 图10(b)为图10(a)所示三维存储器沿AA1方向的剖视图;

[0045] 图10(c)为本申请实施例提供的一种三维存储器中存储堆叠结构的俯视图;

[0046] 图10(d)为本申请实施例提供的一种三维存储器中连接结构的俯视图;

[0047] 图10(e)为图10(a)所示三维存储器局部放大图的俯视图;

[0048] 图10(f)为图10(a)所示三维存储器沿BB1方向的剖视图;

[0049] 图10(g)为图10(a)所示三维存储器沿CC1方向的剖视图;

[0050] 图11(a)为本申请实施例提供的一种三维存储器存储堆叠结构指状结构的俯视图;

[0051] 图11(b)为本申请实施例提供的一种三维存储器存储堆叠结构信号传输区的俯视图;

- [0052] 图11 (c) 为本申请实施例提供的另一种三维存储器存储堆叠结构信号传输区的俯视图；
- [0053] 图12为本申请实施例提供的另一种三维存储器存储堆叠结构的俯视图；
- [0054] 图13为图10 (a) 所示三维存储器沿EE1方向的另一种剖视图；
- [0055] 图14为本申请实施例提供的另一种三维存储器沿CC1方向的另一种剖视图；
- [0056] 图15为本申请实施例提供的另一种三维存储器局部放大图的俯视图；
- [0057] 图16 (a) -图24为本申请实施例提供的一种三维存储器制作方法制作三维存储器的过程中各涉及结构的示意图。

### 具体实施方式

[0058] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0059] 在下面的描述中阐述了很多具体细节以便于充分理解本申请,但是本申请还可以采用其他不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本申请内涵的情况下做类似推广,因此本申请不受下面公开的具体实施例的限制。

[0060] 正如背景技术部分所述,现有3D NAND存储器的连接结构中的位线接触孔和存储堆叠结构中的沟道孔之间的套刻误差较大,如图1所示,其中,黑色孔T1为存储堆叠结构中的沟道孔,白色孔T2为连接结构中的位线接触孔,影响所述3D NAND存储器的良率。

[0061] 发明人研究发现,这是由于所述存储堆叠结构中的堆叠层数较多,使得所述存储堆叠结构中的应力较大,从而在对所述存储堆叠结构进行刻蚀,形成沟道孔时,所述沟道孔上端开口的位置容易发生偏移。其中,所述沟道孔的上端开口为所述沟道孔与所述位线接触孔接触的端面。

[0062] 发明人进一步研究发现,在3D NAND存储器制作过程中,可以先制作一个3D NAND存储器样本,该样本包括:存储堆叠结构和连接结构,位于所述存储堆叠结构中的沟道孔和位于所述连接结构中的位线接触孔;然后获取该样本中所述沟道孔和所述位线接触孔之间的套刻误差,利用该套刻误差对所述沟道孔的掩模版版图进行修正;最后利用修正后的版图形成所述沟道孔,以减小制作的3D NAND存储器中沟道孔与位线接触孔之间的套刻误差。

[0063] 但是,随着3D NAND存储器的发展,3D NAND存储器中存储堆叠结构的堆叠层数越来越多,相应的,所述存储堆叠结构中的沟道孔的深宽比越来越大,从而使得所述堆叠结构中的应力显著增大,导致在对所述存储堆叠结构进行刻蚀形成沟道孔以及形成栅线缝隙时,所述沟道孔的上端开口的实际位置与目标位置之间的误差越来越大,进而使得所述位线接触孔与所述沟道孔之间的套刻误差越来越大,在存储堆叠结构中包括的堆叠层数包括64层及以上时,掩模版版图中的修正量随着堆叠层数的增加而增大,从而使得修正版图的时间显著增大,影响所述3D NAND存储器的研发周期。

[0064] 如图2-图5所示,如图2-图5示出了所述存储堆叠结构具有不同堆叠层数对应的存储器制作时的沟道孔位置修正量,其中,图2中所示存储堆叠结构对应的堆叠层数小于图3中所示存储堆叠结构对应的堆叠层数小于图4中所示存储堆叠结构对应的堆叠层数小于图

5中所示存储堆叠结构对应的堆叠层数。从图2图5可以看出,随着堆叠层数的增加,所述存储堆叠结构中沟通孔的修正量逐渐增大。

[0065] 而且,在实际应用过程中,在获取3D NAND存储器样本中所述沟道孔和位线接触孔之间的套刻误差时存在一定的测量误差,在利用该套刻误差对所述沟道孔的制作版图进行修正时还存在一定的补偿精度误差,从而使得利用上述方法制作的3D NAND存储器中所述沟道孔和位线接触孔之间的残留的套刻误差(简称套刻残差)仍然较大。

[0066] 发明人更进一步研究发现,3D NAND存储器中,存储堆叠结构中的沟道孔与连接结构中的位线接触孔的套刻误差主要集中在平行于指状结构的延伸方向。如图6所示,图6示出了存储堆叠结构中沟道孔上端面T22与下端面上T21的相对位置示意图,从图6中可以看出,存储堆叠结构中沟道孔上端面T22相对于下端面上T21的位置偏移主要产生在指状结构的延伸方向上。其中,沟道孔的上端面为其与连接结构接触的端面,下端面上为沟道孔背离连接结构一侧的端面。

[0067] 这是由于现有3D NAND工艺中,通常是先制作一个较大的存储堆叠结构(即一个芯片),如图7所示,所述存储堆叠结构包括多个存储平面(plane),然后利用栅线缝隙(Gate Line Slit,简称GLS)对所处存储平面(plane)进行划分,先将所述存储平面划分成多个存储块(block),如图8所示,并将所述存储块划分成几个指状结构(finger),如图9所示。而在利用栅线缝隙对所处存储平面进行划分后,会使得所述栅线缝隙所在区域产生一定的应力释放,减小所述堆叠结构中的应力积累,减小所述存储堆叠结构中的应力引起的所述沟道孔上端开口的位置偏移。

[0068] 但是,现有3D NAND工艺中,其栅线缝隙沿所述指状结构的延伸方向设置,从而只能减小垂直于所述指状结构的延伸方向的应力积累,而无法减小平行于所述指状结构的延伸方向的应力积累,导致沿平行于所述指状结构的延伸方向,所述沟道孔上端开口的实际位置与目标位置之间的误差仍然较大。

[0069] 有鉴于此,本申请实施例提供了一种三维存储器,如图10(a)~图10(b)所示,图10(b)为图10(a)沿AA1方向的剖视图,在本实施例中,该三维存储器包括:

[0070] 衬底100,层叠的存储堆叠结构10和连接结构20,如图10(c)所示,所述存储堆叠结构10中具有多个第一沟道孔11和多个第一虚设沟道孔12,其中,所述第一沟道孔11具有存储功能,所述第一虚设沟道孔12不具有存储功能,如图10(d)所示,所述连接结构20中具有多个第一位线接触孔21,所述第一位线接触孔21与所述第一沟道孔11对接。

[0071] 贯穿所述连接结构20,并延伸至所述存储堆叠结构10中的多个栅线缝隙30,如图10(a)和图10(e)~图10(g)所示,其中,图10(e)为图10(a)的局部放大图,图10(f)为图10(a)所示存储堆叠结构沿BB1方向的剖视图,图10(g)为图10(a)所示存储堆叠结构沿CC1方向的剖视图,所述多个栅线缝隙30包括:多个第一栅线缝隙31和至少一个第二栅线缝隙32,所述第一栅线缝隙31平行于第一方向,所述第二栅线缝隙32平行于所述第二方向,所述第二方向与所述第一方向垂直。

[0072] 其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构中指状结构的延伸方向。

[0073] 需要说明的是,在本申请实施例中,所述第一方向和所述第二方向均平行于所述三维存储器所在平面,所述第一栅线缝隙平行于所述第一方向是指所述第一栅线缝隙的延



伸方向平行于所述第一方向,即所述第一栅线缝隙的长度方向平行于所述第一方向,同理,所述第二栅线缝隙平行于所述第二方向是指所述第二栅线缝隙的延伸方向平行于所述第二方向,即所述第二栅线缝隙的长度方向平行于所述第二方向。具体的,在本申请的一个实施例中,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,所述第一沟道孔中有存储单元,具有存储功能,所述第一虚设沟道孔中也有存储单元,但不具有存储功能,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接,以便于实现所述第一沟道孔中所述存储单元数据的读取,所述第一虚设沟道孔不与所述第一位线接触孔对接,其中,所述第一沟道孔和所述第一虚设沟道孔可以在同一步工艺中形成,以简化制作存储堆叠结构的工艺步骤,但本申请实施例里对此并不做限定,具体视情况而定。

[0074] 在本申请实施例中,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,即平行于所述存储堆叠结构中指状结构的延伸方向,从而可以利用所述第一栅线缝隙释放部分所述存储堆叠结构中沿垂直于所述指状结构延伸方向上的应力,以减小所述存储堆叠结构中在垂直于所述指状结构延伸方向上的应力积累,进而在对所述存储堆叠进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置在垂直于所述指状结构的延伸方向上的误差,最终减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0075] 需要说明的是,所述第一沟道孔与所述第一位线接触孔之间的套刻误差除了包括在垂直于所述指状结构的延伸方向上,所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,还包括在平行于所述指状结构的延伸方向上,所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,因此,为了更进一步减小所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,除了需要减小所述存储堆叠结构中垂直于所述存储结构中指状结构的延伸方向上的应力积累,还要减小所述存储堆叠结构中在平行于所述指状结构延伸方向上的应力积累。

[0076] 因此,在本申请的一个实施例中,所述多个栅线缝隙还包括至少一个第二栅线缝隙,所述第二栅线缝隙平行于第二方向,所述第二方向与所述第一方向垂直,即所述第二栅线缝隙垂直于所述存储堆叠结构中指状结构的延伸方向,从而利用所述第二栅线缝隙减小所述存储堆叠结构中在平行于所述指状结构延伸方向的应力积累,以在对所述存储堆叠结构进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔的上端开口的实际位置与目标位置在垂直于所述指状结构延伸方向上的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0077] 在上述实施例的基础上,在本申请的一个可选实施例中,所述至少一个第二栅线缝隙为多个第二栅线缝隙,但本申请对此并不做限定,具体视情况而定。

[0078] 在上述任一实施例的基础上,在本申请的一个实施例中,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。由于所述第一沟道孔和所述第一虚设沟道孔均位于所述存储堆叠结构中,且所述第一虚设沟道孔不具有存储功能,因此,所述第二

栅线缝隙在所述第一方向上设置在所述第一虚设通道孔所在的区域,可以在不影响该三维存储器的存储容量的前提下,减小所述存储堆叠结构中在平行于所述指状结构延伸方向的应力积累,以在对所述存储堆叠结构进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔的上端开口的实际位置与目标位置在垂直于所述指状结构延伸方向上的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0079] 而且,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域,还可以在所述三维存储器中增加第二栅线缝隙的基础上,不增加所述三维存储器在所述三维存储器所在平面内的面积。

[0080] 需要说明的是,当在第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域时,在两个相对的所述第二栅线缝隙之间保留一个第一虚设沟道孔,可以起到结构支撑以及辅助字线形成的作用。

[0081] 由此可见,本申请实施例所提供的三维存储器中,所述第一栅线缝隙可以减小所述存储堆叠结构中在垂直于所述指状结构延伸方向上的应力积累,所述第二栅线缝隙可以减小所述存储堆叠区中在平行于所述指状结构延伸方向上的应力积累,从而尽可能减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,提高三维存储器的良率。

[0082] 在本申请的一个实施例中,所述存储堆叠结构包括多个指状结构,所述指状结构包括存储区和信号传输区,在所述第一方向上,所述指状结构包括至少一个半指状结构,所述信号传输区包括至少一个子信号传输区,所述子信号传输区与所述半指状结构一一对应,用于实现所述半指状结构的存储区之间的选通信号传输。

[0083] 需要说明的是,在本申请实施例中,一个指状结构可以包括一个半指状结构,也可以包括两个半指状结构,还可以包括更多个半指状结构,本申请对此并不做限定,具体视情况而定。

[0084] 在上述实施例的基础上,在本申请的一个实施例中,如图11(a)所示,为了减小所述存储堆叠结构中在平行于所述指状结构延伸方向上的应力积累,在所述第一方向上,所述半指状结构40被所述第二栅线缝隙32划分为多个存储子平面,具体的,在本申请的一个实施例中,继续如图11(a)所示,在所述第一方向上,所述半指状结构40包括:位于所述第二栅线缝隙32一侧的第一存储子平面41以及位于所述第二栅线缝隙32另一侧的第二存储子平面42。如图11(b)所示,所述子信号传输区与所述半指状结构一一对应,在所述第一方向上,所述子信号传输区50被所述第二栅线缝隙32划分为位于所述第二栅线缝隙32一侧的第一子信号传输区51以及位于所述第二栅线缝隙32另一侧的第二子信号传输区52,其中,所述第一子信号传输区为所述第一存储子平面传输信号,所述第二子信号传输区为所述第二存储子平面传输信号。

[0085] 需要说明的是,由于所述栅线缝隙贯穿所述连接结构,并延伸至所述存储堆叠结构中,从而使得位于所述第二栅线缝隙一侧的第一子信号传输区和位于所述第二栅线缝隙另一侧的第二子信号传输区之间无法直接进行信号传输,因此,在本申请实施例中,为了使得所述第一子信号传输区和所述第二子信号传输区之间电连接,以实现信号传输,如图11(c)所示,所述子信号传输区50还包括位于所述第一子信号传输区51和所述第二子信号传输区52之间,连接所述第一子信号传输区51和所述第二子信号传输区52的信号连接区53。

可选的,在本申请实施例中,所述信号连接区包括选通开关连接区。

[0086] 在上述任一实施例的基础上,在本申请的一个实施例中,所述三维存储器还包括:贯穿所述存储堆叠结构中所述信号传输区的至少一个选通开关缝隙,所述指状结构被至少一个选通开关缝隙分割成至少两个半指状结构,所述至少两个半指状结构沿所述第二方向排布,相邻两个半指状结构之间具有一个选通开关缝隙。

[0087] 需要说明的是,由于所述选通开关缝隙只会贯穿所述存储堆叠结构中信号传输区,即所述选通开关缝隙只会贯穿所述存储堆叠结构中位于其顶部的几层,因此,在本申请实施例中,所述指状结构被所述至少一个选通开关缝隙分割成至少两个半指状结构是指所述子信号传输区被所述至少一个选通开关缝隙分割成至少两个子信号传输区,所述至少两个子信号传输区沿所述第二方向排布,从而使得在所述存储堆叠结构的俯视图上,所述指状结构被所述至少一个选通开关缝隙分割成至少两个半指状结构,而非在存储堆叠结构的堆叠方向上,所述选通开关缝隙贯穿所述指状结构。

[0088] 下面以一个指状结构包括两个半指状结构以及一个选通开关缝隙为例,继续对本申请实施例所提供的三维存储器进行描述。

[0089] 在上述任一实施例的基础上,在本申请的一个实施例中,如图12所示,在所述第二方向上,所述指状结构被所述选通开关缝隙分割成在所述第二方向上相邻的第一半指状结构61和第二半指状结构62,所述第一半指状结构61和所述第二半指状结构62位于所述选通开关缝隙70两侧。

[0090] 需要说明的是,在本申请实施例中,如图13所示,图13为图10(a)沿EE1方向的剖视图,在垂直于所述存储堆叠结构所在平面的方向上,所述选通开关缝隙70贯穿所述存储堆叠结构10的顶部几层,即所述选通开关缝隙70贯穿所述存储堆叠结构10的信号传输区,会使得所述第一半指状结构61的选通开关和所述第二半指状结构62的选通开关被所述选通开关缝隙70断开,在本申请实施例中,所述信号连接区与所述指状结构包括的半指状结构一一对应,从而使得各半指状结构的选通开关通过其对应的信号连接区实现正常工作。

[0091] 可选的,在上述实施例的基础上,在本申请的一个实施例中,如图14所示,图14为图10(a)所示存储堆叠结构沿CC1方向的剖视图,在所述第二方向上,所述第一半指状结构的信号连接区81和所述第二半指状结构的信号连接区82通过所述选通开关缝隙70相邻,即所述第一半指状结构的信号连接区81和所述第二半指状结构的信号连接区82位于所述选通开关缝隙70两侧,但本申请对此并不做限定,在本申请的其他实施例中,所述第一半指状结构61的所述信号连接区81与所述第二半指状结构62的信号连接区82也可以不相邻,如图15所示,具体视情况而定。

[0092] 在上述实施例的基础上,在本申请的一个实施例中,在所述第二方向上,所述第一半指状结构的所述信号连接区在所述第二方向上的宽度的取值范围为110nm-150nm,包括端点值110nm和150nm,其中,所述第一半指状结构的信号连接区在所述第二方向上的宽度为在第二方向上,位于所述第一半指状结构的第二栅线缝隙到位于其延伸方向上距离其最近的第一虚设通道孔之间的距离。其中,位于所述第一半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔之间的距离为位于所述第一半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔朝向该第二栅线缝隙的侧面到该第二栅线缝隙之间的距离。

[0093] 同理,在所述第二方向上,所述第二半指状结构的信号连接区在所述第二方向上的宽度的取值范围为110nm-150nm,包括端点值110nm和150nm,其中,所述第二半指状结构的信号连接区在所述第二方向上的宽度为在第二方向上,位于所述第二半指状结构的第二栅线缝隙到位于其延伸方向上距离其最近的第一虚设通道孔之间的距离。其中,位于所述第二半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔之间的距离为位于所述第二半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔朝向该第二栅线缝隙的侧面到该第二栅线缝隙之间的距离。

[0094] 此外,本申请实施例还提供了一种三维存储器的制作方法,该方法包括:

[0095] 如图16(a)~(b)所示,图16(b)为图16(a)的俯视图,在衬底900上制作存储堆叠结构90,所述存储堆叠结构90中具有多个第一沟道孔91和多个第一虚设沟道孔92,其中,所述第一沟道孔91具有存储功能,所述第一虚设沟道孔92不具有存储功能。

[0096] 如图17(a)~(b)所示,图17(b)为图17(a)的俯视图,在所述存储堆叠结构90上方形成连接结构93,所述连接结构93中具有多个第一位线接触孔94,所述第一位线接触孔94与所述第一沟道孔对接91。

[0097] 如图18(a)~图18(c)所示,图18(b)为图18(a)中存储堆叠结构沿BB1方向的剖视图,图18(c)为图18(a)中存储堆叠结构沿CC1方向的剖视图,形成贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,所述多个栅线缝隙包括:多个第一栅线缝隙95和至少一个第二栅线缝隙96,所述第一栅线缝隙95平行于第一方向,所述第二栅线缝隙96平行于第二方向,所述第二方向垂直于所述第一方向。

[0098] 其中,所述存储堆叠结构包括多个指状结构,所述第一方向平行于所述存储堆叠结构中指状结构的延伸方向。

[0099] 具体的,在本申请的一个实施例中,制作存储堆叠结构,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔包括:制作存储堆叠结构,在所述存储堆叠结构上形成光刻胶层,图案化所述光刻胶层,以图案化后的光刻胶层作为掩模刻蚀所述存储堆叠结构,形成所述第一沟道孔和所述第一虚设沟道孔,需要说明的是,所述第一沟道孔和所述第一虚设沟道孔可以在同一步工艺中形成,以简化制作存储堆叠结构的工艺步骤,但本申请对此并不做限定,具体视情况而定。

[0100] 在本申请的一个实施例中,在所述存储堆叠结构上方形成连接结构,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接包括:在所述存储堆叠结构上方形成连接结构,在所述连接结构上形成光刻胶层,图案化所述光刻胶层,以图案化后的光刻胶层作为掩模,刻蚀所述连接结构形成所述第一位线接触孔,以使得所述第一位线接触孔与所述第一沟道孔对接,以便于后续通过所述第一位线接触孔对所述第一沟道孔中所述存储单元数据的读取。

[0101] 需要说明的是,在本申请实施例中,所述第一方向和所述第二方向均平行于所述三维存储器所在平面,所述第一栅线缝隙平行于所述第一方向是指所述第一栅线缝隙的延伸方向平行于所述第一方向,即所述第一栅线缝隙的长度方向平行于所述第一方向,同理,所述第二栅线缝隙平行于所述第二方向是指所述第二栅线缝隙的延伸方向平行于所述第二方向,即所述第二栅线缝隙的长度方向平行于所述第二方向。

[0102] 具体的,在本申请的一个实施例中,所述存储堆叠结构中具有多个第一沟道孔和

多个第一虚设沟道孔,所述第一沟道孔中有存储单元,具有存储功能,所述第一虚设沟道孔中也有存储单元,但不具有存储功能,所述连接结构中具有多个第一位线接触孔,所述第一位线接触孔与所述第一沟道孔对接,以便于实现所述第一沟道孔中所述存储单元数据的读取,所述第一虚设沟道孔不与所述第一位线接触孔对接。

[0103] 在本申请实施例中,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,即平行于所述存储堆叠结构中指状结构的延伸方向,从而可以利用所述第一栅线缝隙释放部分所述存储堆叠结构中沿垂直于所述指状结构延伸方向上的应力,以减小所述存储堆叠结构中在垂直于所述指状结构延伸方向上的应力积累,进而在对所述存储堆叠进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置在垂直于所述指状结构的延伸方向上的误差,最终减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0104] 需要说明的是,所述第一沟道孔与所述第一位线接触孔之间的套刻误差除了包括在垂直于所述指状结构的延伸方向上,所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,还包括在平行于所述指状结构的延伸方向上,所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,因此,为了更进一步减小所述第一沟道孔的上端开口和所述第一虚设沟道孔上端开口的实际位置与目标位置之间的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,除了需要减小所述存储堆叠结构中垂直于所述存储结构中指状结构的延伸方向上的应力积累,还要减小所述存储堆叠结构中在平行于所述指状结构延伸方向上的应力积累。

[0105] 因此,在本申请的一个实施例中,所述多个栅线缝隙还包括至少一个第二栅线缝隙,所述第二栅线缝隙平行于第二方向,所述第二方向与所述第一方向垂直,即所述第二栅线缝隙垂直于所述存储堆叠结构中指状结构的延伸方向,从而利用所述第二栅线缝隙减小所述存储堆叠结构中在平行于所述指状结构延伸方向的应力积累,以在对所述存储堆叠结构进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔的上端开口的实际位置与目标位置在垂直于所述指状结构延伸方向上的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0106] 在上述实施例的基础上,在本申请的一个可选实施例中,所述至少一个第二栅线缝隙为多个第二栅线缝隙,但本申请对此并不做限定,具体视情况而定。

[0107] 在上述任一实施例的基础上,在本申请的一个实施例中,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域。由于所述第一沟道孔和所述第一虚设沟道孔均位于所述存储堆叠结构中,且所述第一虚设沟道孔不具有存储功能,因此,所述第二栅线缝隙在所述第一方向上设置在所述第一虚设通道孔所在的区域,可以在不影响该三维存储器的存储容量的前提下,减小所述存储堆叠结构中在平行于所述指状结构延伸方向的应力积累,以在对所述存储堆叠结构进行刻蚀形成所述第一沟道孔和所述第一虚设沟道孔时,减小所述第一沟道孔的上端开口和所述第一虚设沟道孔的上端开口的实际位置与目标位置在垂直于所述指状结构延伸方向上的误差,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差。

[0108] 而且,在所述第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域,还可以在所述三维存储器中增加第二栅线缝隙的基础上,不增加所述三维存储器在所述三维存储器所在平面内的面积。

[0109] 需要说明的是,当在第一方向上,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域时,在两个相对的所述第二栅线缝隙之间保留一个第一虚设沟道孔,可以起到结构支撑以及辅助字线形成的作用。

[0110] 由此可见,本申请实施例所提供的三维存储器中,所述第一栅线缝隙可以减小所述存储堆叠结构中在垂直于所述指状结构延伸方向上的应力积累,所述第二栅线缝隙可以减小所述存储堆叠区中在平行于所述指状结构延伸方向上的应力积累,从而尽可能减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,提高三维存储器的良率。

[0111] 在本申请的一个实施例中,所述存储堆叠结构包括多个指状结构,所述指状结构包括存储区和信号传输区,在所述第一方向上,所述指状结构包括至少一个半指状结构,所述信号传输区包括至少一个子信号传输区,所述子信号传输区与所述半指状结构一一对应,用于实现所述半指状结构的存储区与外界电路之间的信号传输。

[0112] 需要说明的是,在本申请实施例中,一个指状结构可以包括一个半指状结构,也可以包括两个半指状结构,还可以包括更多个半指状结构,本申请对此并不做限定,具体视情况而定。

[0113] 在上述实施例的基础上,在本申请的一个实施例中,如图19(a)和图19(b)所示,图19(a)和图19(b)为图18(a)所示存储堆叠结构沿DD1方向的剖视图,为了减小所述存储堆叠结构中在平行于所述指状结构延伸方向上的应力积累,在所述第一方向上,所述半指状结构901被所述第二栅线缝隙96划分为多个存储子平面,具体的,在本申请的一个实施例中,继续如图19(a)所示,在所述第一方向上,所述半指状结构901被所述第二栅线缝隙96划分为位于所述第二栅线缝隙96一侧的第一子存储区902以及位于所述第二栅线缝隙96另一侧的第二子存储区903。所述子信号传输区与所述半指状结构一一对应,如图19(b)所示,在所述第一方向上,所述信号传输区904被所述第二栅线缝隙96划分为位于所述第二栅线缝隙96一侧的第一子信号传输区905以及位于所述第二栅线缝隙96另一侧的第二子信号传输区906,其中,所述第一子信号传输区为所述第一存储子平面传输信号,所述第二子信号传输区为所述第二存储子平面传输信号。

[0114] 需要说明的是,由于所述栅线缝隙贯穿所述连接结构,并延伸至所述存储堆叠结构中,从而使得位于所述第二栅线缝隙一侧的第一信号传输区和位于所述第二栅线缝隙另一侧的第二信号传输区之间无法直接进行信号传输,因此,在本申请实施例中,为了使得所述第一信号传输区和所述第二信号传输区之间电连接,以实现信号传输,如图20所示,所述子信号传输区904还包括位于所述第一子信号传输区905和所述第二子信号传输区906之间,连接所述第一子信号传输区905和所述第二子信号传输区906的信号连接区907。可选的,在本申请实施例中,所述信号连接区包括选通开关连接区。

[0115] 在上述任一实施例的基础上,在本申请的一个实施例中,所述三维存储器还包括:贯穿所述存储堆叠结构中所述信号传输区的至少一个选通开关缝隙,所述指状结构被至少一个选通开关缝隙分割成至少两个半指状结构,所述至少两个半指状结构沿所述第二方向排布,相邻两个半指状结构之间具有一个所述选通开关缝隙。

[0116] 需要说明的是,由于所述选通开关缝隙只会贯穿所述存储堆叠结构中信号传输区,即所述选通开关缝隙只会贯穿所述存储堆叠结构中位于其顶部的几层,因此,在本申请实施例中,所述指状结构被所述至少一个选通开关缝隙分割成至少两个半指状结构是指所述子信号传输区被所述至少一个选通开关缝隙分割成至少两个子信号传输区,所述至少两个子信号传输区沿所述第二方向排布,从而使得在所述存储堆叠结构的俯视图上,所述指状结构被所述至少一个选通开关缝隙分割成至少两个半指状结构,而非在存储堆叠结构的堆叠方向上,所述选通开关缝隙贯穿所述指状结构。

[0117] 下面以一个指状结构包括两个半指状结构,以及一个选通开关缝隙为例,继续对本申请实施例所提供的三维存储器进行描述。

[0118] 在上述任一实施例的基础上,在本申请的一个实施例中,如图21所示,在所述第二方向上,所述指状结构被所述选通开关缝隙分割成在所述第二方向上相邻的第一半指状结构911和第二半指状结构912,并且所述第一半指状结构911和所述第二半指状结构912通过所述选通开关缝隙97分隔,位于所述选通开关分隔槽两侧。

[0119] 如图22所示,图22为图18(a)所示三维存储器在EE1方向上的剖视图,在垂直于所述存储堆叠结构所在平面的方向上,所述选通开关缝隙97切割所述存储堆叠结构90位于其顶部的几层,即所述选通开关缝隙97贯穿所述存储堆叠结构90的信号传输区,从而使得所述第一半指状结构911的选通开关和所述第二半指状结构912的选通开关被所述选通开关缝隙97断开,在本申请实施例中,所述信号连接区与所述指状结构包括的半指状结构一一对应,从而使得各半指状结构的选通开关通过其对应的信号连接区实现正常工作。

[0120] 可选的,在上述实施例的基础上,在本申请的一个实施例中,如图23所示,图23为图18(a)所示存储堆叠结构沿CC1方向的剖视图,在所述第二方向上,所述第一半指状结构的信号连接区913和所述第二半指状结构的信号连接区914通过所述选通开关缝隙97相邻,即所述第一半指状结构的信号连接区913和所述第二半指状结构的信号连接区914位于所述选通开关缝隙两侧,但本申请对此并不做限定,在本申请的其他实施例中,所述第一半指状结构的所述信号连接区913与所述第二半指状结构的信号连接区914也可以不相邻,如图24所示,本申请对此并不做限定,具体视情况而定。

[0121] 在上述实施例的基础上,在本申请的一个实施例中,在所述第二方向上,所述第一半指状结构的所述信号连接区在所述第二方向上的宽度的取值范围为110nm-150nm,包括端点值110nm和150nm,其中,所述第一半指状结构的所述信号连接区在所述第二方向上的宽度为在第二方向上,位于所述第一半指状结构的第二栅线缝隙到位于其延伸方向上距离其最近的第一虚设通道孔之间的距离。其中,位于所述第一半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔之间的距离为位于所述第一半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔朝向该第二栅线缝隙的侧面到该第二栅线缝隙之间的距离。

[0122] 同理,在所述第二方向上,所述第二半指状结构的所述信号连接区在所述第二方向上的宽度的取值范围为110nm-150nm,包括端点值110nm和150nm,其中,所述第二半指状结构的所述信号连接区在所述第二方向上的宽度为在第二方向上,位于所述第二半指状结构的第二栅线缝隙到位于其延伸方向上距离其最近的第一虚设通道孔之间的距离。其中,位于所述第二半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔

之间的距离为位于所述第二半指状结构的第二栅线缝隙到的延伸方向上距离其最近的第一虚设通道孔朝向该第二栅线缝隙的侧面到该第二栅线缝隙之间的距离。

[0123] 在上述任一实施例的基础上,在本申请的一个实施例中,为了进一步减小所述第一沟道孔与所述第一位线接触孔的套刻误差,提高所述三维存储器的生产良率,在实际应用时,可以先制作一个三维存储器样本,获取所述三维存储器样本中所述第一沟道孔与所述第一位线接触孔之间的套刻误差,与所述预设误差范围作比较,确定该三维存储器样本是否合格。

[0124] 具体的,在上述实施例的基础上,在本申请的一个实施例中,该方法还包括:

[0125] 以第一版图,制作第一存储堆叠结构,所述第一存储堆叠结构中具有多个第二沟道孔和多个第二虚设沟道孔,其中,所述第二沟道孔有存储单元具有存储功能,所述第二虚设沟道孔不具有存储功能;

[0126] 以第二版图,在所述第一存储堆叠结构上方形成第一连接结构,所述第一连接结构中具有多个第二位线接触孔,所述第二位线接触孔与所述第二沟道孔对接,实现所述第一沟道中所述存储单元数据的读取,获取所述第二位线接触孔与所述第二沟道孔之间的套刻误差,并与预设的误差范围作比较,如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差位于预设误差范围内,则直接利用所述第一版图和所述第二版图制作所述存储堆叠结构和所述连接结构,在保证所述三维存储器生产良率的基础上,简化所述三维存储器的工艺。

[0127] 需要说明的是,所述第二沟道孔和所述第二虚设沟道孔可以在同一步工艺中形成,以简化制作所述存储堆叠结构的工艺步骤,但本申请对此并不做限定,具体视情况而定。

[0128] 在上述实施例的基础上,在本申请的另一个实施例中,该方法还包括:

[0129] 如果所述第二位线接触孔与所述第二沟道孔之间的套刻误差不在所述预设误差范围内,则利用所述第二位线接触孔和所述第二沟道孔之间的套刻误差,对所述第一版图进行修正获得第三版图,然后利用所述第三版图制作所述存储堆叠结构,利用所述第二版图制作所述连接结构。

[0130] 需要说明的是,在本申请实施例中,制作所述三维存储器时,虽然也会利用所述第二位线接触孔和所述第二沟道孔之间的套刻误差,对所述第一版图进行修正获得第三版图,但是,由于本申请实施例所提供的三维存储器中沿平行于所述指状结构延伸方向和垂直于所述指状结构延伸方向的应力积累较小,相应的,所述三维存储器中所述第二沟道孔的上端开口的实际位置和目标位置在平行于所述指状结构延伸方向和垂直于所述指状结构延伸方向的上偏差较小,即所述第二位线接触孔和所述第二沟道孔在平行于所述指状结构延伸方向和垂直于所述指状结构延伸方向的套刻误差较小,因此,在利用所述第二位线接触孔和所述第二沟道孔之间的套刻误差,对所述第一版图进行修正获得第三版图时的修正量较小,修正工作较为简单,且修正精度较高。

[0131] 综上,本申请实施例提供的三维存储器及其制作方法,包括:存储堆叠结构、连接结构,以及贯穿所述连接结构,并延伸至所述存储堆叠结构中的多个栅线缝隙,其中,所述存储堆叠结构中具有多个第一沟道孔和多个第一虚设沟道孔,所述第一沟道孔具有存储功能,所述第一虚设沟道孔不具有存储功能,所述连接结构中具有多个第一位线接触孔,所述



第一位线接触孔与所述第一沟道孔对接,所述多个栅线缝隙包括:多个第一栅线缝隙和至少一个第二栅线缝隙,所述第一栅线缝隙平行于第一方向,即平行于所述存储堆叠结构中指状结构的延伸方向,从而可以减小垂直于所述存储堆叠区中所述指状结构延伸方向的应力积累,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差;所述第二栅线缝隙平行于所述第二方向,所述第二方向与所述第一方向垂直,从而可以减小垂直于所述存储堆叠区中所述指状结构延伸方向的应力积累,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,提高三维存储器的良率。

[0132] 而且,本申请实施例提供的三维存储器及其制作方法中,所述第二栅线缝隙位于所述第一虚设沟道孔所在区域,且所述第一虚设沟道孔不具有存储功能,因此所述第二栅线缝隙可以在不影响该三维存储器的存储容量的前提下,减小平行于所述存储堆叠区中所述指状结构延伸方向的应力积累,进而减小所述第一沟道孔与所述第一位线接触孔之间的套刻误差,提高三维存储器的良率。

[0133] 由此可见,本申请实施例所提供的三维存储器及其的制作方法,可以有效减小存储堆叠结构中的通孔和与其对应的连接结构中的通孔的套刻误差,提高三维存储器的良率。

[0134] 本说明书中各个部分采用并列和递进相结合的方式描述,每个部分重点说明的都是与其他部分的不同之处,各个部分之间相同相似部分互相参见即可。

[0135] 对所公开的实施例的上述说明,本说明书中各实施例中记载的特征可以相互替换或组合,使本领域专业技术人员能够实现或使用本申请。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本申请的精神或范围的情况下,在其它实施例中实现。因此,本申请将不会被限制于本文所示的实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

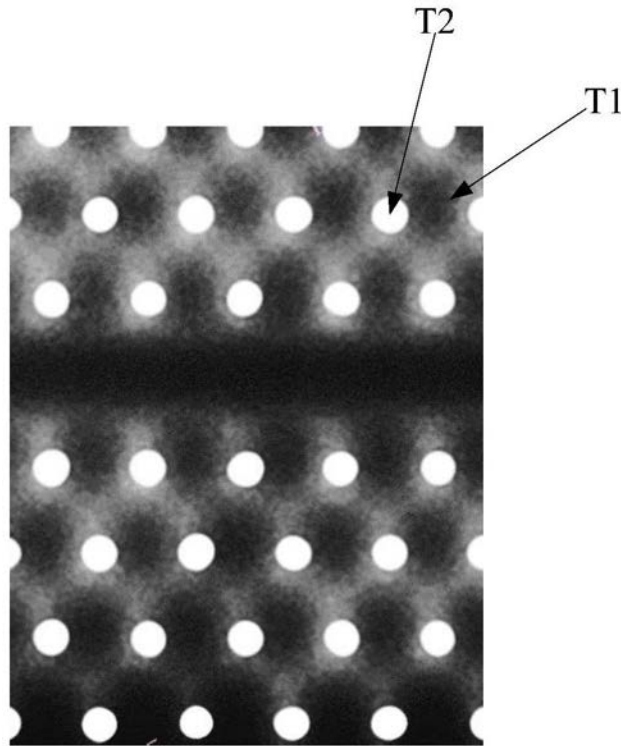


图1

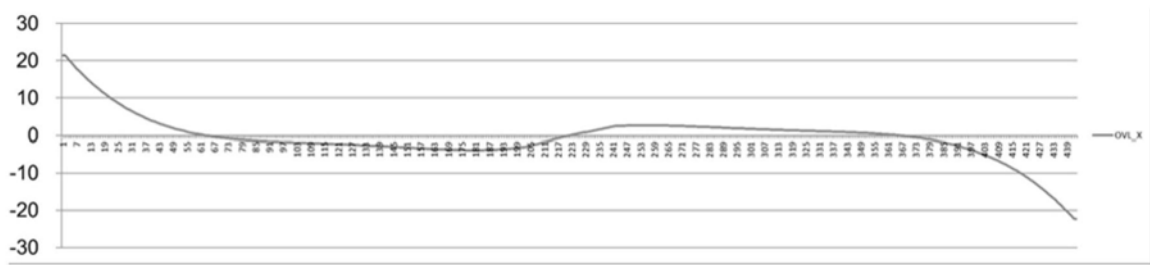


图2

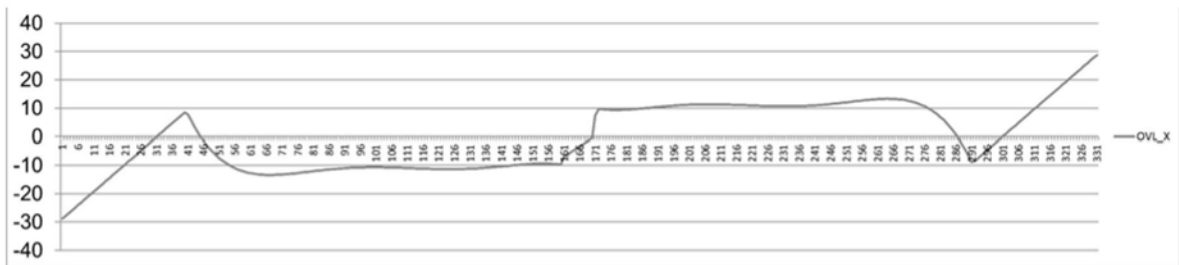


图3

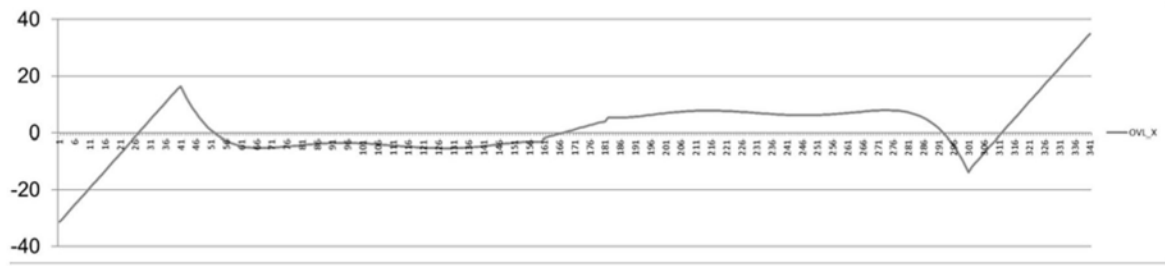


图4

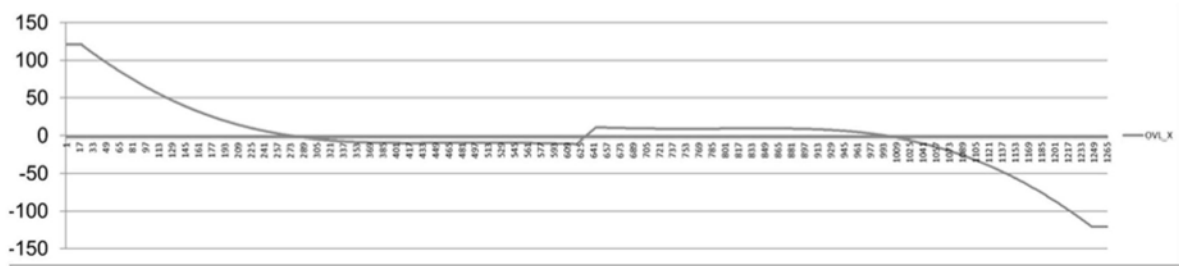


图5

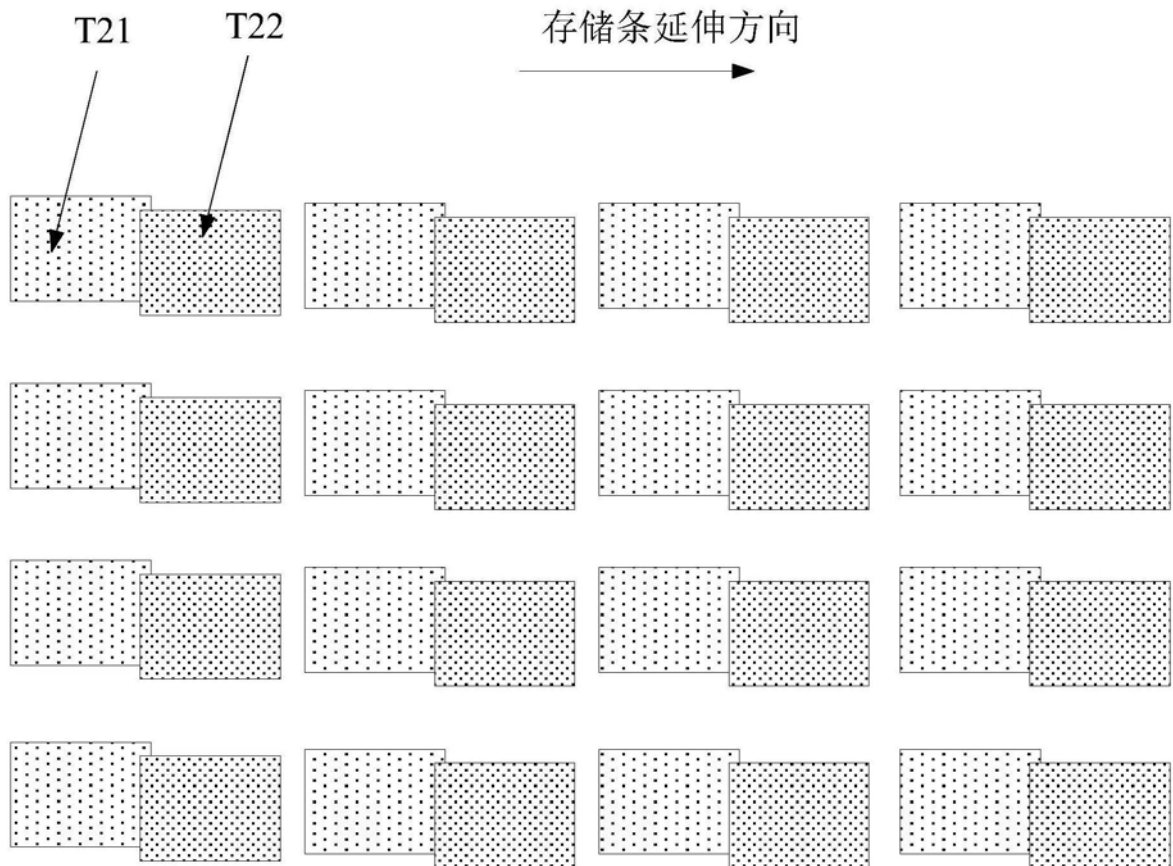


图6

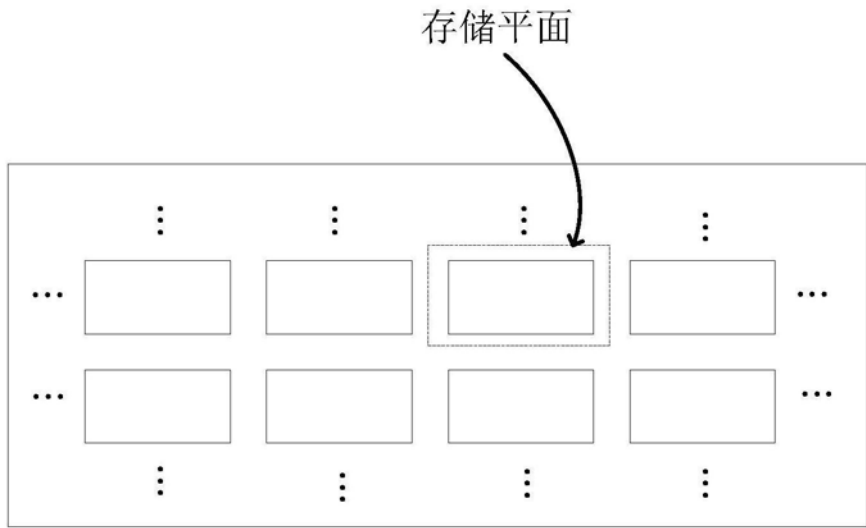


图7

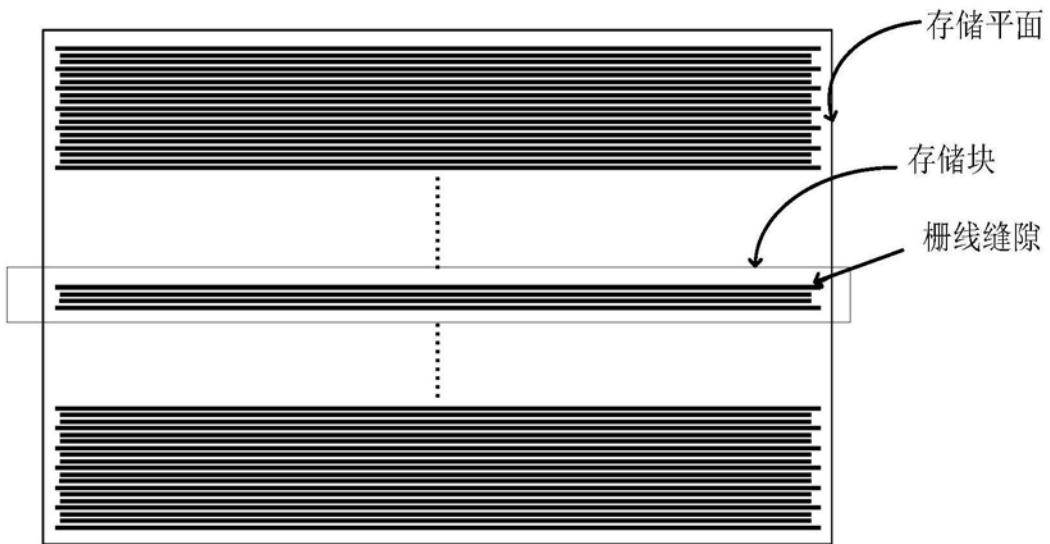


图8

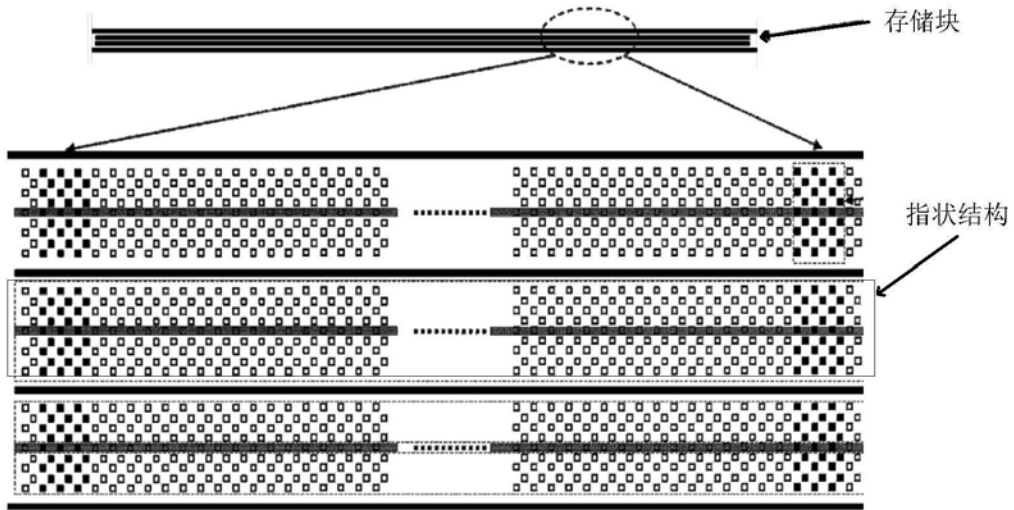


图9

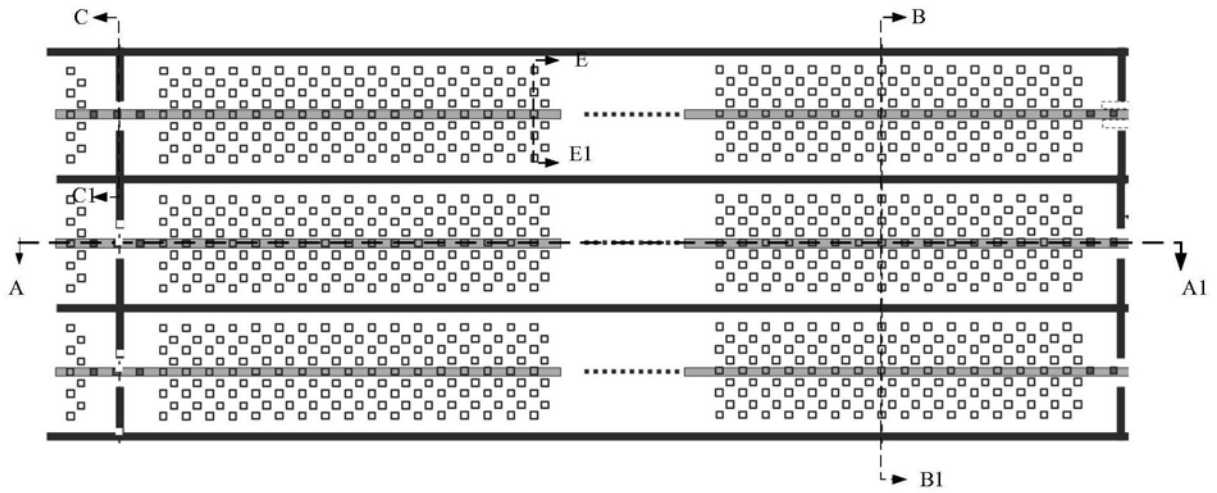


图10(a)

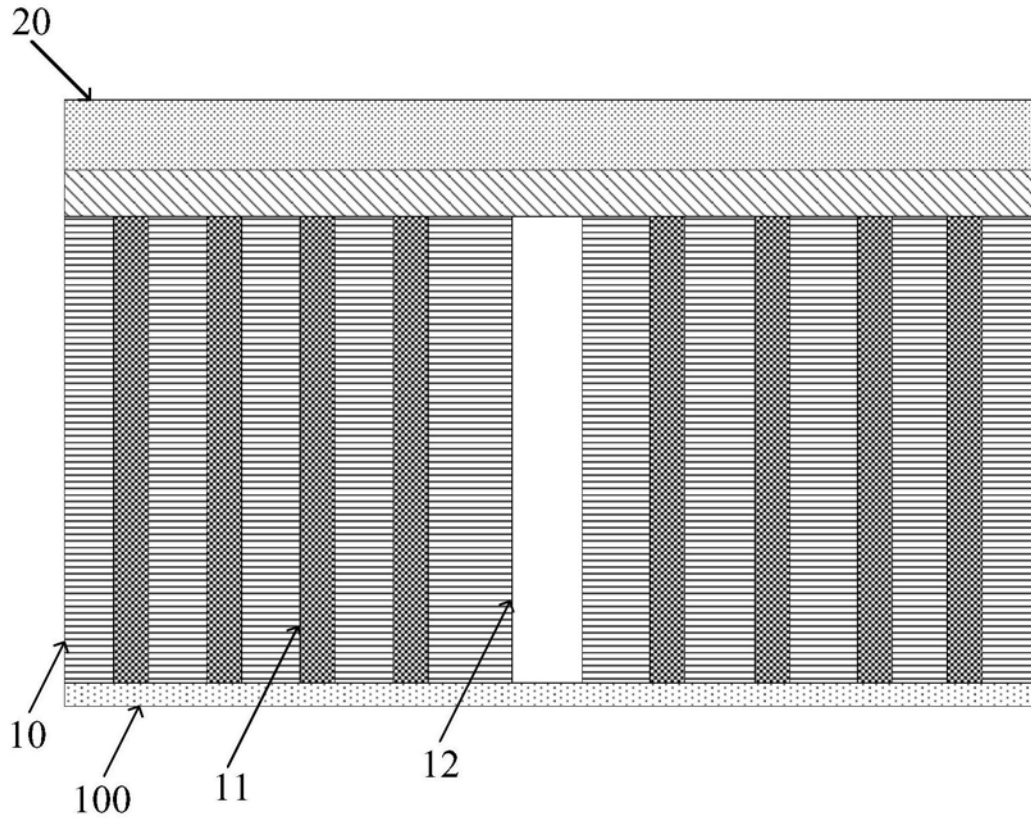


图10 (b)

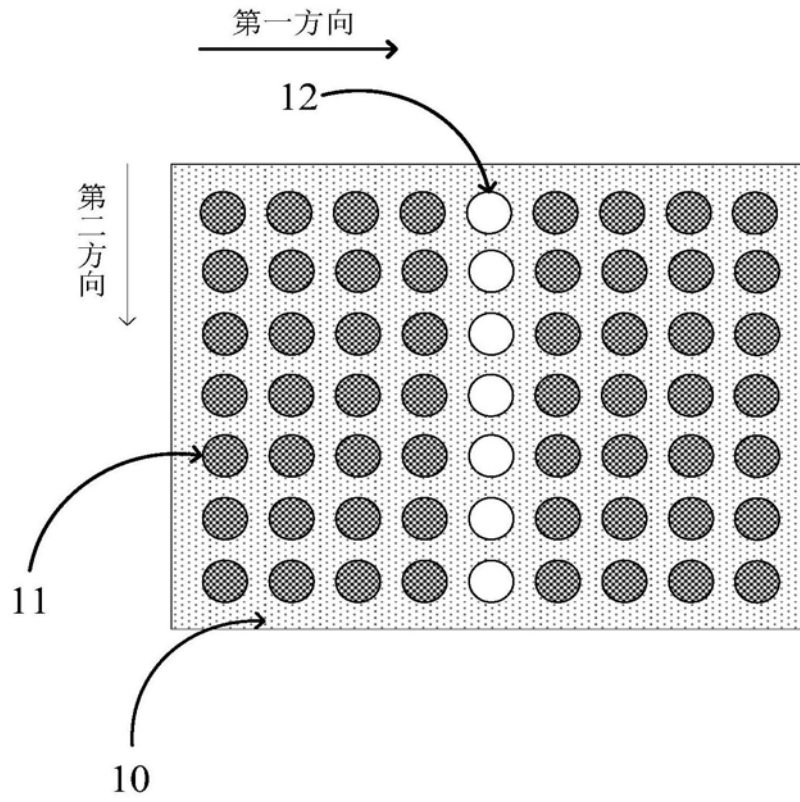


图10(c)

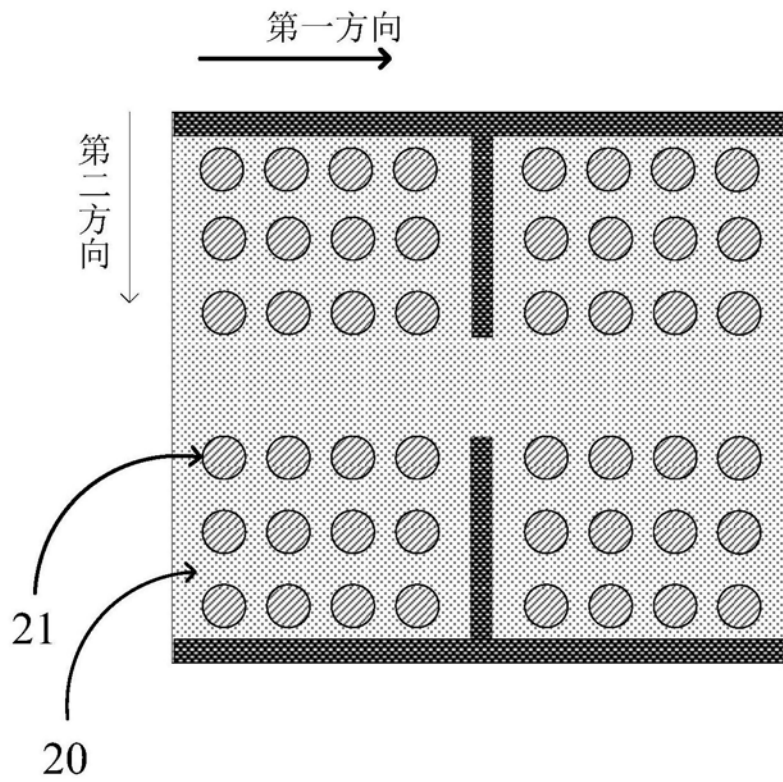


图10(d)

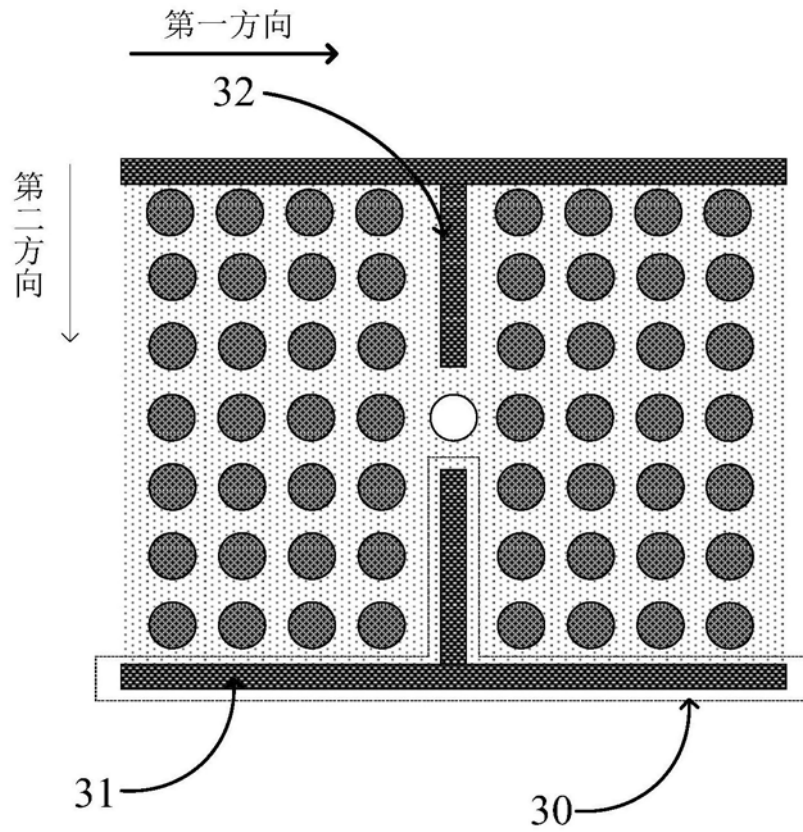


图10(e)

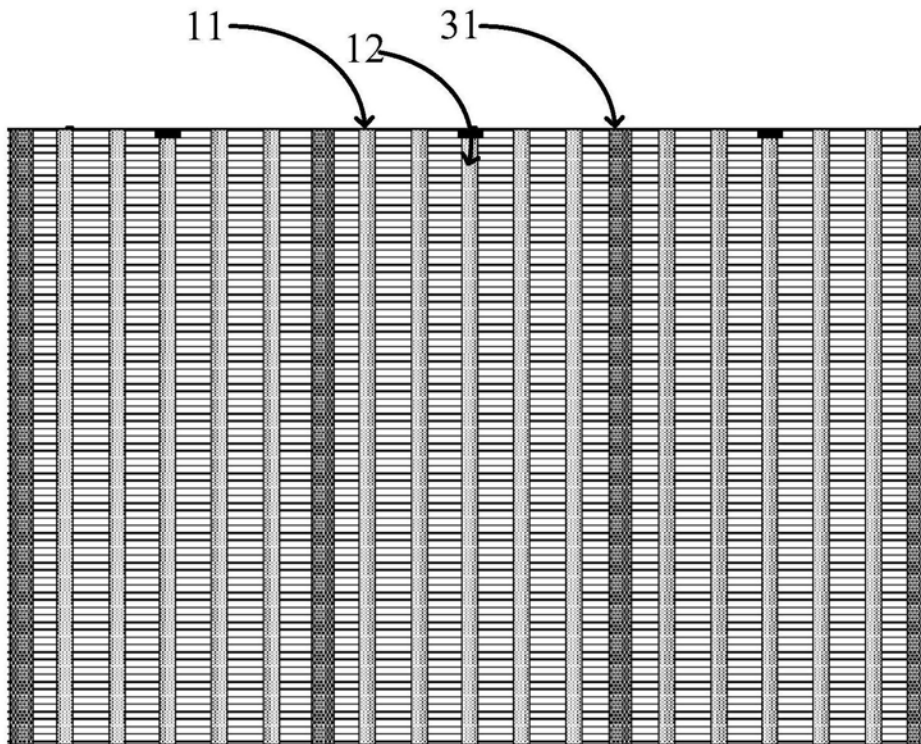


图10(f)



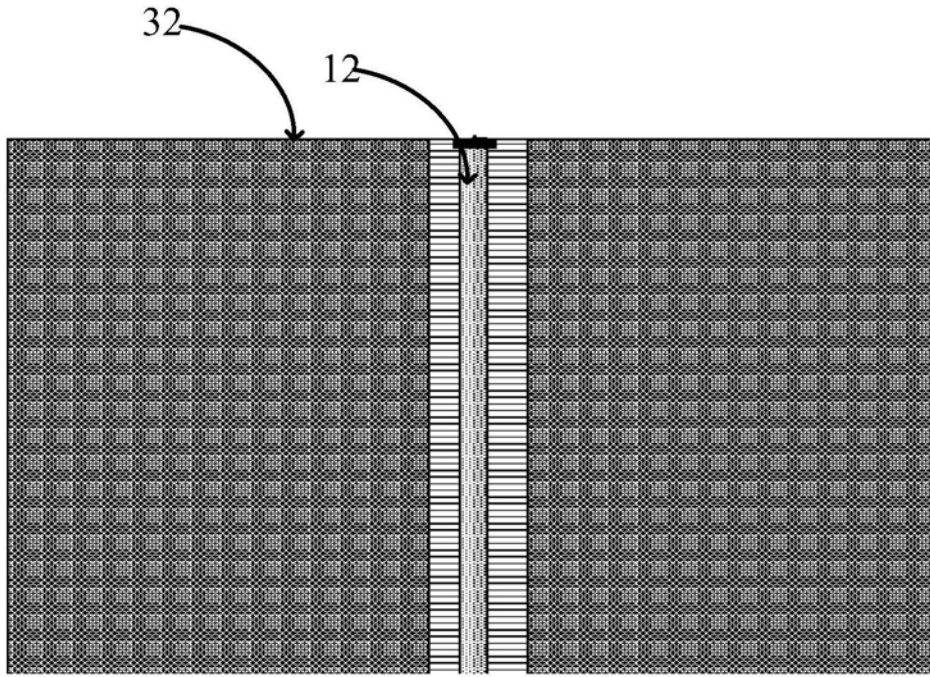


图10(g)

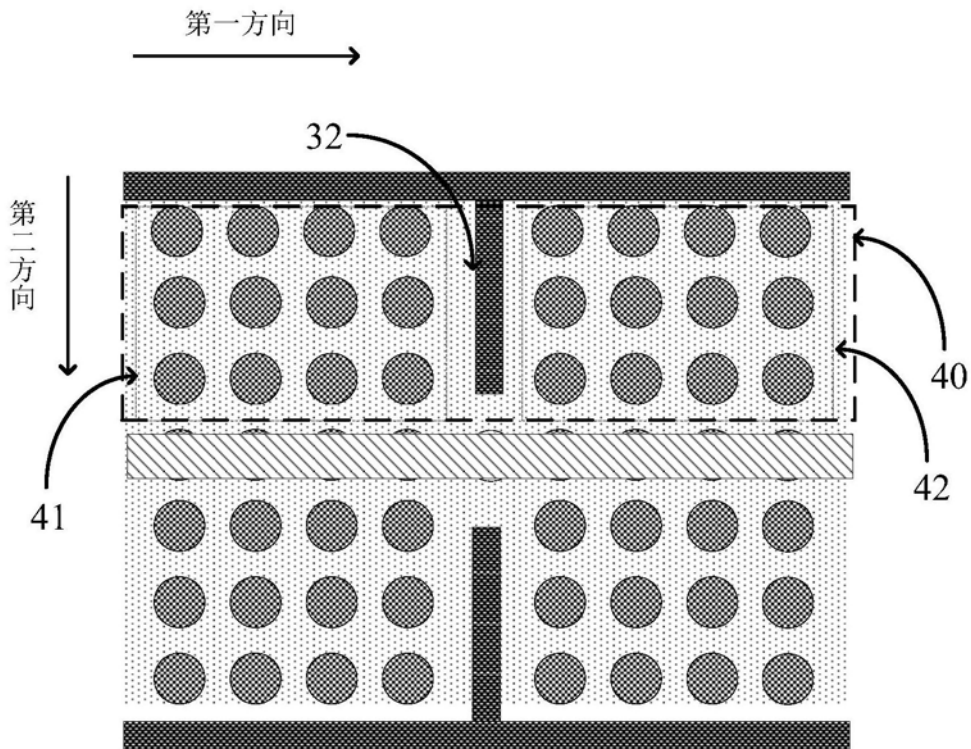


图11(a)

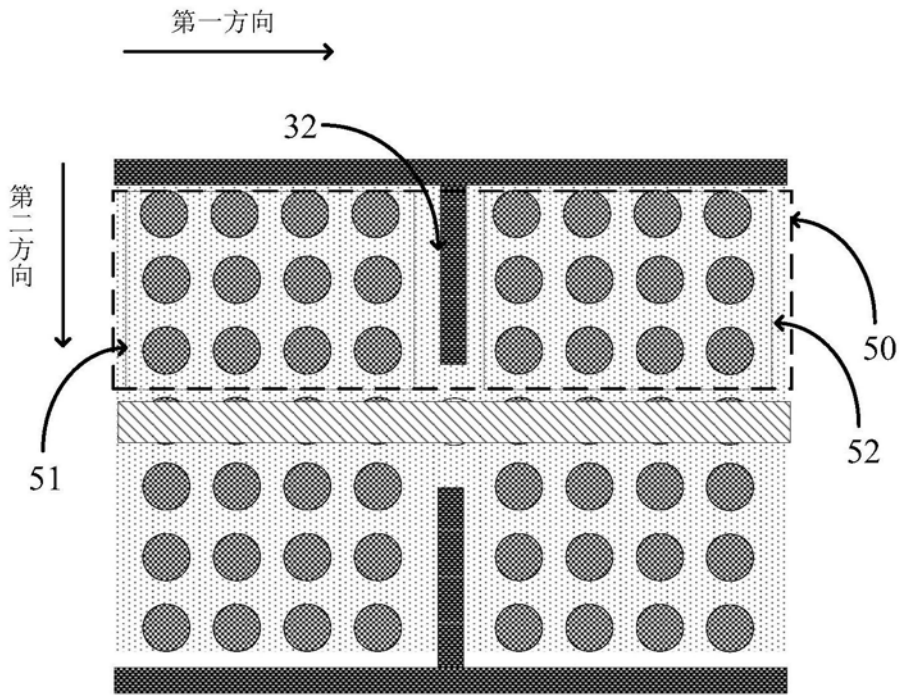


图11 (b)

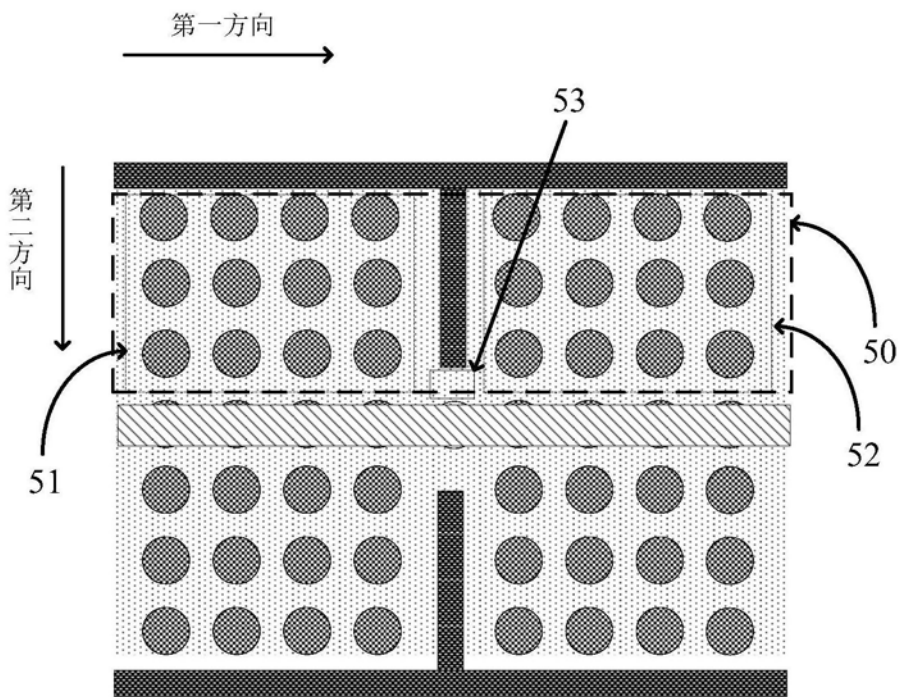


图11 (c)

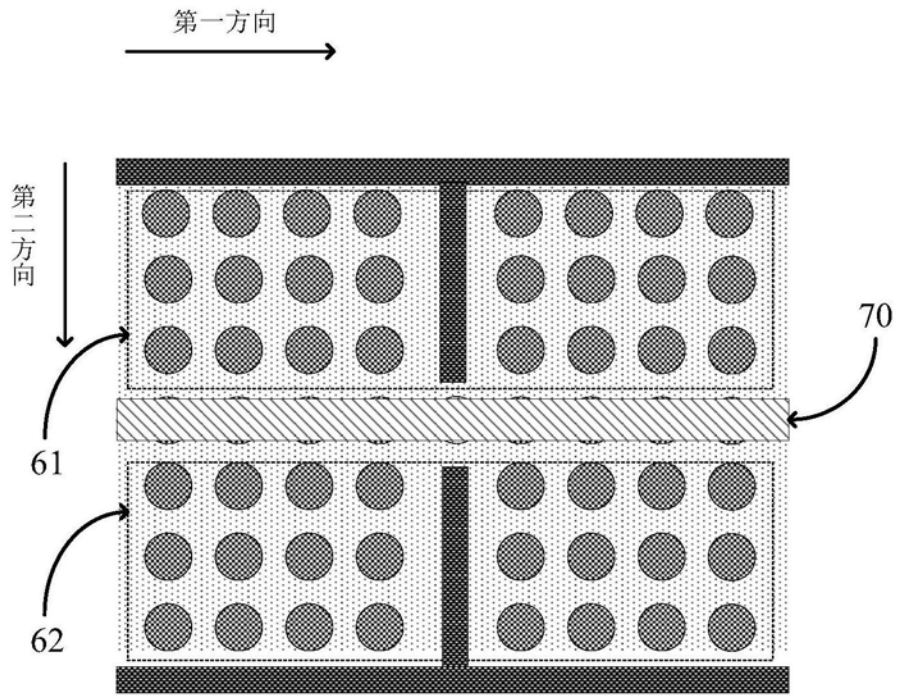


图12

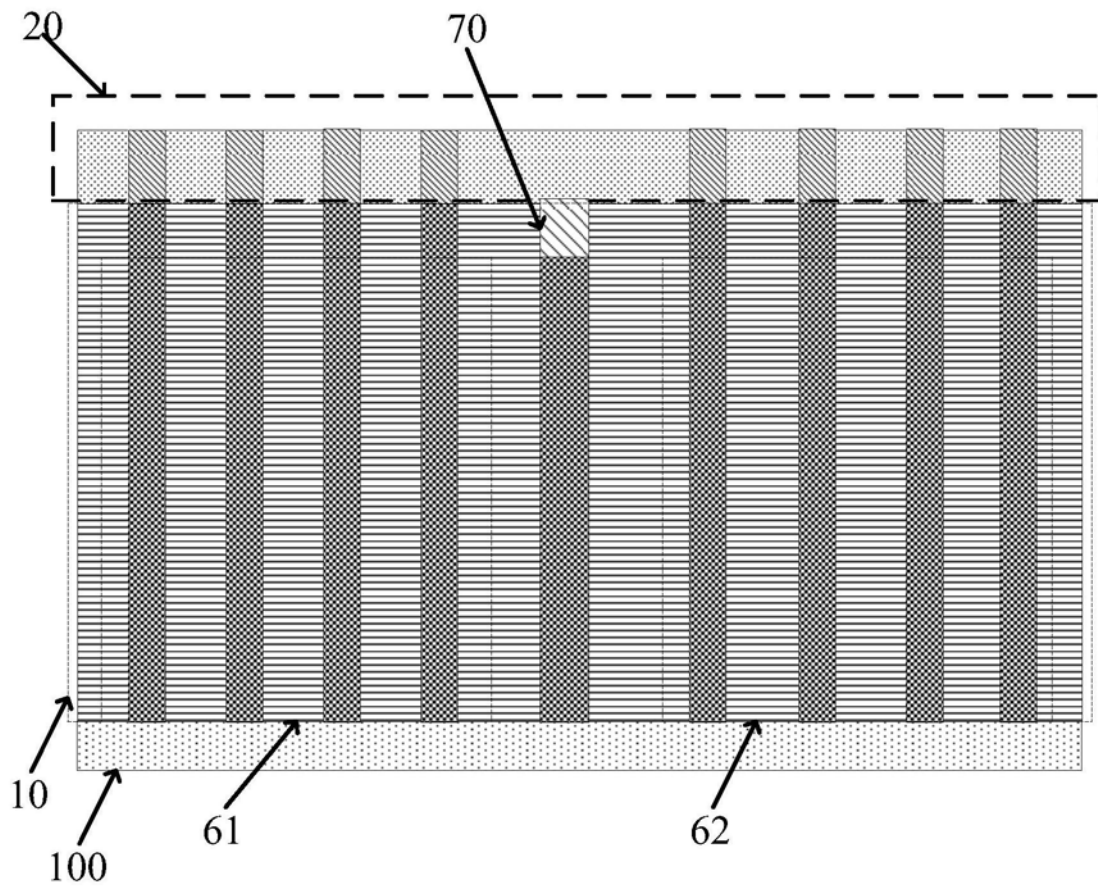


图13

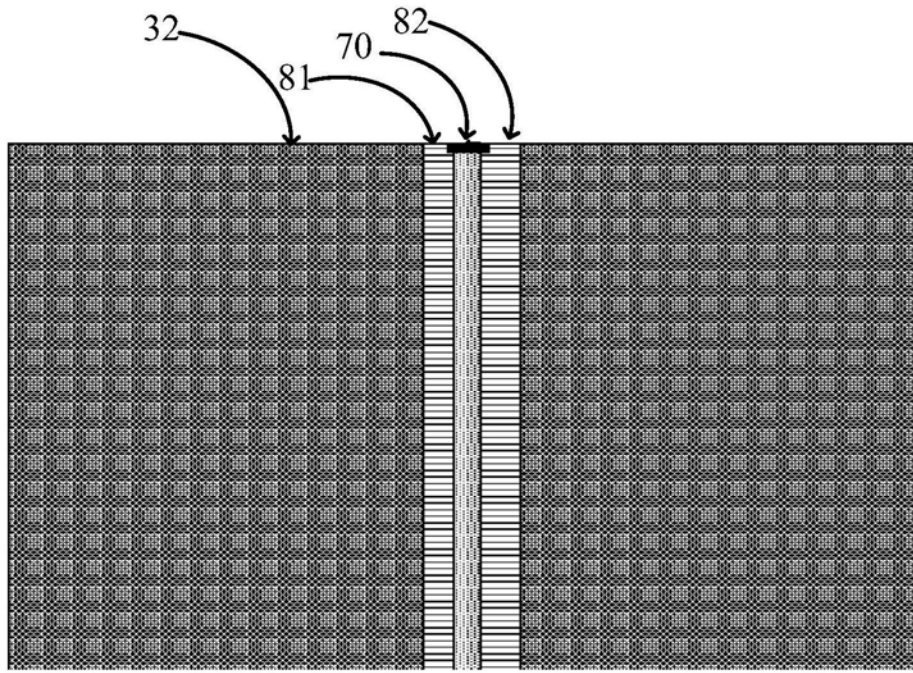


图14

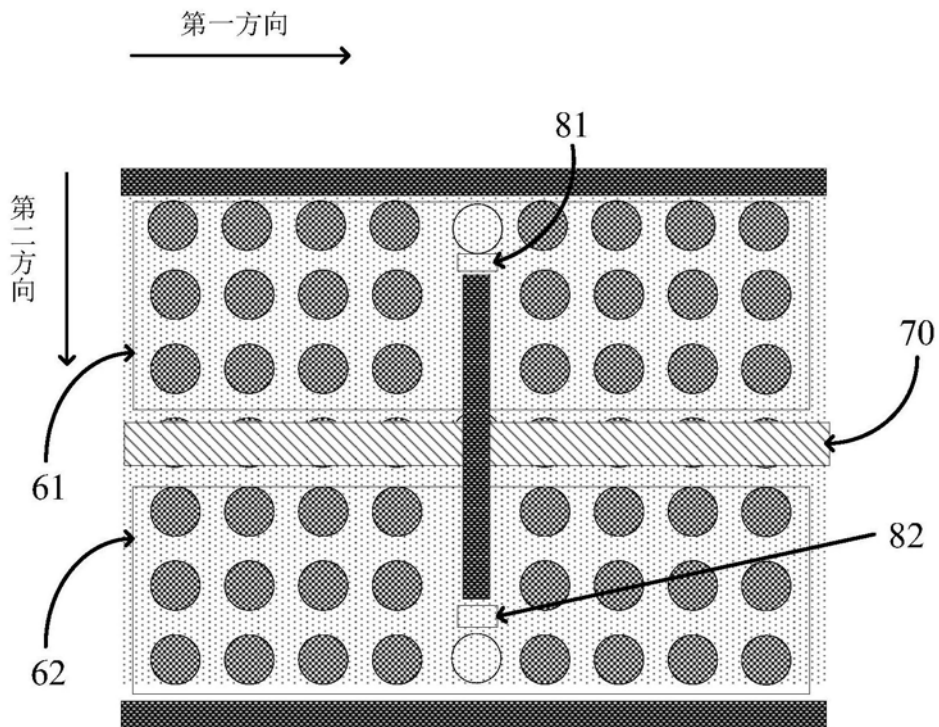


图15

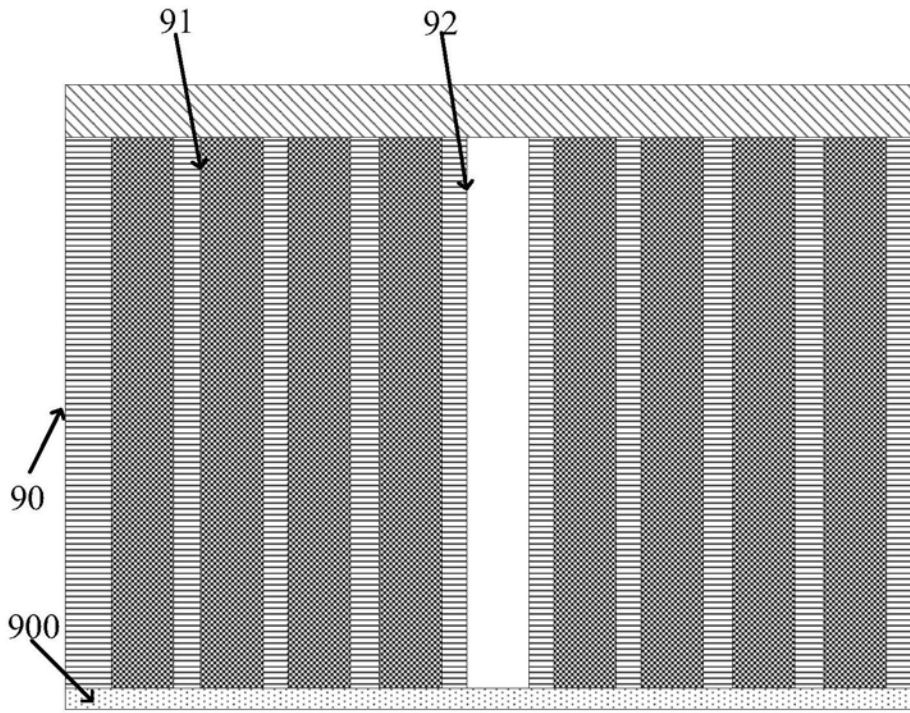


图16(a)

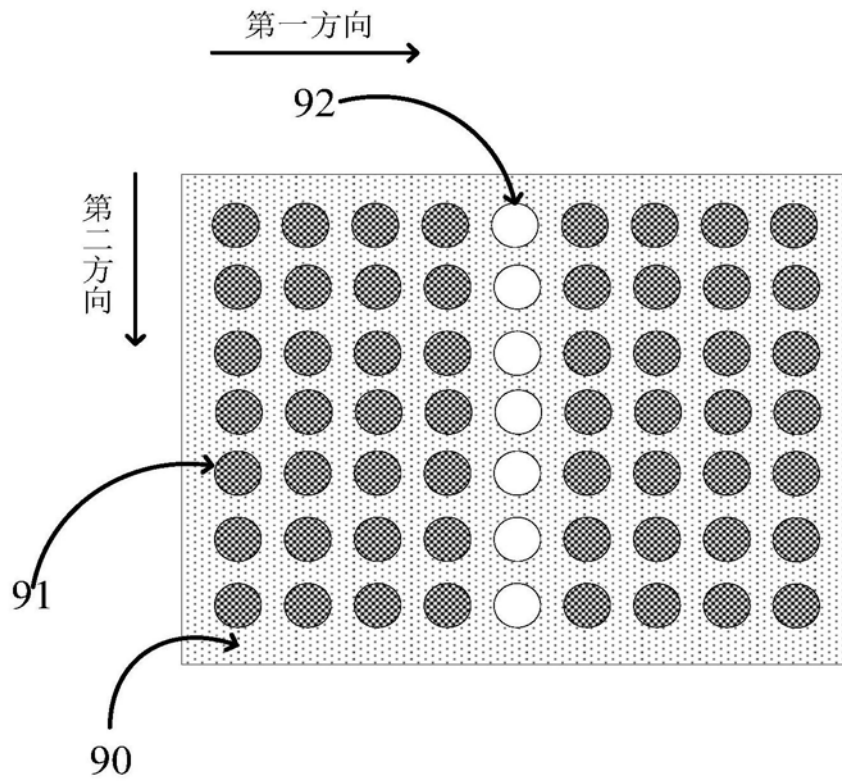


图16(b)

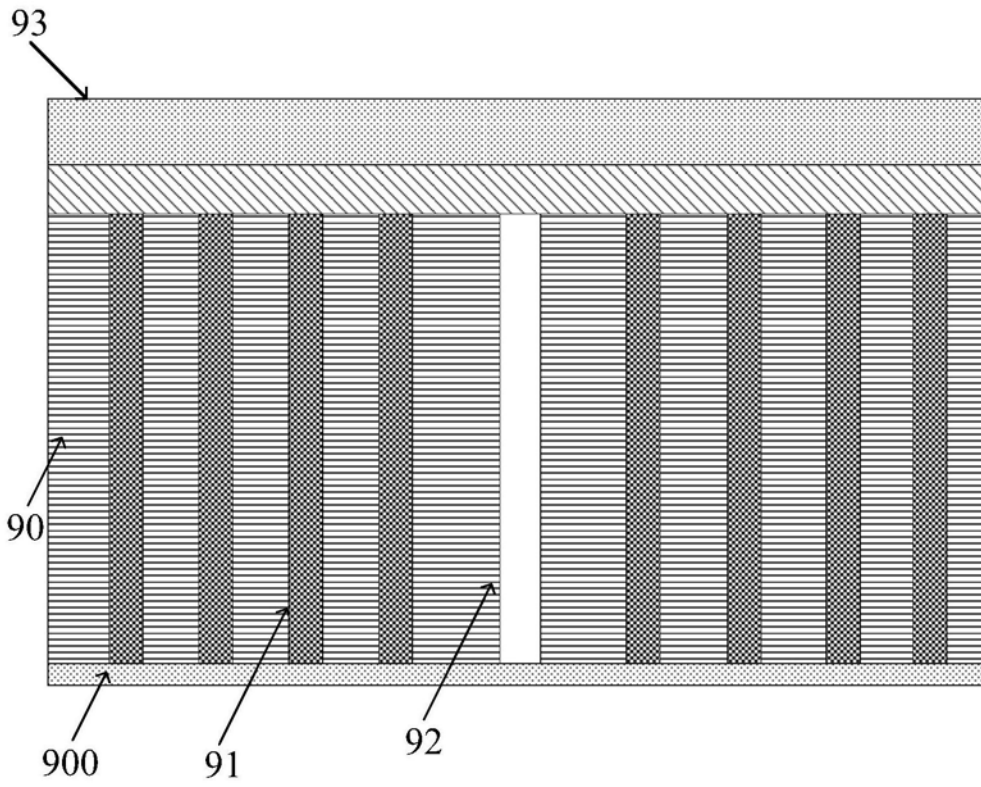


图17(a)

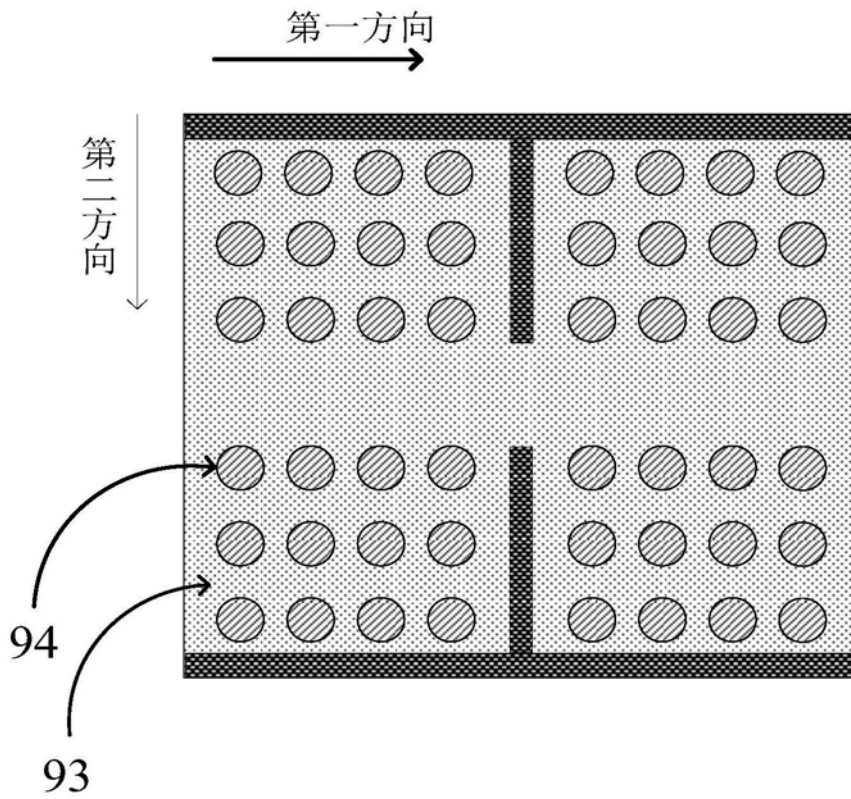


图17(b)

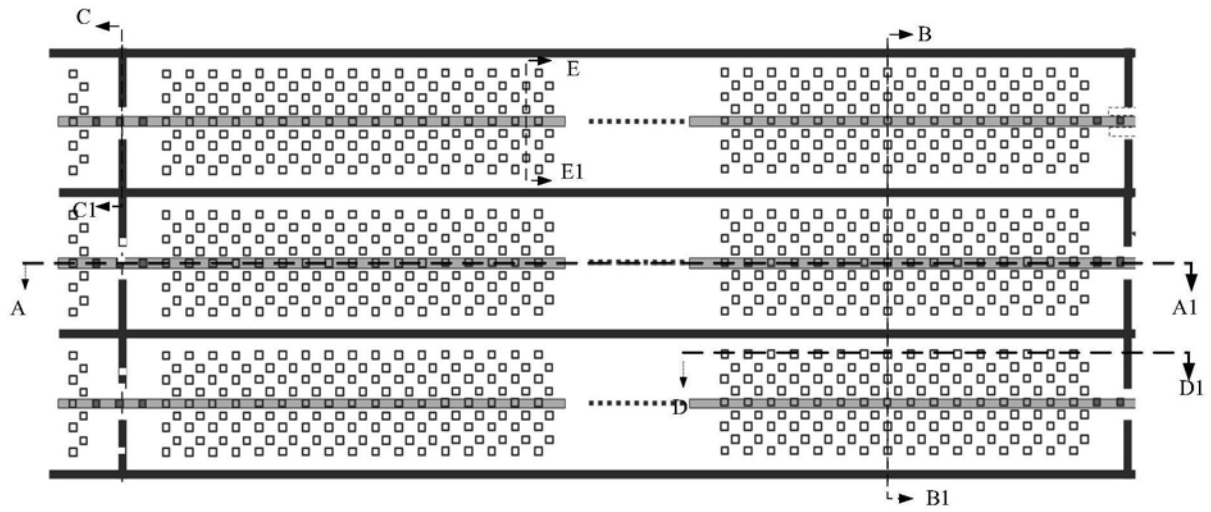


图18(a)

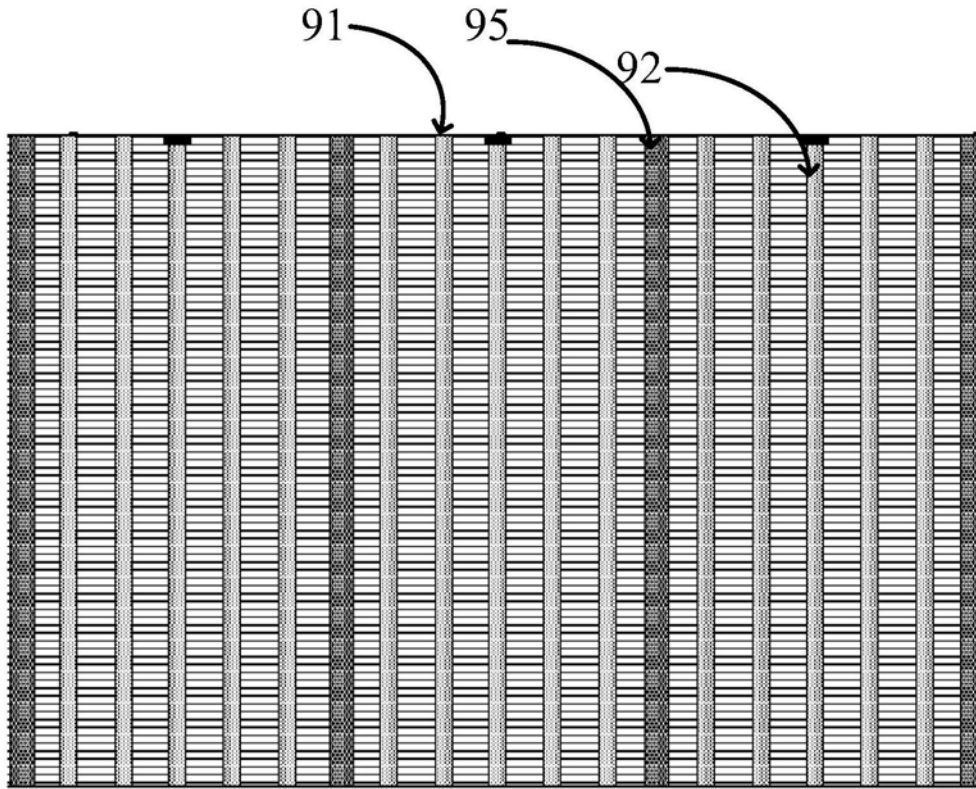


图18(b)

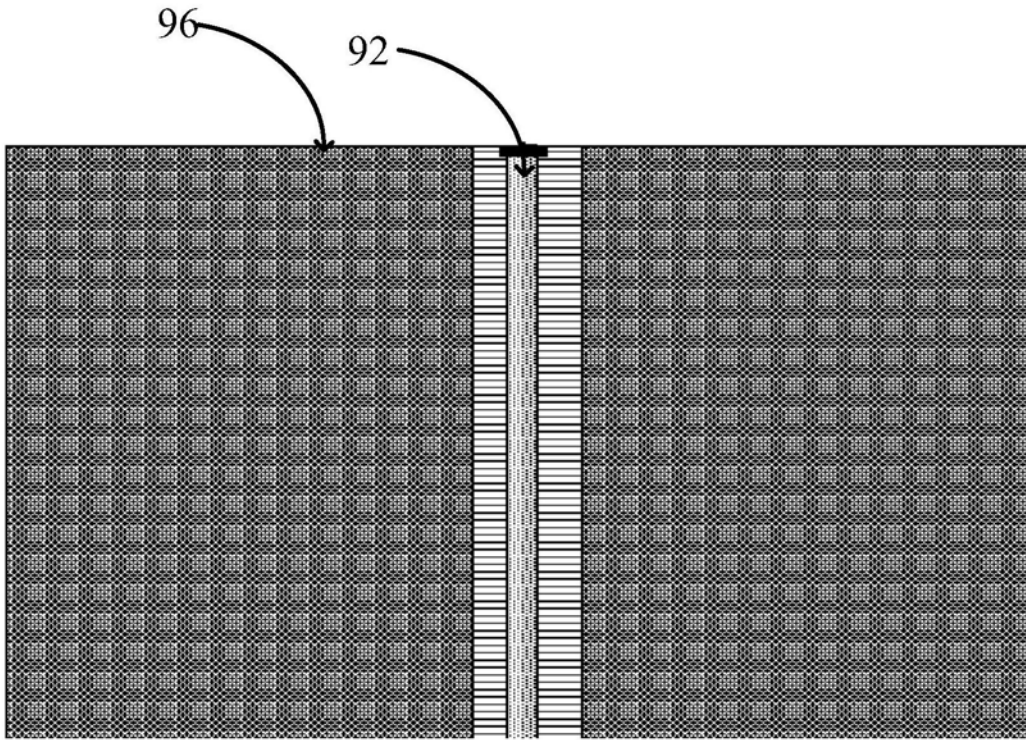


图18(c)

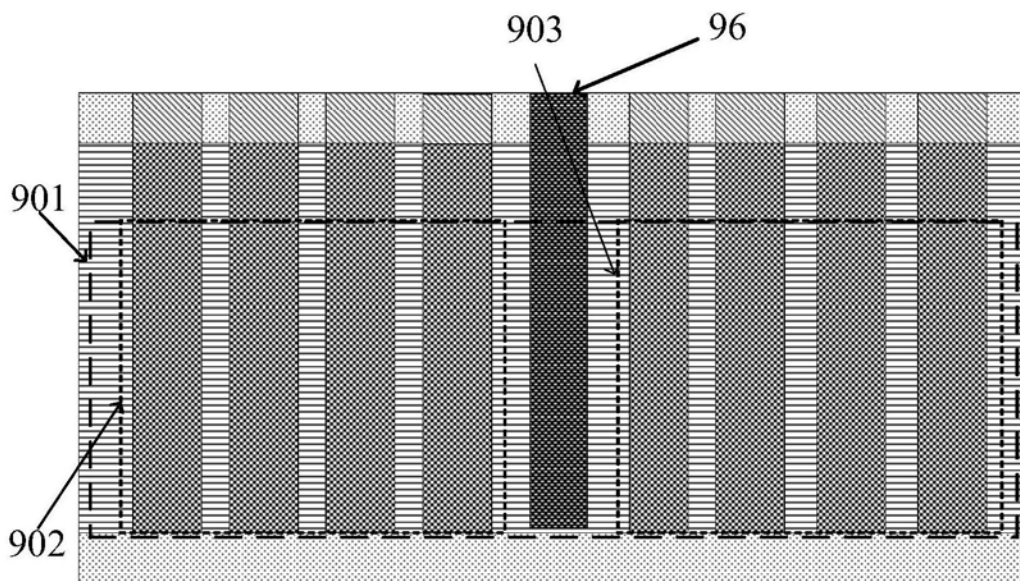


图19(a)



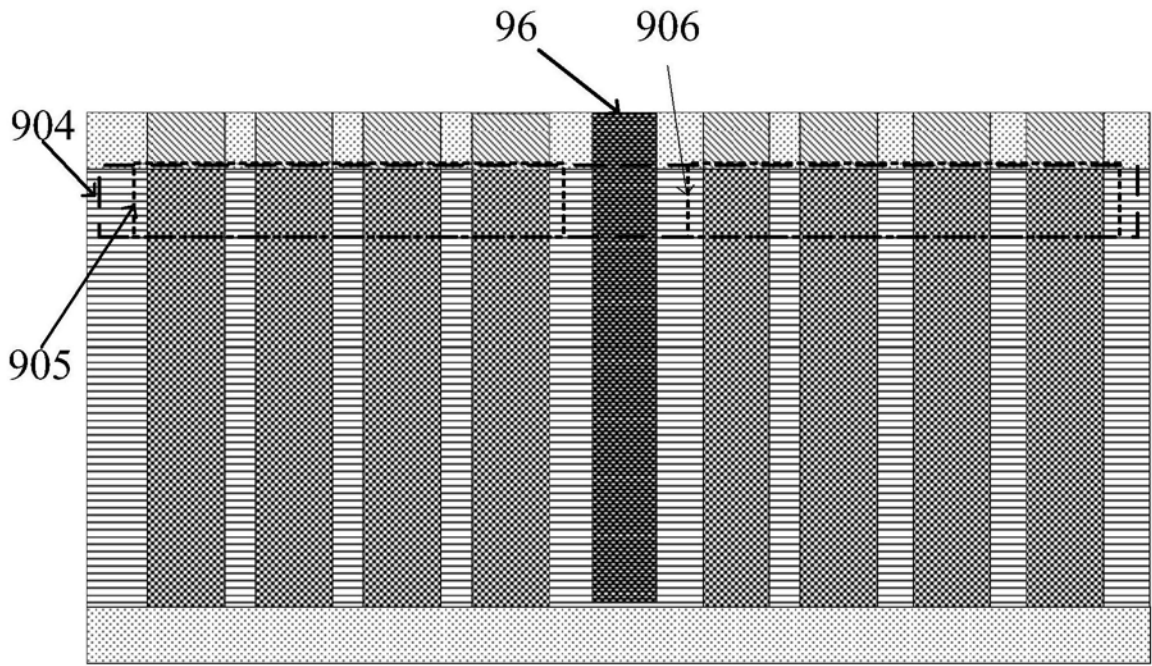


图19 (b)

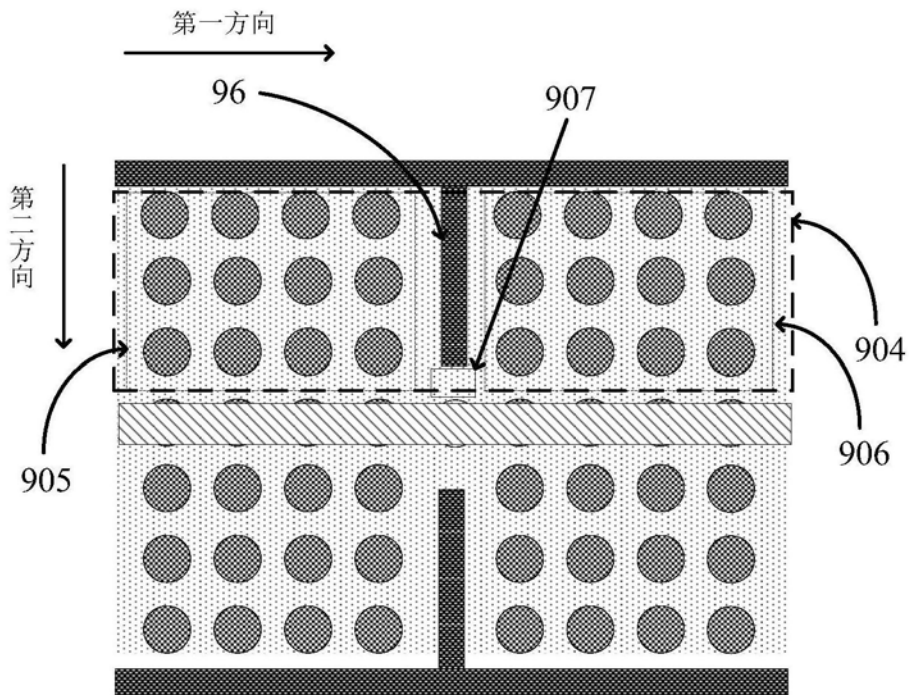


图20

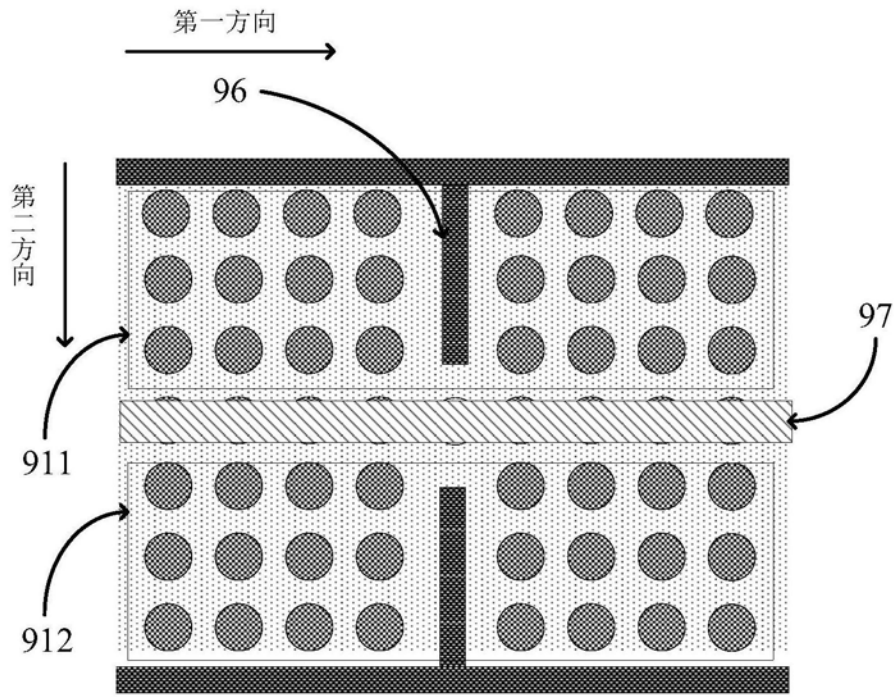


图21

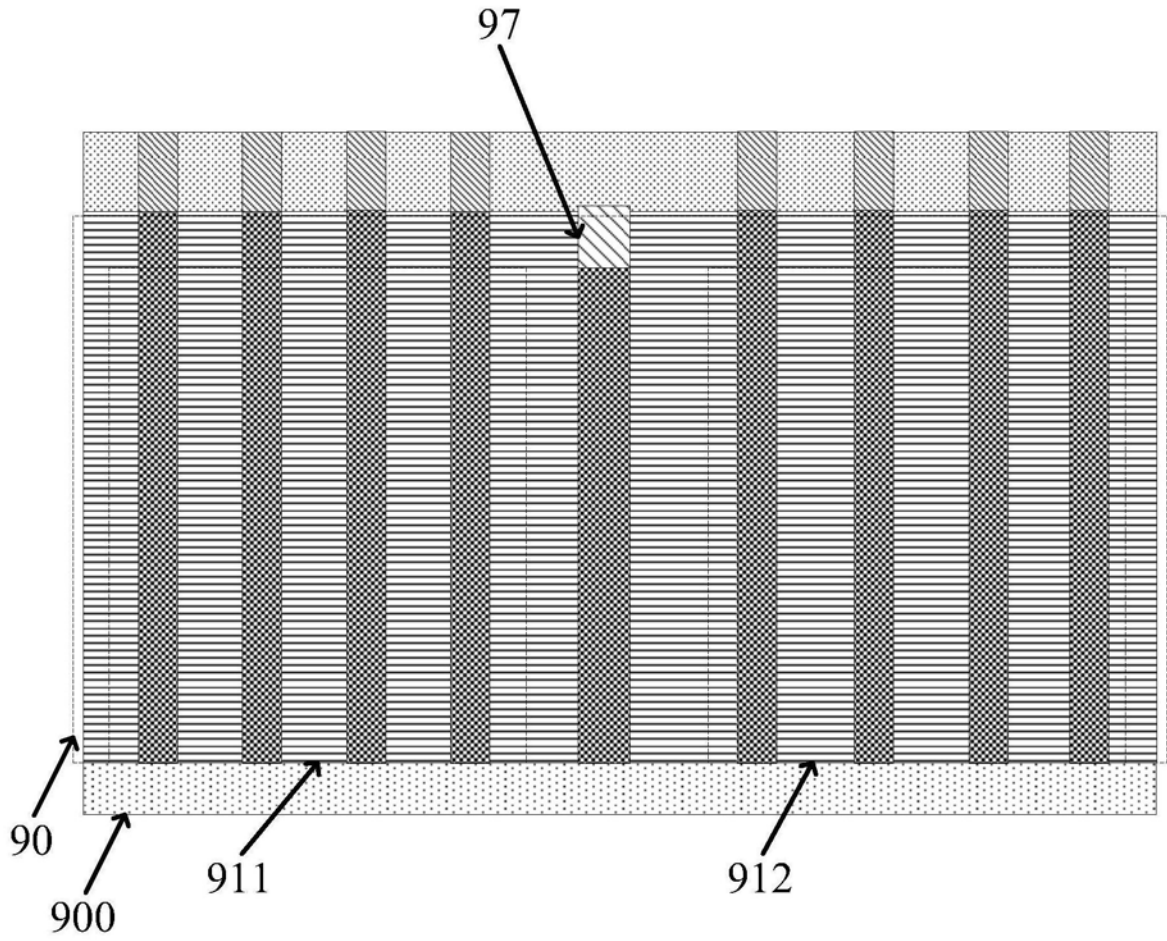


图22

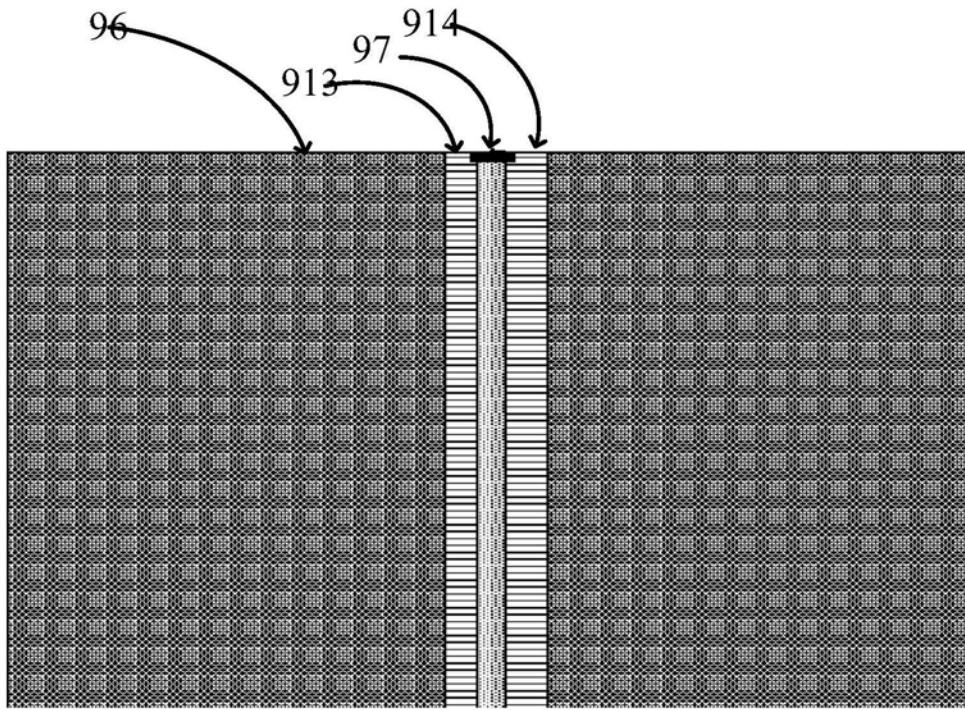


图23

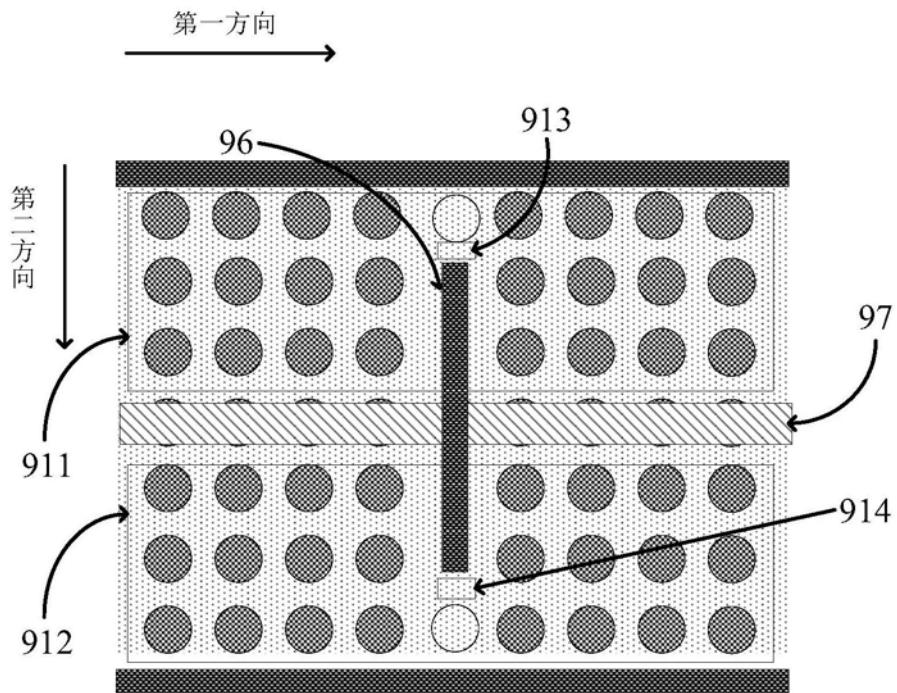


图24