

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/8242	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월05일 10-0506944 2005년07월30일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0077414 2003년11월03일	(65) 공개번호 (43) 공개일자	10-2005-0042624 2005년05월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	안태혁 경기도용인시구성면보정리1161진산마을삼성5차아파트502-303
(74) 대리인	박상수

심사관 : 오창석

(54) 지지층 패턴들을 채택하는 복수개의 커패시터들 및 그제조방법

요약

지지층 패턴들을 채택하는 복수개의 커패시터들 및 그 제조방법이 개시된다. 상기 복수개의 커패시터들은 동일 평면 상에 2차원적으로 반복적으로 배열된 복수개의 실린더 형 하부 플레이트들을 포함한다. 지지층 패턴들이 상기 복수개의 하부플레이트들의 최상부와 최하부 사이에 위치하여 상기 복수개의 하부 플레이트들의 서로 인접한 측벽들을 연결한다. 상기 복수개의 하부플레이트들의 내부들 및 측벽들 사이의 공간들을 상부플레이트가 채운다. 그리고, 커패시터 유전막이 상기 복수개의 하부플레이트들과 상기 상부플레이트 사이에 개재되어 상기 하부플레이트들과 상기 상부플레이트들을 절연시킨다.

대표도

도 2i

색인어

지지층 패턴들(holding layer patterns), 커패시터(capacitor), 플레이트(plate)

명세서

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 일 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위해 각각 개구부들을 갖는 지지층 및 복수개의 하부플레이트들을 보여주는 평면도들이다.

도 2a 내지 도 2i는 본 발명의 일 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위한 단면도들이다.

도 3a 및 도 3b는 본 발명의 일 실시예의 공정 수순에 따라 제조가 가능한 다른 복수개의 커패시터들을 설명하기 위해 각각 개구부들을 갖는 지지층 및 복수개의 하부플레이트들을 보여주는 평면도들이다.

도 4a 및 도 4b는 본 발명의 일 실시예의 공정 수순에 따라 제조가 가능한 또 다른 복수개의 커패시터들을 설명하기 위해 각각 개구부들을 갖는 지지층 및 복수개의 하부플레이트들을 보여주는 평면도들이다.

도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위해 각각 스페이서들이 형성된 하부 희생산화막 및 복수개의 하부플레이트들을 보여주는 평면도들이다.

도 6a 및 도 6g는 본 발명의 다른 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위한 단면도들이다.

도 7 및 도 8은 본 발명의 다른 실시예의 공정 수순에 따라 제조가 가능한 다양한 복수개의 커패시터들을 설명하기 위해 각각 복수개의 하부플레이트들을 보여주는 평면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 지지층 패턴들을 채택하는 복수개의 커패시터들 및 그 제조방법에 관한 것이다.

디램과 같은 메모리 소자에서는 알파 입자들에 대한 내성은 물론 리프레쉬 주기를 증가시키기 위하여 충분한 정전 용량을 갖는 복수개의 셀 커패시터들을 요구한다. 충분한 정전 용량을 갖는 커패시터를 구현하기 위해서는 상부 플레이트 및 하부플레이트 사이의 오버랩 면적을 증가시키거나 상기 상부플레이트 및 하부플레이트 사이에 개재되는 유전막의 두께를 감소시키는 것이 필요하다. 이에 더하여, 상기 커패시터를 구현하기 위해서는 상기 유전막을 고유전상수(high dielectric constant)를 갖는 물질막으로 형성하여야 한다.

최근에, 충분한 정전용량을 갖는 복수개의 커패시터들을 형성하기 위하여 하부플레이트들의 높이를 증가시키는 방법이 널리 채택되고 있다. 하부플레이트들의 높이를 증가시키므로써 상기 하부플레이트들의 표면적을 증가시킬 수 있다. 이에 따라, 상부플레이트와 하부 플레이트 사이의 오버랩 면적이 증가되어 셀 커패시터의 용량이 증가한다.

그러나, 하부플레이트들의 높이가 증가함에 따라, 상기 하부플레이트들이 옆으로 쓰러져서 인접한 다른 하부플레이트들에 기대는 현상(leaning)이 자주 발생한다. 이러한 현상(leaning)은 하부플레이트들을 전기적으로 접속시켜 2비트 불량(2 bit fail)을 초래한다.

결과적으로, 하부플레이트들의 높이를 증가시키되, 하부플레이트들의 쓰러짐을 방지할 수 있는 복수개의 커패시터들 및 그 제조방법이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 하부플레이트들의 높이를 증가시켜 충분한 정전용량을 확보하면서도 쓰러짐을 방지할 수 있는 복수개의 커패시터들을 제공하는 것이다.

본 발명의 다른 목적은 상기 복수개의 커패시터들을 갖는 반도체소자를 제공하는 것이다.

본 발명의 또 다른 목적은 하부플레이트들의 높이를 증가시켜 충분한 정전용량을 확보하면서도 제조 공정중 상기 하부플레이트들의 쓰러짐을 방지할 수 있는 복수개의 커패시터들을 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 지지층 패턴들을 채택하는 복수개의 커패시터들을 제공한다. 상기 복수개의 커패시터들은 동일 평면 상에 2차원적으로 반복적으로 배열된 복수개의 실린더 형 하부 플레이트들을 포함한다. 지지층 패턴들이 상기 복수개의 하부플레이트들의 최상부와 최하부 사이에 위치하여 상기 복수개의 하부 플레이트들의 서로 인접한 측면들을 연결한다. 상부플레이트가 상기 복수개의 하부플레이트들의 내부들 및 측면들 사이의 공간들을 채운다. 한편, 상기 복수개의 하부플레이트들과 상기 상부플레이트 사이에 커패시터 유전막이 개재되어 상기 하부플레이트들과 상기 상부플레이트들을 절연시킨다. 이에 따라, 상기 지지층 패턴들이 하부플레이트들의 측면들 사이에 개재되어 상기 하부플레이트들을 서로 지지하므로 상기 하부플레이트들의 쓰러짐이 방지된다.

상기 지지층 패턴들은 비도전성 물질막으로 형성된다. 바람직하게는, 상기 지지층 패턴들은 100Å 내지 1000Å의 높이를 가지며, 상기 비도전성 물질막은 실리콘 질화막(SiN) 또는 실리콘 탄화막(SiC) 막일 수 있다.

바람직하게는, 상기 2차원적으로 배열된 복수개의 실린더형 하부플레이트들 각각은 4개의 인접하는 하부플레이트들을 갖도록 배열될 수 있다. 상기 지지층 패턴들은 상기 각각의 하부플레이트들과 상기 4개의 인접하는 하부플레이트들을 개별적으로 연결한다.

상기 복수개의 실린더형 하부플레이트들 각각의 수평단면은 원형에 한정되는 것은 아니다. 즉, 상기 복수개의 실린더형 하부 플레이트들 각각의 수평단면은 타원형일 수 있다.

또한, 상기 2차원적으로 배열된 복수개의 실린더형 하부플레이트들 각각은 6개의 인접하는 하부플레이트들을 갖도록 배열될 수 있다. 이때, 상기 지지층 패턴들 각각은 세개의 인접한 하부플레이트들을 함께 연결할 수 있다.

한편, 상기 지지층 패턴들 각각은 서로 이격되어 마주보는 쌍(pair)으로 이루어질 수 있다. 이때, 상기 지지층 패턴들 각각은 하부면이 넓고 상부면이 좁은 식각된 스페이서들의 쌍(pair)일 수 있다. 상기 식각된 스페이서들은 500Å 내지 2000Å의 높이를 가질 수 있다.

상기 다른 목적을 달성하기 위하여, 본 발명은 지지층 패턴들을 채택하는 복수개의 커패시터들을 갖는 반도체 소자를 제공한다. 상기 반도체소자는 반도체기판을 구비한다. 상기 반도체기판 상부에 복수개의 실린더 형 하부 플레이트들이 2차원적으로 반복적으로 배열된다. 지지층 패턴들이 상기 복수개의 하부플레이트들의 최상부와 최하부 사이에 위치하여 상기 복수개의 하부 플레이트들의 서로 인접한 측면들을 연결한다. 상부플레이트가 상기 복수개의 하부플레이트들의 내부들 및 측면들 사이의 공간들을 채운다. 한편, 상기 복수개의 하부플레이트들과 상기 상부플레이트 사이에 커패시터 유전막이 개재되어 상기 하부플레이트들과 상기 상부플레이트들을 절연시킨다.

이에 더하여, 상기 반도체기판과 상기 복수개의 하부 플레이트들 각각의 사이에 스토리지 콘택 플러그들이 개재되어 상기 반도체기판과 상기 복수개의 하부플레이트들 각각을 연결할 수 있다.

상기 또 다른 목적을 달성하기 위하여, 본 발명의 일 태양은 지지층 패턴들을 채택하는 복수개의 커패시터들을 제조하는 방법을 제공한다. 이 방법은 하부절연막을 갖는 반도체기판을 준비하는 것을 구비한다. 상기 하부절연막 내에 2차원적으로 반복적으로 배열되는 복수개의 스토리지 콘택 플러그들을 형성한다. 상기 스토리지 콘택 플러그들이 형성된 반도체기판 상에 식각저지막 및 하부 희생산화막을 차례로 형성하고, 상기 하부 희생산화막 상에 상기 하부 희생산화막을 노출시키는 개구부들을 갖는 지지층을 형성한다. 이때, 상기 개구부들의 중심은 상기 스토리지 콘택 플러그들로 둘러싸인 상기 하부절연막 상부에 위치한다. 상기 개구부들을 갖는 지지층이 형성된 반도체기판 상에 상부 희생산화막을 형성하고, 상기 상부 희생산화막, 상기 지지층, 상기 하부 희생산화막 및 상기 식각저지막을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들을 노출시키는 커패시터 홀들 및 지지층 패턴들을 형성한다. 상기 지지층 패턴들은 상기 커패시터 홀들 내부에 노출된다. 그 후, 상기 커패시터 홀들의 내벽을 덮는 하부플레이트들을 형성하고, 상기 하부플레이트들 사이의 상부 희생산화막 및 하부 희생산화막을 차례로 제거한다. 상기 지지층 패턴들이 상기 하부플레이트들을 서로 지지하므로 상기 하부플레이트들 사이의 상부 희생산화막 및 하부 희생산화막이 제거되어도 상기 하부플레이트들의 쓰러짐이 방지된다.

바람직하게는, 상기 개구부들을 갖는 지지층을 형성하는 것은 상기 하부 희생산화막 상에 지지층을 형성하는 것을 포함한다. 상기 지지층 상에 포토레지스트 막을 형성하고, 상기 포토레지스트 막을 패터닝하여 상기 지지층을 노출시키는 개구부들을 갖는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 지지층을 식각한다.

바람직하게는, 상기 지지층은 상기 하부 희생산화막 및 상기 상부 희생산화막의 습식 식각 레서피에 대하여 낮은 식각률을 갖는 비도전성 물질막으로 형성할 수 있다. 상기 비도전성 물질막은 100Å 내지 1000Å의 두께로 형성될 수 있으며, SiN 또는 SiC 막일 수 있다.

한편, 상기 하부플레이트들을 형성하는 것은 상기 커패시터 홀들이 형성된 반도체 기판 상에 하부 플레이트 도전막을 형성하는 것을 포함한다. 상기 하부플레이트 도전막이 형성된 반도체기판 상에 상기 커패시터 홀들을 채우는 충전막을 형성하고, 상기 상부 희생산화막의 상부면이 노출될 때까지 상기 충전막 및 상기 하부플레이트 도전막을 평탄화시킨다. 그 후, 상기 커패시터 홀들을 채우는 충전막을 제거한다.

상기 또 다른 목적을 달성하기 위하여, 본 발명의 다른 일 태양은 지지층 패턴들을 채택하는 복수개의 커패시터들을 제조하는 방법을 제공한다. 이 방법은 하부절연막을 갖는 반도체기판을 준비하는 것을 구비한다. 상기 하부절연막 내에 2차원적으로 반복적으로 배열된 복수개의 스토리지 콘택 플러그들을 형성한다. 상기 스토리지 콘택 플러그들이 형성된 반도체 기판 상에 식각저지막 및 하부 희생산화막을 차례로 형성하고, 상기 하부 희생산화막을 부분식각하여 2차원적으로 반복적으로 배열된 그루브들을 형성한다. 이때, 상기 그루브들의 중심은 상기 스토리지 콘택 플러그들로 둘러싸인 하부절연막 상부에 위치한다. 그 후, 상기 그루브들의 내벽을 덮는 스페이서들을 형성한다. 상기 스페이서들이 형성된 반도체기판 상에 상부 희생산화막을 형성하고, 상기 상부 희생산화막, 상기 스페이서들, 상기 하부 희생산화막 및 상기 식각저지막을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들을 노출시키는 커패시터 홀들 및 지지층 패턴들을 형성한다. 이때, 상기 지지층 패턴들은 상기 커패시터 홀들 내부에 노출된다. 그 후, 상기 커패시터 홀들의 내벽을 덮는 하부플레이트들을 형성하고, 상기 하부플레이트들 사이의 상부 희생산화막 및 하부 희생산화막을 차례로 제거한다. 하부면이 넓고 상부면이 좁은 스페이서들로 지지층 패턴들을 형성하므로 후속 커패시터 유전막 및 상부플레이트를 상기 하부플레이트들 사이에 형성하는 것이 쉽다. 따라서, 상기 지지층 패턴들의 높이를 증가시킬 수 있다.

바람직하게는, 상기 하부 희생산화막은 500Å 내지 2000Å의 깊이로 부분식각될 수 있다.

한편, 상기 스페이서들은 상기 상부 희생산화막 및 상기 하부 희생산화막의 습식식각레서피에 대하여 낮은 식각률을 갖는 비도전성 물질막으로 형성하는 것이 바람직하며, SiN 또는 SiC 막으로 형성할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

도 1a 및 도 1b는 본 발명의 일 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위해 각각 개구부들을 갖는 지지층 및 복수개의 하부플레이트들을 보여주는 평면도들이고, 도 2a 내지 도 2i는 도 1a 및 도 1b의 절단선 I-I에 따라 취해진 본 발명의 일 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위한 단면도들이다. 도 1a 및 도 1b에 있어서, 지시기호 A는 반도체 기판 상의 동일 영역을 나타낸다.

도 1a, 도 1b 및 도 2a를 참조하면, 하부절연막(13)을 갖는 반도체기판(11)을 준비한다. 상기 반도체기판(11) 상에는 트랜지스터들(도시하지 않음) 및 비트라인들(도시하지 않음)이 형성되어 있다. 상기 하부절연막(13)은 상기 트랜지스터들 및 상기 비트라인들과 복수개의 커패시터들을 전기적으로 절연시킨다.

상기 하부절연막(13) 내에 2차원적으로 반복적으로 배열되는 스토리지 콘택 플러그들(15)을 형성한다. 상기 스토리지 콘택 플러그들(15)은 통상의 자기정렬콘택(self-aligned contact) 기술을 사용하여 형성할 수 있다. 상기 스토리지 콘택 플러그들(15)은 상기 반도체기판(11) 상에, 도 1b에 도시된 동심원들과 같이, 정방형으로 배열될 수 있다.

도 1a, 도 1b 및 도 2b를 참조하면, 상기 스토리지 콘택 플러그들(15)이 형성된 반도체기판 상에 식각저지막(17), 하부 희생산화막(19) 및 지지층(21)을 차례로 형성한다. 상기 식각저지막(17)은 실리콘 질화막으로 형성할 수 있다.

상기 하부 희생산화막(19)은 스핀 온 글래스(SOG) 또는 도핑되지 않은 실리콘 글래스(undoped silicate glass)와 같은 실리콘 산화막으로 형성할 수 있다.

상기 지지층(21)은 상기 하부 희생산화막(17)의 습식식각 레서피에 대하여 식각률이 낮은 비도전성 물질막으로 100Å 내지 1000Å의 두께로 형성하는 것이 바람직하다. 상기 비도전성 물질막은 SiN 또는 SiC 막일 수 있다.

도 1a, 도 1b 및 도 2c를 참조하면, 상기 지지층(21) 상에 포토레지스트 막을 형성한다. 상기 포토레지스트 막을 패터닝하여 상기 지지층(21)을 노출시키는 개구부들을 갖는 포토레지스트 패턴을 형성한다. 상기 지지층(21)은 두께가 상대적으로

로 얇으므로 상기 포토레지스트 막도 얇게 형성할 수 있다. 따라서, 상기 포토레지스트 막을 패터닝하는 것이 용이하다. 이에 더하여, 필요하다면, 상기 지지층(21)을 노출시키는 개구부들을 확장시키기 위하여 상기 포토레지스트 패턴을 산소 플라즈마를 이용하여 등방성 식각할 수 있다.

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 지지층(21)을 식각하여 상기 하부 회생산화막(19)을 노출시키는 개구부들(21b)을 갖는 지지층(21a)을 형성한다. 도 2c에 점선으로 표시한 개구부들(21b)은 도 1a의 절단선 I-I에 따라 취해진 단면도에서 뒤쪽에 있는 개구부들을 나타낸다.

이때, 상기 개구부들(21b)의 중심은 2차원적으로 규칙적으로 배열된 상기 스토리지 콘택 플러그들(15)로 둘러싸인 하부 절연막(13) 상부에 위치하도록 한다.

도 1a, 도 1b 및 도 2d를 참조하면, 상기 개구부들(21b)을 갖는 지지층(21a)이 형성된 반도체기판 상에 상부 회생산화막(23)을 형성한다. 상기 상부 회생산화막(23)은 상기 하부 회생산화막(19)과 같이 실리콘 산화막으로 형성할 수 있다. 상기 상부 회생산화막(23)이 형성된 후, 상기 상부 회생산화막(23)을 화학기계적 연마(CMP) 기술을 사용하여 평탄화시킬 수 있다.

도 1a, 도 1b 및 도 2e를 참조하면, 상기 상부 회생산화막(23), 상기 개구부들을 갖는 지지층(21a), 상기 하부 회생산화막(19) 및 상기 식각저지막(17)을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들(15)을 노출시키는 커패시터 홀들(25) 및 지지층 패턴들(21c)을 형성한다. 이때, 상기 지지층 패턴들(21c)은 상기 커패시터 홀들(25) 내부에 노출된다.

상기 지지층(21)은 상기 상부 회생산화막(23) 및 상기 하부 회생산화막(19)과 다른 물질막으로 형성된다. 따라서, 상기 상부 회생산화막(23) 및 상기 지지층(21a)을 식각하는 단계와 상기 하부 회생산화막(19)을 식각하는 단계로 나누어 식각공정을 수행하는 것이 바람직하다. 즉, 상기 상부 회생산화막(23) 및 상기 개구부들을 갖는 지지층(21a)을 식각하는 단계는 상기 상부 회생산화막(23)과 상기 지지층(21)의 식각률이 유사한 식각 레시피를 사용하여 식각공정을 진행한다. 이에 따라, 상기 지지층 패턴들(21c)을 형성할 때 까지, 상기 하부 회생산화막(19)의 식각량을 최소화 할 수 있다. 그 후, 상기 하부 회생산화막(19)이 상기 식각저지막(17)에 비해 빨리 식각되는 레시피를 사용하여 상기 하부 회생산화막(19)을 식각한다. 이에 따라, 상기 스토리지 콘택 플러그들(15)에 손상을 가하지 않으면서, 상기 커패시터 홀들(25)을 빨리 형성할 수 있다.

도 1b 및 도 2f를 참조하면, 상기 커패시터 홀들(25)이 형성된 반도체기판 상에 하부 플레이트 도전막(25)을 콘포말하게(conformably) 형성한다. 상기 하부 플레이트 도전막(25)은 폴리 실리콘막 또는 금속막일 수 있다. 상기 하부 플레이트 도전막(25)은 상기 지지층 패턴들(21c)과 접촉한다.

상기 하부플레이트 도전막(25)이 형성된 반도체기판 상에 상기 커패시터홀들(25)을 채우는 충전막(27)을 형성한다. 상기 충전막(27)을 전면 식각하여 상기 하부 플레이트 도전막(25)을 노출시킬 수 있다.

도 1b 및 도 2g를 참조하면, 상기 충전막(27) 및 상기 하부 플레이트 도전막(25)을 상기 상부 회생산화막(23)의 상부면이 노출될 때 까지 평탄화시키어 서로 분리된 하부플레이트들(25a)을 형성한다. 그 후, 상기 커패시터 홀들(25) 내부에 남아 있는 충전막(27)을 제거한다. 상기 하부 플레이트 도전막(25) 및 상기 충전막(27)을 평탄화시키는 공정은 전면 식각 또는 화학기계적 연마(CMP) 공정을 사용하여 수행할 수 있다.

도 1b 및 도 2h를 참조하면, 상기 하부 플레이트들(25a)이 형성된 후, 상기 상부 회생산화막(23) 및 상기 하부 회생산화막(19)을 습식식각 공정을 사용하여 제거한다. 상기 상부 회생산화막(23) 및 상기 하부 회생산화막(19)은 상기 충전막(27)과 함께 제거될 수 있다. 상기 지지층 패턴들(21c)은 상기 상부 회생산화막(23) 및 상기 하부 회생산화막(19)의 습식식각 레시피에 대하여 식각률이 낮은 물질막으로 형성되므로, 제거되지 않는다. 따라서, 상기 지지층 패턴들(21c)은 상기 하부 플레이트들(25a)의 최상부와 최하부 사이에서 상기 하부 플레이트들(25a)의 인접하는 측벽들을 연결하여 상기 하부 플레이트들(25a)을 지지하는 역할을 한다. 그 결과, 상기 하부 플레이트들(25a)이 쓰러지는 현상(leaning)이 방지된다.

한편, 상기 하부 회생산화막(19) 및 상기 상부 회생산화막(23)이 제거됨에 따라, 상기 식각저지막(17)이 상기 하부 플레이트들(25) 사이에 노출된다. 상기 식각저지막(17)은 상기 하부 절연막(13)이 상기 습식식각공정 동안 식각되는 것을 방지한다.

도 1b 및 도 2i를 참조하면, 상기 상부 희생산화막(23) 및 상기 하부 희생산화막(19)이 제거된 반도체기판 상에 커패시터 유전막(27)을 형성한다. 상기 커패시터 유전막(27)은 상기 하부플레이트들 각각의 내면(inner surface) 및 외면(outer surface)을 콘포말하게 덮는다.

상기 커패시터 유전막(27)은 화학기상증착(chemical vapor deposition) 또는 원자층 증착(atomic layer deposition) 기술을 사용하여 형성할 수 있다.

상기 커패시터 유전막(27)이 형성된 반도체기판 상에 상부 플레이트 도전막을 형성하고, 이를 패터닝하여 상부 플레이트(29)를 형성한다. 상기 상부 플레이트 도전막은 폴리 실리콘 막 또는 금속막으로 형성할 수 있으며, 화학기상 증착 또는 원자층 증착 기술을 사용하여 형성할 수 있다. 그 결과, 지지층 패턴들(21c)을 채택하는 복수개의 커패시터들이 완성된다.

도 3a 및 도 3b는 상기 본 발명의 일 실시예의 공정 수순에 따라 제조가 가능한 다른 복수개의 커패시터들을 설명하기 위한 평면도들이다. 도 3a 및 도 3b에 있어서, 지시기호 B는 반도체 기판 상의 동일 영역을 나타내고, 도 2a 내지 도 2i는 도 3a 및 도 3b의 절단선 II-II에 따라 취해진 단면도들과 동일하다.

도 3a 및 도 3b를 참조하면, 상기 도 2a를 참조하여 설명한 바와 같이, 하부 절연막(도 2a의 13)을 갖는 반도체기판(도 2a의 11)을 준비하고, 상기 하부 절연막(13) 내에 스토리지 콘택 플러그들(도 2a의 15)을 형성한다. 다만, 상기 스토리지 콘택 플러그들(15)은, 도 3b에 도시된 타원들과 같이, 장축형 배열을 하도록 형성된다. 그 후, 도 2b를 참조하여 설명한 바와 같이, 식각저지막(17), 하부 희생산화막(19) 및 지지층(21)을 형성한다.

상기 지지층(21)을 패터닝하여, 도 3a에 도시된 바와 같이, 타원형의 개구부들(31b)을 갖는 지지층(31a)을 형성한다. 상기 개구부들(31b)의 중심은 상기 스토리지 콘택 플러그들(15)로 둘러싸인 상기 하부절연막(13) 상부에 위치하며, 상기 지지층(31a)을 패터닝하는 공정은 도 2c를 참조하여 설명한 바와 같다.

상기 지지층(31a)이 형성된 반도체 기판 상에, 도 2d를 참조하여 설명한 바와 같이, 상부 희생산화막(23)을 형성한다. 그 후, 도 2e를 참조하여 설명한 바와 같이, 상기 스토리지 콘택 플러그들(15)을 노출시키는 커패시터 홀들(도 2e의 25)을 형성한다. 다만, 상기 커패시터 홀들(25)의 수평단면은 타원이 된다. 이때, 도 3b 도시한 바와 같은 지지층 패턴들(31c)이 함께 형성된다.

그 후, 도 2f 내지 도 2i를 참조하여 설명한 바와 같이, 하부 플레이트들(35a), 커패시터 유전막(27) 및 상부 플레이트(29)를 형성한다. 다만, 상기 하부 플레이트들(35a)은, 도 1b에 도시된 하부 플레이트들(25a)과 달리, 수평단면이 타원형이 된다. 이에 따라, 장축 및 단축을 갖는 복수개의 커패시터들이 형성된다.

도 4a 및 도 4b는 본 발명의 일 실시예의 공정 수순에 따라 제조가 가능한 또 다른 복수개의 커패시터들을 설명하기 위한 평면도들이다. 도 4a 및 도 4b에 있어서, 지시기호 C는 반도체 기판 상의 동일 영역을 나타낸다.

도 4a 및 도 4b를 참조하면, 공정 수순, 물질막들은 근본적으로 도 2a 내지 도 2i를 참조하여 설명한 바와 같다.

다만, 스토리지 콘택플러그들(도 2a의 15) 각각은, 도 4b에 도시된 동심원들과 같이, 6개의 인접하는 다른 스토리지 콘택 플러그들(15)을 갖도록 배열된다. 이에 따라, 지지층(도 2b의 21)을 패터닝하여, 도 4a에 도시된 바와 같이, 개구부들(41b)을 갖는 지지층(41c)을 형성한다. 상기 개구부들(41b) 각각은 6개의 인접하는 다른 개구부들(41b)을 갖는다. 또한, 상기 스토리지 콘택플러그들(15)을 노출시키는 커패시터 홀들(도 2e의 25)은 상기 스토리지 콘택플러그들(15)과 동일한 배열을 하므로, 상기 커패시터 홀들(25) 각각은 6개의 인접하는 커패시터 홀들(25)을 갖는다. 한편, 상기 커패시터 홀들(25)을 형성하는 동안 함께 형성되는 지지층 패턴들(41c) 각각은 3개의 인접한 커패시터 홀들(25)의 측벽에 노출된다. 상기 커패시터 홀들(25)의 내벽에 하부 플레이트들(45a)이 형성된다. 상기 하부 플레이트들(45a) 각각은 6개의 인접하는 다른 하부 플레이트들(45a)을 갖는다.

또한, 상기 지지층 패턴들(41c) 각각은 3개의 인접하는 하부 플레이트들(45a)에 연결되어 상기 하부 플레이트들(45a)을 지지한다.

이하에서는 도 1b, 도 2i, 도 3b 및 도 4b를 참조하여 본 발명의 일 태양에 따른 복수개의 커패시터의 구조를 상세히 설명한다.

도 1b 및 2i를 참조하면, 반도체기판(11) 상부의 동일 평면 상에 복수개의 실린더형 하부플레이트들(25a)이 2차원적으로 반복적으로 배열된다. 상기 실린더형 하부 플레이트들(25a)의 수평단면은 원형에 한정되는 것은 아니며, 도 3b에 도시된 바와 같이, 타원형일 수 있다. 또한, 상기 복수개의 실린더형 하부 플레이트들(25a) 각각은 4개의 인접한 다른 하부 플레이트들(25a)을 갖도록 배열될 수 있으나, 도 3b에 도시한 바와 같이, 6개의 인접한 다른 하부 플레이트들을 갖도록 배열될 수 있다.

지지층 패턴들(21c)이 상기 하부 플레이트들(25a)의 서로 인접한 측벽들을 연결한다. 상기 지지층 패턴들(21c)은 상기 하부 플레이트들(25a)의 최상부와 최하부 사이에 위치한다. 한편, 상기 지지층 패턴들(21c)은 비도전성 물질막으로 형성되며, 100Å 내지 1000Å의 높이를 갖는 것이 바람직하다.

상기 지지층 패턴들(21c) 각각은, 도 1b 및 도 3b에 도시된 바와 같이, 2개의 인접한 하부 플레이트들(25a 또는 35a)을 연결할 수 있으며, 도 4b에 도시된 바와 같이, 3개의 인접한 하부 플레이트들(45a)을 연결할 수 있다.

한편, 상부 플레이트(29)가 상기 하부 플레이트들(25a)의 내부들 및 측벽들 사이의 공간들을 채운다. 그리고, 하부 플레이트들(25a)과 상기 상부 플레이트(29) 사이에 커패시터 유전막(27)이 개재되어 상기 하부 플레이트들(25a)과 상기 상부 플레이트(29)를 절연시킨다.

한편, 상기 반도체기판(11)과 상기 하부플레이트들(25a) 사이에 스토리지 콘택플러그들(15)이 개재되어, 상기 반도체기판(11)과 상기 하부 플레이트들(25a) 각각을 전기적으로 접속시킨다.

도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위해 각각 스페이서들이 형성된 하부 희생막 및 복수개의 하부플레이트들을 보여주는 평면도들이고, 도 6a 내지 도 6g는 도 5a 및 도 5b의 절단선 III-III에 따라 취해진 본 발명의 다른 실시예에 따른 복수개의 커패시터들을 제조하는 방법을 설명하기 위한 단면도들이고, 도 6b에 표시한 점선들은 도 5a의 절단선 IV-IV에 따라 취해진 하부 희생산화막(59a)의 부분단면을 나타낸다. 도 5a 및 도 5b에 있어서, 지시기호 D는 반도체 기판 상의 동일 영역을 나타낸다.

도 5a, 도 5b 및 도 6a를 참조하면, 하부절연막(53)을 갖는 반도체 기판(51)을 준비한다. 상기 반도체기판 상에는 트랜지스터들(도시하지 않음) 및 비트라인들(도시하지 않음)이 형성되어 있다.

상기 하부절연막(53)은 상기 트랜지스터들 및 상기 비트라인들과 복수개의 커패시터들을 전기적으로 절연시킨다.

상기 하부절연막(53) 내에 2차원적으로 반복적으로 배열되는 스토리지 콘택 플러그들(55)을 형성한다. 상기 스토리지 콘택 플러그들(55)은 통상의 자기정렬콘택(self-aligned contact) 기술을 사용하여 형성할 수 있다. 상기 스토리지 콘택 플러그들(55)은 상기 반도체기판(51) 상에, 도 5b에 도시된 동심원들과 같이, 정방형으로 배열될 수 있다.

상기 스토리지 콘택 플러그들(55)이 형성된 반도체기판 상에 식각저지막(57), 하부 희생산화막(59)을 차례로 형성한다. 상기 식각저지막(57)은 실리콘 질화막으로 형성할 수 있다.

상기 하부 희생산화막(59)은 스핀 온 글래스(SOG) 또는 도핑되지 않은 실리콘 글래스(undoped silicate glass)와 같은 실리콘 산화막으로 형성할 수 있다.

도 5a, 도 5b 및 도 6b를 참조하면, 상기 하부 희생산화막(59) 상에 포토레지스트 막을 형성한다. 상기 포토레지스트 막을 패터닝하여 상기 하부 희생산화막(59)을 노출시키는 개구부들을 갖는 포토레지스트 패턴을 형성한다.

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 하부 희생산화막(59)을 부분식각하여 그루브들(59b)을 갖는 하부 희생산화막(59a)을 형성한다. 이때, 상기 하부 희생산화막(59)은 500Å 내지 2000Å의 깊이로 부분식각하는 것이 바람직하다. 여기서, 도 6b에 표시한 점선들은 도 5a의 절단선 IV-IV에 따라 취해진 상기 하부 희생산화막(59a)의 부분단면을 나타낸다.

이때, 상기 그루브들(59b)의 중심은 상기 스토리지 콘택 플러그들(55)로 둘러싸인 하부절연막(53) 상부에 위치하도록 한다.

상기 그루브들(59b)을 갖는 하부 회생산화막(59a) 상에 스페이서 막을 형성한다. 상기 스페이서 막은 상기 하부 회생산화막(59)의 습식식각 레서피에 대하여 식각률이 낮은 비도전성 물질막으로 형성한다. 상기 비도전성 물질막은 SiN 또는 SiC 막일 수 있다. 상기 스페이서 막을 전면 식각하여 상기 그루브들(59b)의 측벽을 덮는 스페이서들(61)을 형성한다. 이에 따라, 상기 스페이서들(61)은 하부면이 넓고 상부면이 좁은 경사진(tapered) 모양을 갖는다.

도 5a, 도 5b 및 도 6c를 참조하면, 상기 스페이서들(61)이 형성된 반도체기판 상에 상부 회생산화막(65)을 형성한다. 상기 상부 회생산화막(23)은, 상기 하부 회생산화막(59)과 같이, 실리콘 산화막으로 형성할 수 있다. 상기 상부 회생산화막(65)은 상기 스페이서들(61)이 형성된 그루브들(59b)을 채운다. 상기 상부 회생산화막(65)이 형성된 후, 상기 상부 회생산화막(65)을 화학기계적 연마(CMP) 기술을 사용하여 평탄화시킬 수 있다.

상기 상부 회생산화막(65), 상기 스페이서들(61), 상기 하부 회생산화막(59a) 및 상기 식각저지막(57)을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들(55)을 노출시키는 커패시터 홀들(67) 및 지지층 패턴들(63)을 형성한다. 이때, 상기 지지층 패턴들(63)은 상기 커패시터 홀들(67)을 형성하는 동안 식각된 스페이서들(61a, 61b)의 쌍으로 이루어지며, 상기 커패시터 홀들(25) 내부에 노출된다.

한편, 도 6c에 도시된 식각된 스페이서들(61a)은 도 5b의 절단선 III-III에 따라 취해진 단면의 바로 뒤에 위치하는 식각된 스페이서들(61a)을 나타낸다.

상기 스페이서들(61)은 상기 상부 회생산화막(65) 및 상기 하부 회생산화막(59)과 다른 물질막으로 형성된다. 따라서, 도 2e를 참조하여 설명한 바와 같이, 상기 상부 회생산화막(65) 및 상기 스페이서들(61)을 식각하는 단계와 상기 하부 회생산화막(69)을 식각하는 단계로 나누어 식각공정을 수행하는 것이 바람직하다.

도 5b 및 도 6d를 참조하면, 상기 커패시터 홀들(67)이 형성된 반도체기판 상에 하부 플레이트 도전막(69)을 콘포말하게(conformably) 형성한다. 상기 하부 플레이트 도전막(69)은 폴리 실리콘막 또는 금속막일 수 있다. 상기 하부 플레이트 도전막(69)은 상기 지지층 패턴들(63)과 접촉한다.

상기 하부플레이트 도전막(69)이 형성된 반도체기판 상에 상기 커패시터홀들(67)을 채우는 충전막(71)을 형성한다. 상기 충전막(71)을 전면 식각하여 상기 하부 플레이트 도전막(69)을 노출시킬 수 있다.

도 5b 및 도 6e를 참조하면, 상기 충전막(71) 및 상기 하부 플레이트 도전막(69)을 상기 상부 회생산화막(65)의 상부면이 노출될 때 까지 평탄화시키어 서로 분리된 하부플레이트들(69a)을 형성한다. 그 후, 상기 커패시터 홀들(67) 내부에 남아 있는 충전막(71)을 제거한다. 상기 하부 플레이트 도전막(69) 및 상기 충전막(71)을 평탄화시키는 공정은 전면 식각 또는 화학기계적 연마(CMP) 공정을 사용하여 수행할 수 있다.

도 5b 및 도 6f를 참조하면, 상기 하부 플레이트들(69a)이 형성된 후, 상기 상부 회생산화막(65) 및 상기 하부 회생산화막(59a)을 습식식각 공정을 사용하여 제거한다. 상기 상부 회생산화막(65) 및 상기 하부 회생산화막(59a)은 상기 충전막(71)과 함께 제거될 수 있다. 상기 지지층 패턴들(63)은 상기 상부 회생산화막(65) 및 상기 하부 회생산화막(59a)의 습식식각 레서피에 대하여 식각률이 낮은 물질막으로 형성되므로, 제거되지 않는다. 따라서, 상기 지지층 패턴들(63)은 상기 하부 플레이트들(69a)의 최상부와 최하부 사이에서 상기 하부 플레이트들(69a)의 인접하는 측벽들을 연결하여 상기 하부 플레이트들(69a)을 지지하는 역할을 한다. 그 결과, 상기 하부 플레이트들(69a)이 쓰러지는 현상(leaning)이 방지된다.

한편, 상기 하부 회생산화막(59a) 및 상기 상부 회생산화막(65)이 제거됨에 따라, 상기 식각저지막(57)이 상기 하부 플레이트들(69a) 사이에 노출된다. 상기 식각저지막(57)은 상기 하부 절연막(53)이 상기 습식식각공정 동안 식각되는 것을 방지한다.

도 5b 및 도 6g를 참조하면, 상기 상부 회생산화막(65) 및 상기 하부 회생산화막(59a)이 제거된 반도체기판 상에 커패시터 유전막(73)을 형성한다. 상기 커패시터 유전막(73)은 상기 하부플레이트들(69a) 각각의 내면(inner surface) 및 외면(outer surface)을 콘포말하게 덮는다.

상기 커패시터 유전막(73)은 화학기상증착(chemical vapor deposition) 또는 원자층 증착(atomic layer deposition) 기술을 사용하여 형성할 수 있다.

상기 커패시터 유전막(73)이 형성된 반도체기판 상에 상부 플레이트 도전막을 형성하고, 이를 패터닝하여 상부 플레이트(75)를 형성한다. 상기 상부 플레이트 도전막은 폴리 실리콘 막 또는 금속막으로 형성할 수 있으며, 화학기상 증착 또는 원자층 증착 기술을 사용하여 형성할 수 있다. 그 결과, 지지층 패턴들(63)을 채택하는 복수개의 커패시터들이 완성된다.

결과적으로, 상기 지지층 패턴들(63)은 식각된 스페이서들(61a, 61b)의 쌍으로 이루어진다. 상기 식각된 스페이서들(61a, 61b)은 경사진 모양을 가지므로, 상기 하부 플레이트들(69a) 사이에 상기 커패시터 유전막(73) 및 상기 상부 플레이트 도전막을 형성하는 것이 쉽다. 따라서, 상기 식각된 스페이서들(61a, 61b)을 상대적으로 높게 형성할 수 있으며, 이에 따라, 상기 하부 플레이트들(69a)을 상대적으로 견고하게 지지할 수 있다.

도 7 및 도 8은 본 발명의 다른 실시예의 공정 수순에 따라 제조가 가능한 다양한 복수개의 커패시터들을 보여주는 평면도들이다.

도 7을 참조하면, 공정 수순, 물질막등은 근본적으로 도 6a 내지 도 6g를 참조하여 설명한 바와 같다.

다만, 스토리지 콘택플러그들(도 6a의 55)은, 도 7에 도시된 타원들과 같이, 장축형 배열을 하도록 형성된다. 이에 따라, 하부 희생산화막(도 6a의 59)을 부분식각하여 형성하는 개구부들도 타원형으로 장축형배열을 하도록 형성한다. 또한, 상기 스토리지 콘택플러그들(55)을 노출시키는 커패시터 홀들(도 6c의 67)은 상기 스토리지 콘택플러그들(55)과 동일한 배열을 한다. 한편, 상기 커패시터 홀들(67)을 형성하는 동안 같이 형성되는 지지층 패턴들(83) 각각은 상기 지지층 패턴들(도 5b의 61)과 동일하게 식각된 스페이서들(81a, 81b)의 쌍으로 이루어진다.

상기 커패시터 홀들(67) 내부에 형성되는 하부 플레이트들(89a)도 수평단면이 타원이 되도록 형성된다.

또한, 상기 지지층 패턴들(83) 각각은 인접하는 상기 하부 플레이트들(89a)에 연결되어 상기 하부 플레이트들(89a)을 지지한다.

도 8을 참조하면, 공정 수순, 물질막등은 근본적으로 도 6a 내지 도 6g를 참조하여 설명한 바와 같다.

다만, 스토리지 콘택플러그들(도 6a의 55) 각각은, 도 8에 도시된 동심원들과 같이, 6개의 인접하는 스토리지 콘택플러그들(55)을 갖도록 배열된다. 이에 따라, 그루브들(도 6b의 59b) 각각은 6개의 인접하는 다른 그루브들(59b)을 갖도록 배열된다. 또한, 상기 스토리지 콘택플러그들(55)을 노출시키는 커패시터 홀들(도 6c의 67)은 상기 스토리지 콘택플러그들(55)과 동일한 배열을 하므로, 상기 커패시터 홀들(67) 각각은 6개의 인접하는 다른 커패시터 홀들(67)을 갖는다. 한편, 상기 커패시터 홀들(67)을 형성하는 동안 함께 형성되는 지지층 패턴들(93) 각각은 3개의 동일한 식각된 스페이서들(91a, 91b, 91c)의 쌍으로 이루어진다. 상기 식각된 스페이서들(91a, 91b, 91c) 각각은 인접한 두개의 커패시터 홀들(67)의 측벽에 동시에 노출된다. 상기 커패시터 홀들(67) 내벽에 하부 플레이트들(99a)이 형성되므로, 상기 하부 플레이트들(99a) 각각은 6개의 인접하는 다른 하부 플레이트들(99a)을 갖는다.

또한, 상기 식각된 스페이서들(91a, 91b, 91c) 각각은 2개의 인접하는 하부 플레이트들(99a)에 연결되어 상기 하부 플레이트들(99a)을 지지한다.

이하에서는 도 5b, 도 6g, 도 7 및 도 8을 참조하여 본 발명의 다른 일 태양에 따른 복수개의 커패시터의 구조를 상세히 설명한다.

도 5b 및 6g를 참조하면, 반도체기판(51) 상부의 동일 평면 상에 복수개의 실린더형 하부플레이트들(69a)이 2차원적으로 반복적으로 배열된다. 상기 실린더형 하부 플레이트들(69a)의 수평단면은 원형에 한정되는 것은 아니며, 도 7에 도시된 바와 같이, 타원형일 수 있다.

또한, 상기 복수개의 실린더형 하부 플레이트들(69a) 각각은 4개의 인접한 다른 하부 플레이트들(69a)을 갖도록 배열될 수 있으나, 도 8에 도시한 바와 같이, 6개의 인접한 다른 하부 플레이트들을 갖도록 배열될 수 있다.

지지층 패턴들(63)이 상기 하부 플레이트들(69a)의 서로 인접한 측벽들을 연결한다. 상기 지지층 패턴들(63)은 이격되어 서로 마주보는 식각된 스페이서들(61a, 61b) 두개의 쌍으로 이루어질 수 있다. 다만, 상기 지지층 패턴들(63)은, 도 8에 도

시한 바와 같이, 식각된 스페이서들(91a, 91b, 91c) 세개의 쌍으로 이루어질 수 있다. 이때, 상기 식각된 스페이서들(91a, 91b, 91c) 각각은 두개의 인접한 하부 플레이트들(99a)을 연결하며, 상기 지지층 패턴들(93) 각각은 세개의 인접한 하부 플레이트들(99a)을 연결한다.

상기 지지층 패턴들(63)은 상기 하부 플레이트들(69a)의 최상부와 최하부 사이에 위치한다. 한편, 상기 식각된 스페이서들(61a, 61b)은 비도전성 물질막으로 형성되며, 500Å 내지 2000Å의 높이를 갖는 것이 바람직하다.

한편, 상부 플레이트(75)가 상기 하부 플레이트들(69a)의 내부들 및 측벽들 사이의 공간들을 채운다. 그리고, 하부 플레이트들(69a)과 상기 상부 플레이트(75) 사이에 커패시터 유전막(73)이 개재되어 상기 하부 플레이트들(69a)과 상기 상부 플레이트(75)를 절연시킨다.

한편, 상기 반도체기판(51)과 상기 하부플레이트들(69a) 사이에 스토리지 콘택플러그들(55)이 개재되어, 상기 반도체기판(51)과 상기 하부 플레이트들(69a) 각각을 전기적으로 접속시킨다.

발명의 효과

본 발명에 따르면, 지지층 패턴들을 채택하여, 충분한 정전용량을 확보하면서, 하부플레이트들의 쓰러짐을 방지할 수 있는 복수개의 커패시터들을 제공할 수 있으며, 상기 복수개의 커패시터들을 갖는 반도체소자를 제공할 수 있다. 또한, 지지층 패턴들을 채택하여 하부플레이트들의 쓰러짐을 방지할 수 있어, 충분한 정전용량을 확보할 수 있는 복수개의 커패시터들을 제조할 수 있다.

(57) 청구의 범위

청구항 1.

동일 평면 상에 2차원적으로 반복적으로 배열된 복수개의 실린더 형 하부 플레이트들;

상기 복수개의 하부플레이트들의 최상부와 최하부 사이에 위치하여 상기 복수개의 하부 플레이트들의 서로 인접한 측벽들을 연결하는 지지층 패턴들(holding layer patterns);

상기 복수개의 하부플레이트들의 내부들 및 측벽들 사이의 공간들을 채우는 상부플레이트; 및

상기 복수개의 하부플레이트들과 상기 상부플레이트 사이에 개재되어 상기 하부플레이트들과 상기 상부플레이트들을 절연시키는 커패시터 유전막을 포함하는 복수개의 커패시터.

청구항 2.

제 1 항에 있어서,

상기 지지층 패턴들은 비도전성 물질막으로 형성된 것을 특징으로 하는 복수개의 커패시터.

청구항 3.

제 2 항에 있어서,

상기 2차원적으로 배열된 복수개의 실린더형 하부플레이트들 각각은 4개의 인접하는 하부플레이트들을 갖도록 배열된 것을 특징으로 하는 복수개의 커패시터.

청구항 4.

제 3 항에 있어서,

상기 비도전성 물질막으로 형성된 지지층 패턴들은 100Å 내지 1000Å의 두께를 갖는 것을 특징으로 하는 복수개의 커패시터.

청구항 5.

제 4 항에 있어서,

상기 비도전성 물질막은 SiN 및 SiC로 이루어진 일군으로 부터 선택된 하나의 물질막인 것을 특징으로 하는 복수개의 커패시터.

청구항 6.

제 5 항에 있어서,

상기 복수개의 실린더형 하부플레이트들 각각의 수평단면은 타원형인 것을 특징으로 하는 복수개의 커패시터.

청구항 7.

제 2 항에 있어서,

상기 2차원적으로 배열된 복수개의 실린더형 하부플레이트들 각각은 6개의 인접하는 하부플레이트들을 갖도록 배열된 것을 특징으로 하는 복수개의 커패시터.

청구항 8.

제 7 항에 있어서,

상기 지지층 패턴들 각각은 세개의 인접한 하부플레이트들을 함께 연결하는 것을 특징으로 하는 복수개의 커패시터.

청구항 9.

제 2 항에 있어서,

상기 지지층 패턴들 각각은 서로 이격되어 마주보는 쌍으로 이루어진 것을 특징으로 하는 복수개의 커패시터.

청구항 10.

제 9 항에 있어서,

상기 지지층 패턴들 각각은 하부면이 넓고 상부면이 좁은 식각된 스페이서들의 쌍(pair)인 것을 특징으로 하는 복수개의 커패시터.

청구항 11.

제 10 항에 있어서,

상기 식각된 스페이서들은 500Å 내지 2000Å의 높이를 갖는 것을 특징으로 하는 복수개의 커패시터.

청구항 12.

반도체기판;

상기 반도체기판 상부에 2차원적으로 반복적으로 배열된 복수개의 실린더 형 하부 플레이트들;

상기 복수개의 하부플레이트들의 최상부와 최하부 사이에 위치하여 상기 복수개의 하부 플레이트들의 서로 인접한 측벽들을 연결하는 지지층 패턴들(holding layer patterns);

상기 복수개의 하부플레이트들의 내부들 및 측벽들 사이의 공간들을 채우는 상부플레이트; 및

상기 복수개의 하부플레이트들과 상기 상부플레이트 사이에 개재되어 상기 하부플레이트들과 상기 상부플레이트들을 절연시키는 커패시터 유전막을 포함하는 반도체 소자.

청구항 13.

제 12 항에 있어서,

상기 반도체기판과 상기 복수개의 하부 플레이트들 각각의 사이에 개재되어 상기 반도체기판과 상기 복수개의 하부플레이트들 각각을 연결하는 스토리지 콘택 플러그들을 더 포함하는 반도체 소자.

청구항 14.

하부절연막을 갖는 반도체기판을 준비하고,

상기 하부절연막 내에 2차원적으로 반복적으로 배열된 복수개의 스토리지 콘택 플러그들을 형성하고,

상기 스토리지 콘택 플러그들이 형성된 반도체기판 상에 식각저지막 및 하부 희생산화막을 차례로 형성하고,

상기 하부 희생산화막 상에 상기 하부 희생산화막을 노출시키는 개구부들을 갖는 지지층을 형성하되, 상기 개구부들의 중심은 상기 스토리지 콘택 플러그들로 둘러싸인 상기 하부절연막 상부에 위치하고,

상기 개구부들을 갖는 지지층이 형성된 반도체기판 상에 상부 희생산화막을 형성하고,

상기 상부 희생산화막, 상기 지지층, 상기 하부 희생산화막 및 상기 식각저지막을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들을 노출시키는 커패시터 홀들 및 상기 커패시터 홀들 내부에 노출되는 지지층 패턴들을 형성하고,

상기 커패시터 홀들의 내벽을 덮는 하부플레이트들을 형성하고,

상기 하부플레이트들 사이의 상부 희생산화막 및 하부 희생산화막을 차례로 제거하는 것을 포함하는 복수개의 커패시터 제조방법.

청구항 15.

제 14 항에 있어서,

상기 개구부들을 갖는 지지층을 형성하는 것은

상기 하부 희생산화막 상에 지지층을 형성하고,

상기 지지층 상에 포토레지스트 막을 형성하고,

상기 포토레지스트 막을 패터닝하여 상기 지지층을 노출시키는 개구부들을 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 지지층을 식각하는 것을 포함하는 복수개의 커패시터 제조방법.

청구항 16.

제 15 항에 있어서,

상기 지지층은 상기 하부 희생산화막 및 상기 상부 희생산화막의 습식 식각 레시피에 대하여 낮은 식각률을 갖는 비도전성 물질막으로 형성되는 것을 특징으로 하는 복수개의 커패시터 제조방법.

청구항 17.

제 16 항에 있어서,

상기 낮은 식각률을 갖는 비도전성 물질막은 100Å 내지 1000Å의 두께로 형성되는 것을 특징으로 하는 복수개의 커패시터 제조방법.

청구항 18.

제 17 항에 있어서,

상기 낮은 식각률을 갖는 비도전성 물질막은 SiN 및 SiC로 이루어진 일군으로 부터 선택된 적어도 하나의 물질막인 것을 특징으로 하는 복수개의 커패시터 제조방법.

청구항 19.

제 14 항에 있어서,

상기 하부플레이트들을 형성하는 것은

상기 커패시터 홀들이 형성된 반도체 기판 상에 하부 플레이트 도전막을 형성하고,

상기 하부플레이트 도전막이 형성된 반도체기판 상에 상기 커패시터 홀들을 채우는 충전막을 형성하고,

상기 상부 희생산화막의 상부면이 노출될 때까지 상기 충전막 및 상기 하부플레이트 도전막을 평탄화시키는 것을 포함하는 복수개의 커패시터 제조방법.

청구항 20.

제 19 항에 있어서,

상기 상부 희생산화막 및 상기 하부 희생산화막이 제거된 반도체기판 상에 콘포말한 커패시터 유전막을 형성하고,

상기 커패시터 유전막을 덮고 상기 하부플레이트들의 내부 및 하부플레이트들 사이의 공간을 채우는 상부플레이트를 형성하는 것을 더 포함하는 복수개의 커패시터 제조방법.

청구항 21.

하부절연막을 갖는 반도체기판을 준비하고,

상기 하부절연막 내에 2차원적으로 반복적으로 배열된 복수개의 스토리지 콘택 플러그들을 형성하고,

상기 스토리지 콘택 플러그들이 형성된 반도체기판 상에 식각저지막 및 하부 희생산화막을 차례로 형성하고,

상기 하부 희생산화막을 부분식각하여 2차원적으로 반복적으로 배열된 그루브들을 형성하되, 상기 그루브들의 중심은 상기 스토리지 콘택 플러그들로 둘러싸인 하부절연막 상부에 위치하고,

상기 그루브들의 내벽을 덮는 스페이서들을 형성하고,

상기 스페이서들이 형성된 반도체기판 상에 상부 희생산화막을 형성하고,

상기 상부 희생산화막, 상기 스페이서들, 상기 하부 희생산화막 및 상기 식각저지막을 사진 및 식각공정을 사용하여 차례로 패터닝하여 상기 스토리지 콘택 플러그들을 노출시키는 커패시터 홀들 및 상기 커패시터 홀들 내부에 노출되는 지지층 패턴들을 형성하고,

상기 커패시터 홀들의 내벽을 덮는 하부플레이트들을 형성하고,

상기 하부플레이트들 사이의 상부 희생산화막 및 하부 희생산화막을 차례로 제거하는 것을 포함하는 복수개의 커패시터 제조방법.

청구항 22.

제 21 항에 있어서,

상기 하부 희생산화막은 500Å 내지 2000Å의 깊이로 부분식각되는 것을 특징으로 하는 복수개의 커패시터 제조방법.

청구항 23.

제 22 항에 있어서,

상기 스페이서들은 상기 상부 희생산화막 및 상기 하부 희생산화막의 습식식각레시피에 대하여 낮은 식각률을 갖는 비도전성 물질막으로 형성되는 것을 특징으로 하는 복수개의 커패시터 제조방법.

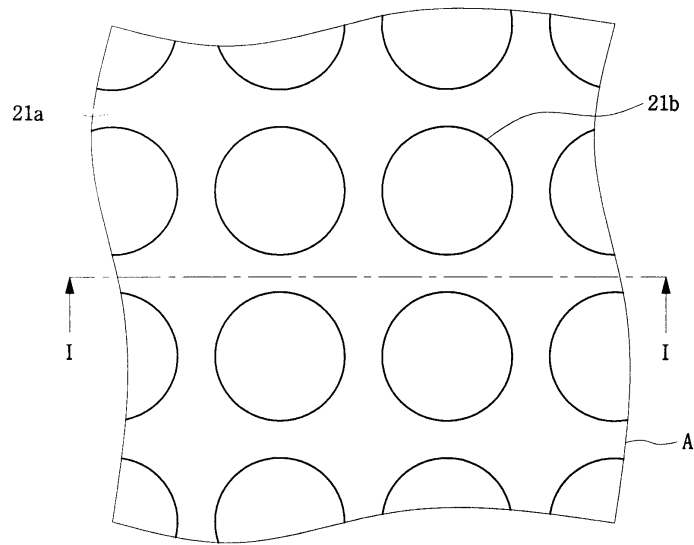
청구항 24.

제 23 항에 있어서,

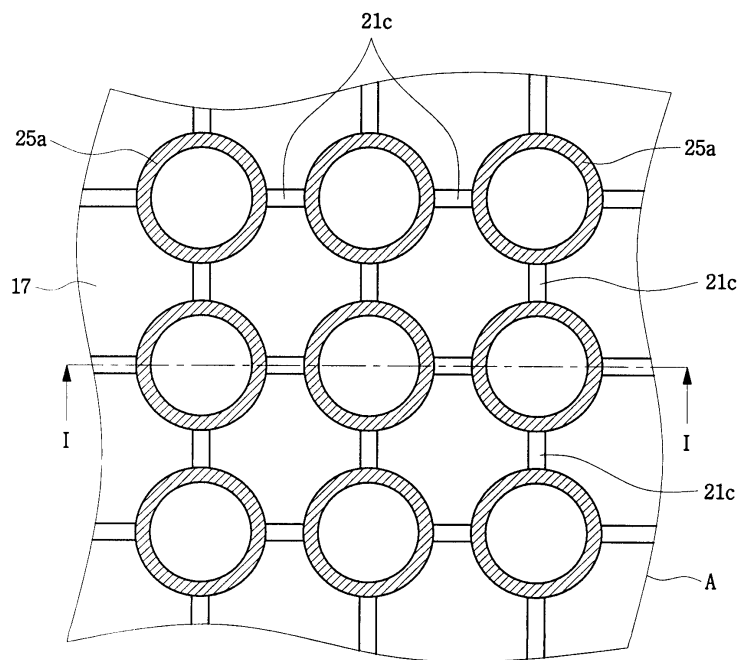
상기 비도전성 물질막은 SiN 및 SiC로 이루어진 일균으로 부터 선택된 하나의 물질막인 것을 특징으로 하는 복수개의 커패시터 제조방법.

도면

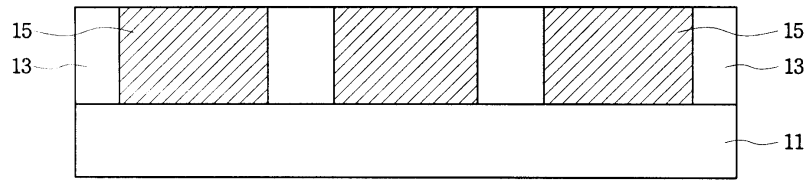
도면1a



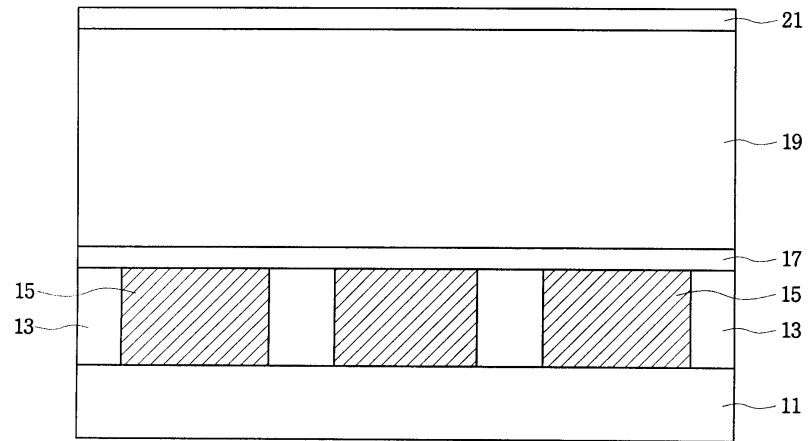
도면1b



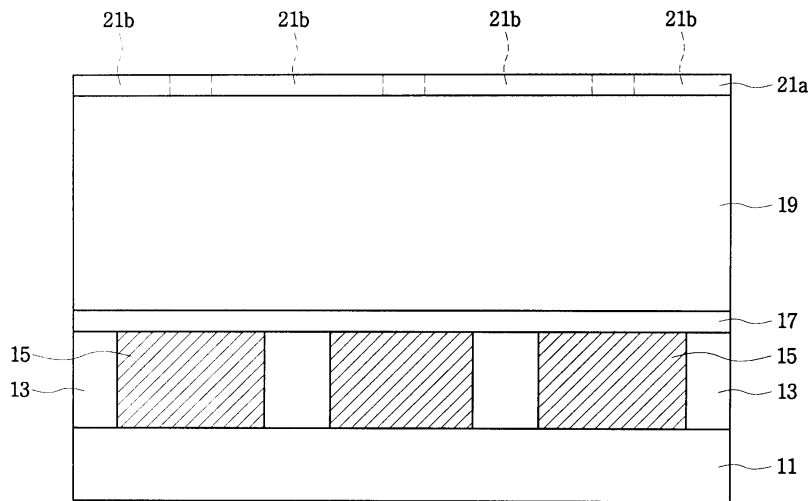
도면2a



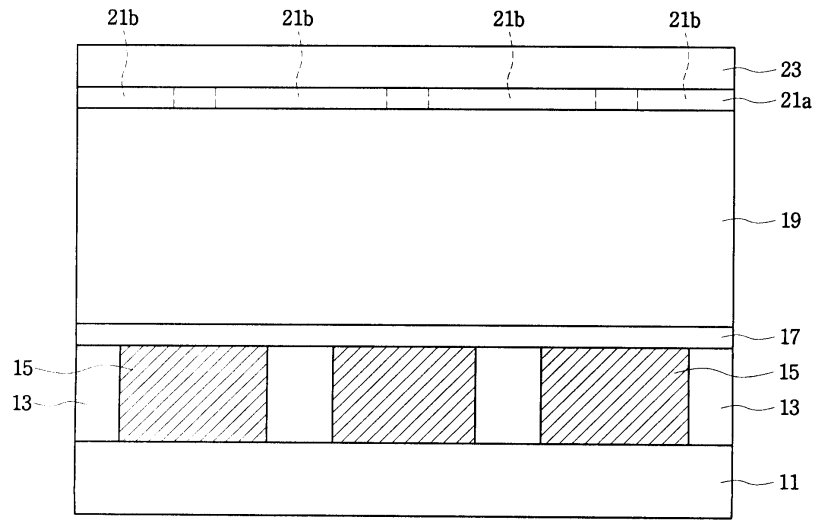
도면2b



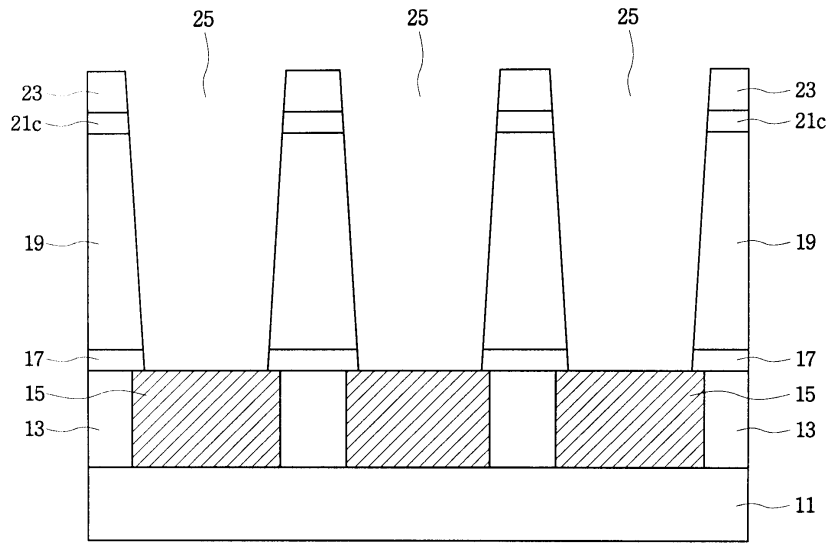
도면2c



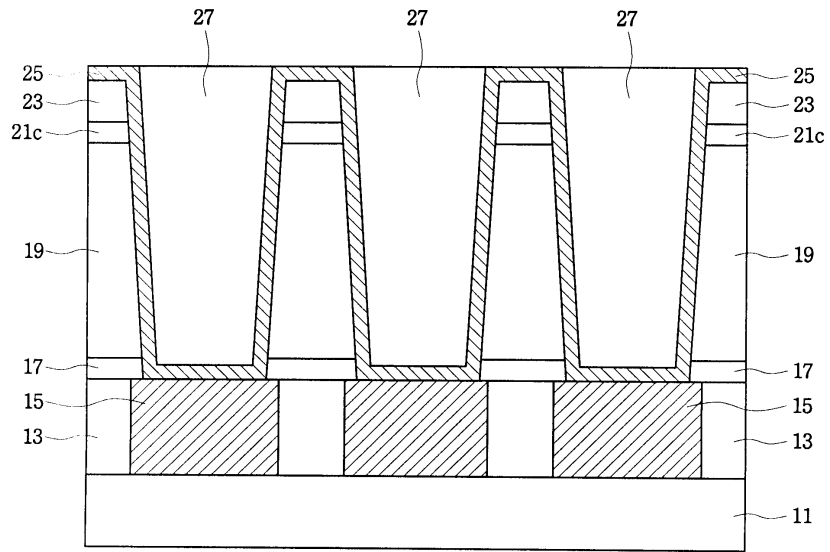
도면2d



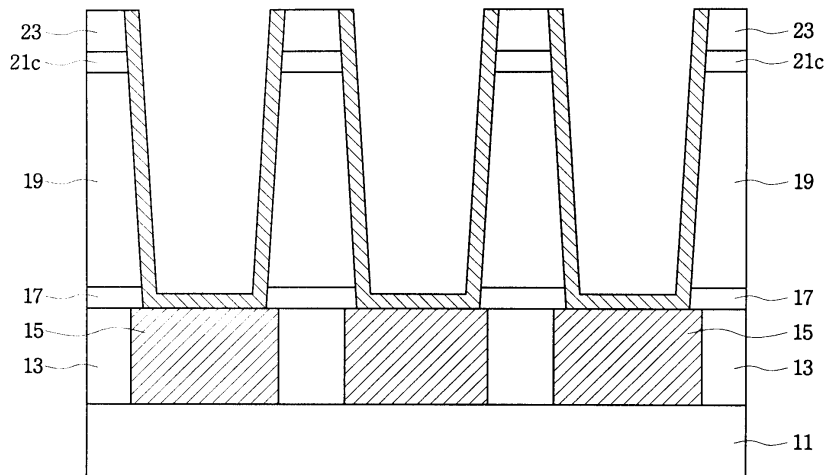
도면2e



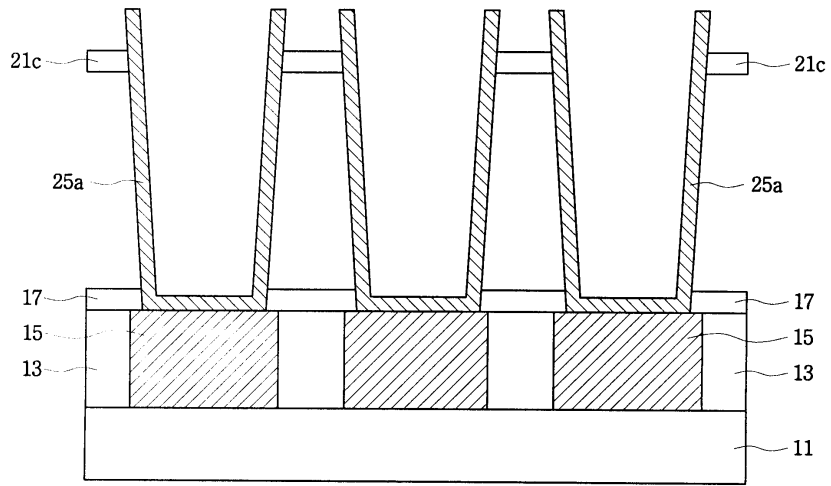
도면2f



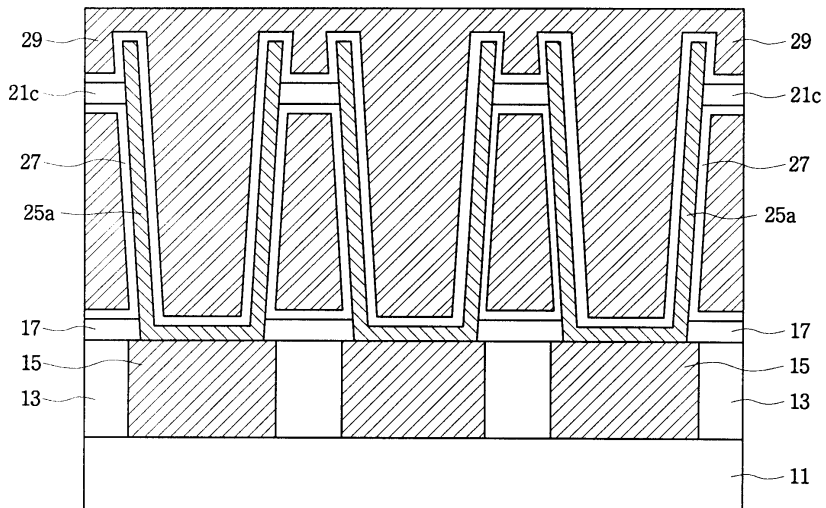
도면2g



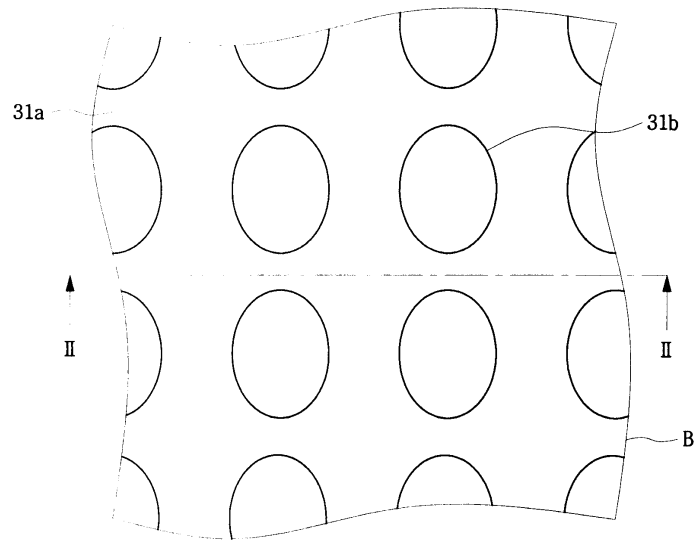
도면2h



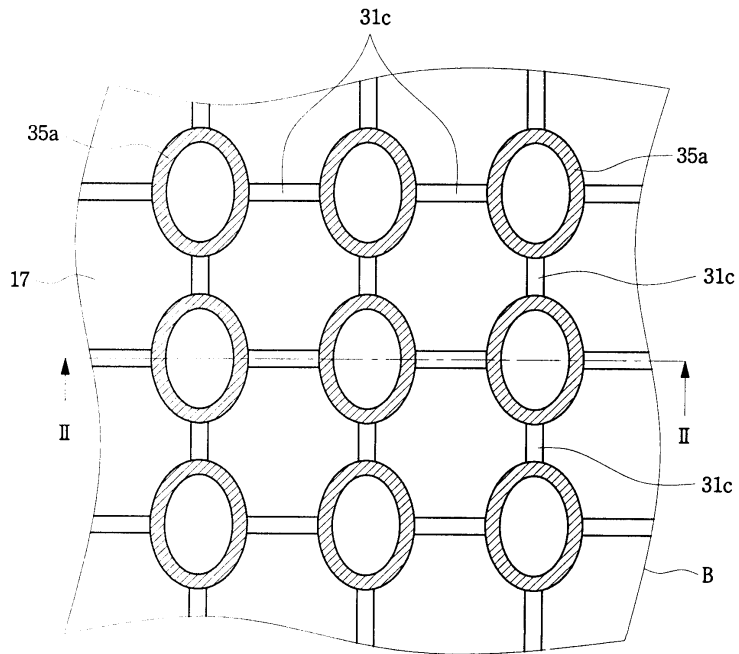
도면2i



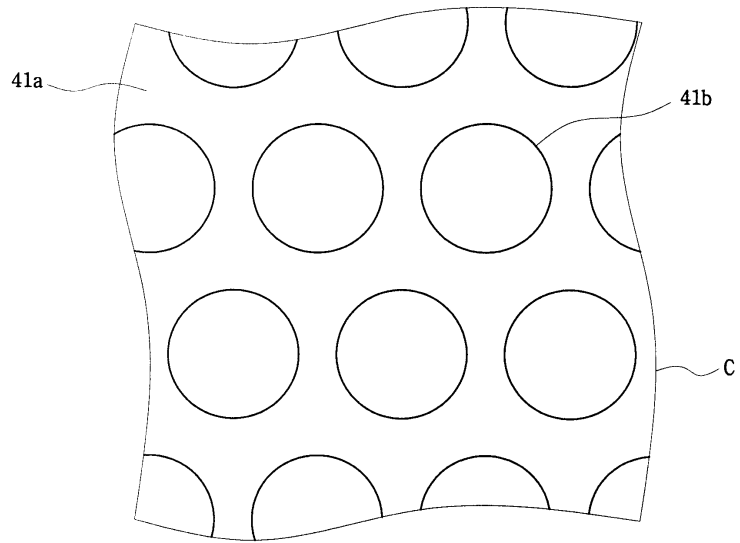
도면3a



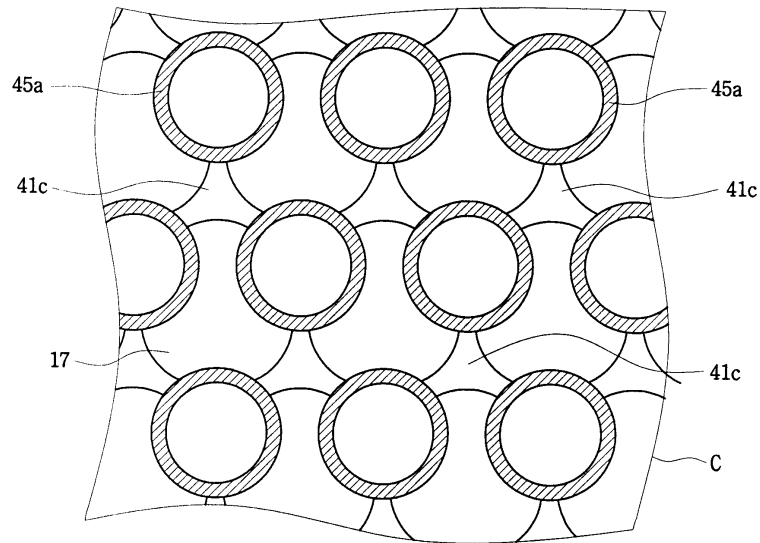
도면3b



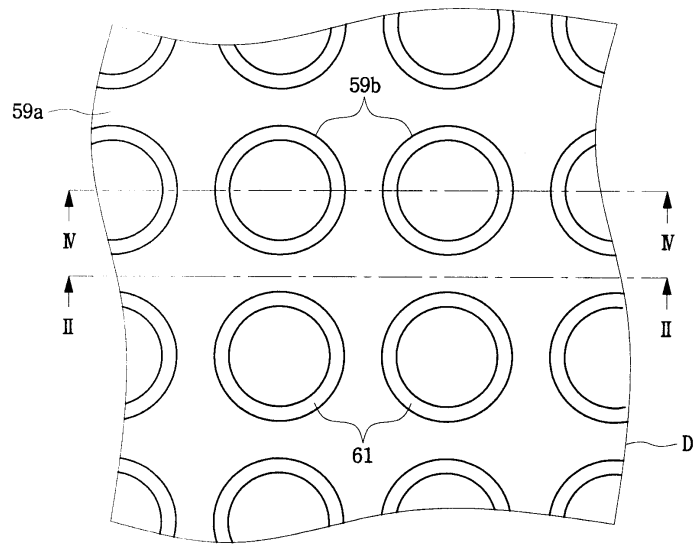
도면4a



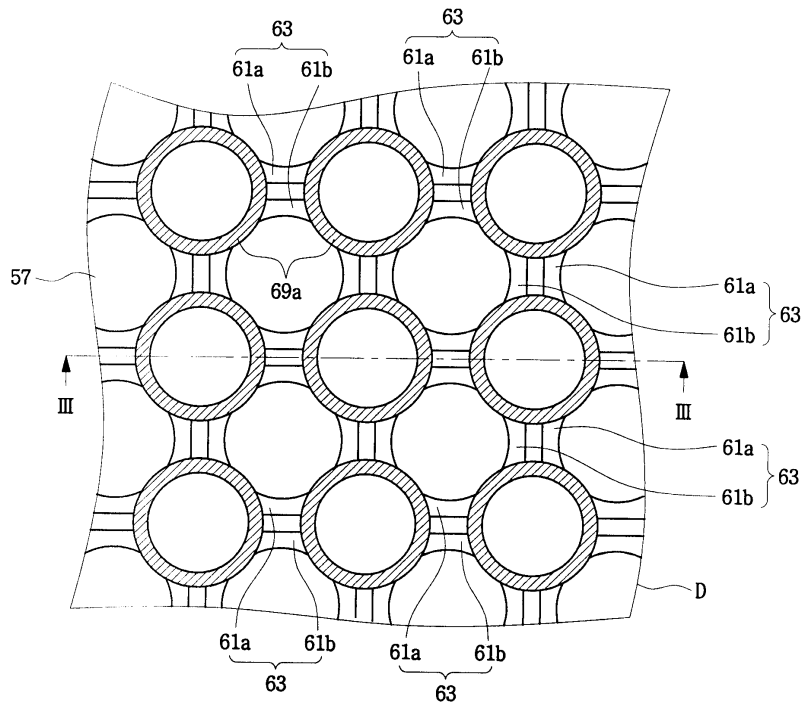
도면4b



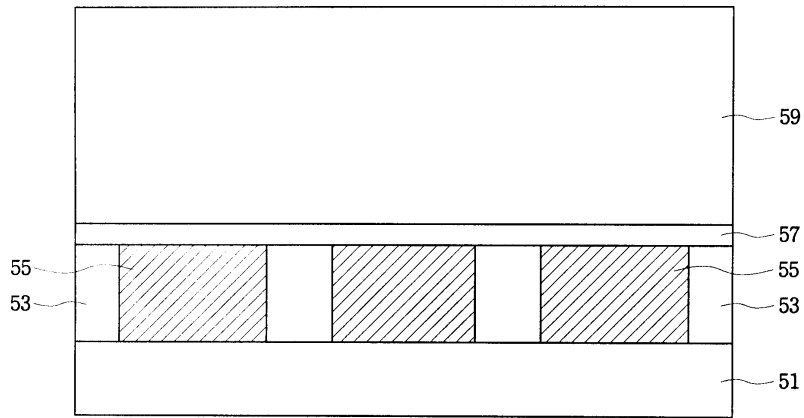
도면5a



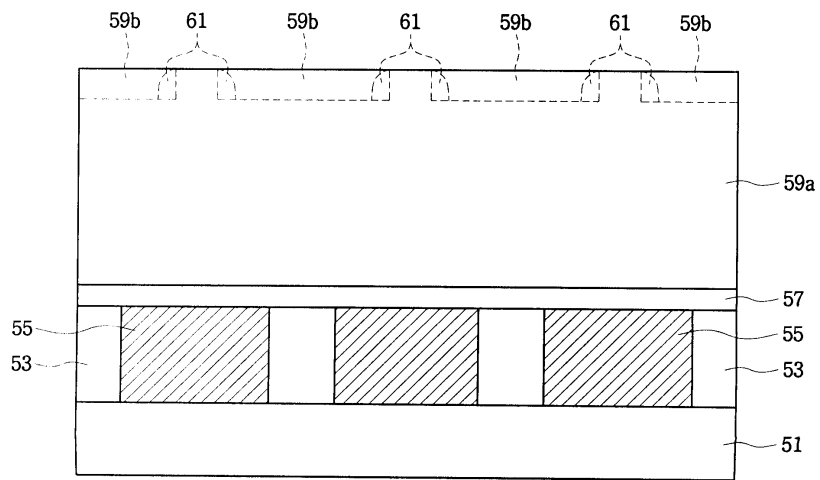
도면5b



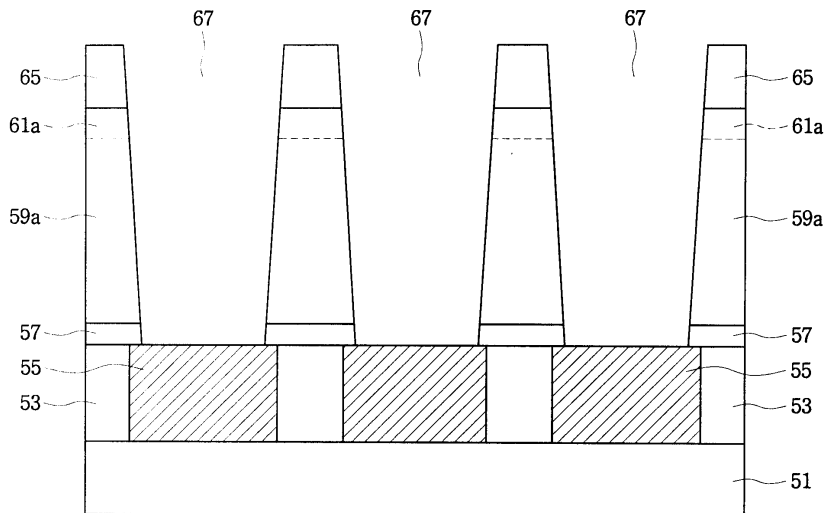
도면6a



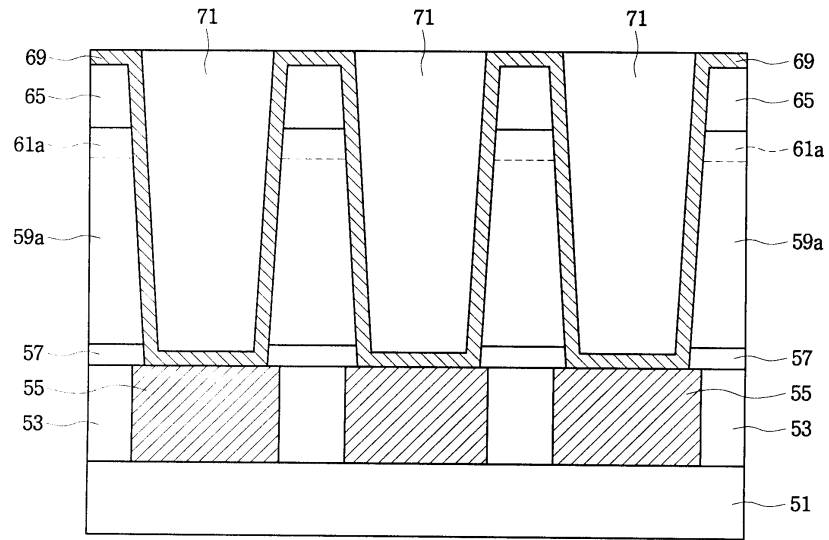
도면6b



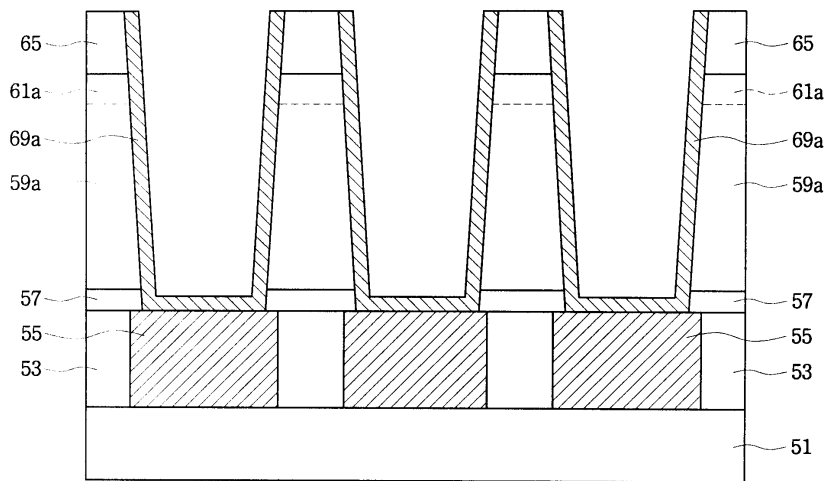
도면6c



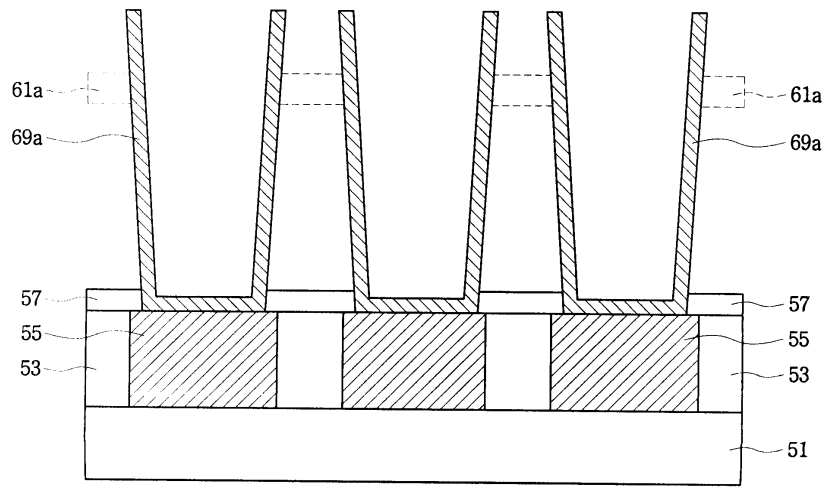
도면6d



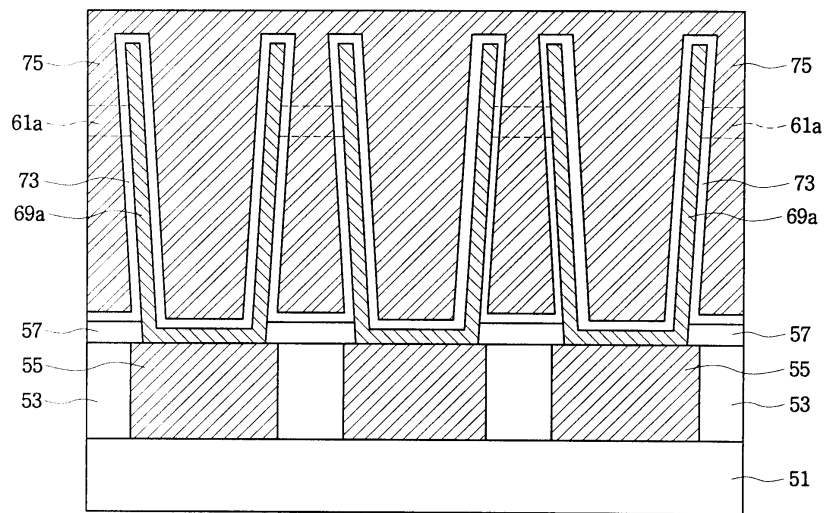
도면6e



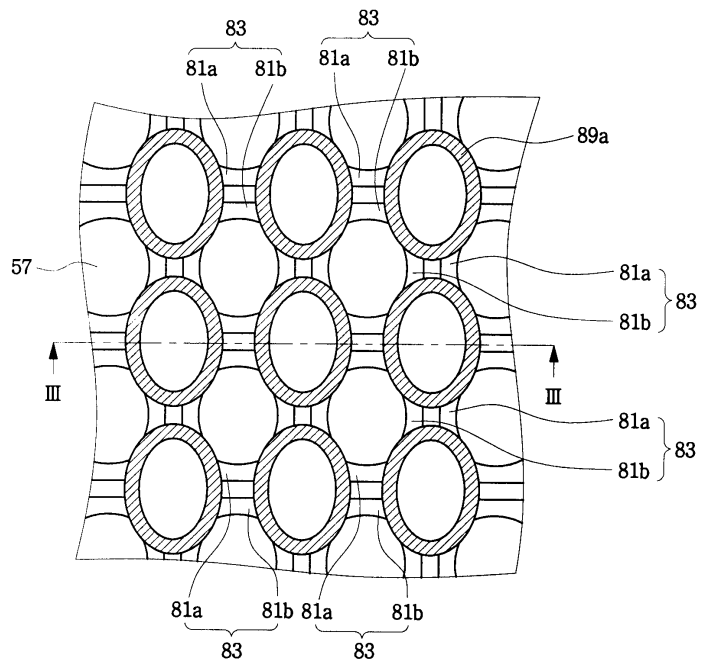
도면6f



도면6g



도면7



도면8

