



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I829013 B

(45) 公告日：中華民國 113 (2024) 年 01 月 11 日

(21) 申請案號：110136068

(22) 申請日：中華民國 110 (2021) 年 09 月 28 日

(51) Int. Cl. : H01L21/027 (2006.01)

H01L21/033 (2006.01)

H01J37/32 (2006.01)

(30) 優先權：2021/07/29 美國

17/388,209

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：張競予 CHANG, CHING-YU (TW)；陳哲明 CHEN, JEIMING (TW)；李資良 LEE,
TZE-LIANG (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

US 2020/0373154A1

US 2021/0066121A

審查人員：孫建文

申請專利範圍項數：10 項 圖式數：12 共 40 頁

(54) 名稱

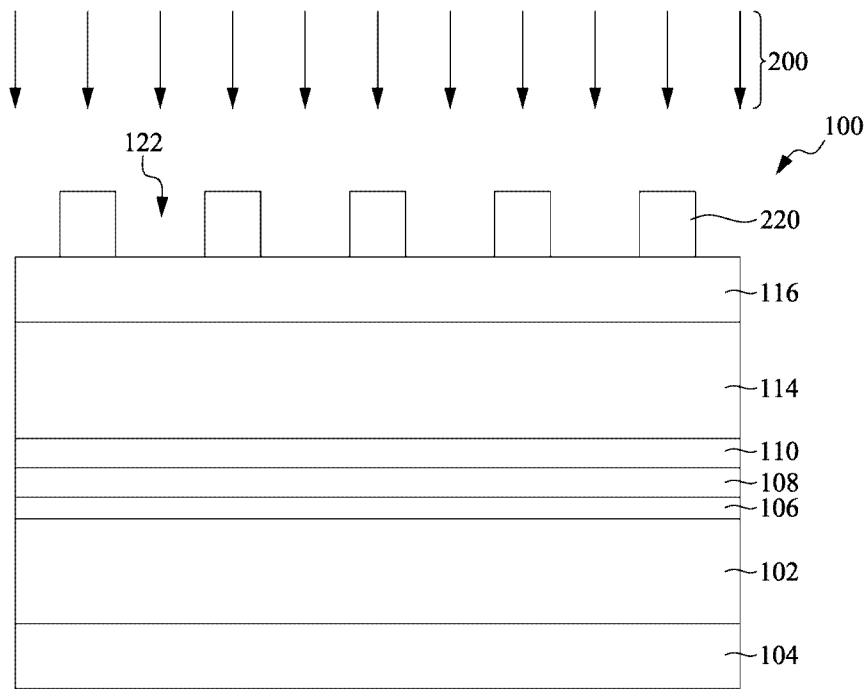
形成半導體裝置的方法

(57) 摘要

一種形成半導體裝置的方法包括形成光阻層在遮罩層上、圖案化光阻層、以及形成氧化層在已圖案化的光阻層的暴露表面上。使用已圖案化的光阻層作為遮罩以圖案化遮罩層。使用已圖案化的遮罩層作為遮罩以圖案化目標層。

A method of forming a semiconductor device includes forming a photoresist layer over a mask layer, patterning the photoresist layer, and forming an oxide layer on exposed surfaces of the patterned photoresist layer. The mask layer is patterned using the patterned photoresist layer as a mask. A target layer is patterned using the patterned mask layer as a mask.

指定代表圖：



符號簡單說明：

100:半導體裝置

102:目標層

104:半導體基材

106:抗反射層

108:硬遮罩層

110:介電層

114:底層

116:中間層

122:開口

200:處理製程

220:已處理的頂層

第 2 圖



I829013

【發明摘要】

公告本

【中文發明名稱】形成半導體裝置的方法

【英文發明名稱】METHOD OF FORMING SEMICONDUCTOR DEVICE

【中文】

一種形成半導體裝置的方法包括形成光阻層在遮罩層上、圖案化光阻層、以及形成氧化層在已圖案化的光阻層的暴露表面上。使用已圖案化的光阻層作為遮罩以圖案化遮罩層。使用已圖案化的遮罩層作為遮罩以圖案化目標層。

【英文】

A method of forming a semiconductor device includes forming a photoresist layer over a mask layer, patterning the photoresist layer, and forming an oxide layer on exposed surfaces of the patterned photoresist layer. The mask layer is patterned using the patterned photoresist layer as a mask. A target layer is patterned using the patterned mask layer as a mask.

【指定代表圖】第2圖。

【代表圖之符號簡單說明】

100：半導體裝置

102：目標層

104：半導體基材

106：抗反射層

1 0 8 : 硬 遮 罩 層

1 1 0 : 介 電 層

1 1 4 : 底 層

1 1 6 : 中 間 層

1 2 2 : 開 口

2 0 0 : 處 理 製 程

2 2 0 : 已 處 理 的 頂 層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 形成半導體裝置的方法

【英文發明名稱】 METHOD OF FORMING SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本揭示案實施例是有關於形成半導體裝置的方法。

【先前技術】

【0002】 隨著半導體裝置尺寸的縮小，各種製程技術(例如，微影技術)亦相應地調整以生產出更小尺度的裝置。舉例來說，由於閘極密度的增加，半導體裝置中各種特徵的製程技術相應地調整以縮小整體裝置特徵。然而，隨著半導體製程的製程容許範圍(process window)逐漸窄化，這類裝置的製程現已面臨逼近或甚至超過微影設備的理論極限。當半導體裝置的尺寸持續縮小，裝置內各元件之間的距離(即節距(pitch))，亦持續縮短，而使用傳統的光學遮罩和微影設備可能無法進一步縮短節距。

【發明內容】

【0003】 根據本揭示案的一個實施例，一種形成半導體裝置的方法包括圖案化光阻層，其中光阻層在遮罩層上。形成半導體裝置的方法還包括對光阻層進行氧電漿處理，其中

氧電漿處理藉由氧化光阻層的暴露表面以使光阻層轉變成已處理的光阻層。形成半導體裝置的方法還包括圖案化遮罩層，其中使用已處理的光阻層作為遮罩。形成半導體裝置的方法還包括圖案化目標層，其中使用已圖案化的遮罩層作為遮罩。

【0004】 根據本揭示案的另一實施例，一種形成半導體裝置的方法包括形成薄膜在已圖案化的頂層，已圖案化的頂層在遮罩層上，遮罩層在目標層上，其中數個開口延伸穿過已圖案化的頂層以暴露遮罩層，薄膜的第一部分在已圖案化的頂層並具有第一厚度，薄膜的第二部分在開口的底表面並具有第二厚度，第一厚度大於第二厚度。形成半導體裝置的方法還包括圖案化遮罩層，其中使用已圖案化的頂層作為遮罩。形成半導體裝置的方法還包括使用已圖案化的遮罩層作為遮罩以圖案化目標層。

【0005】 根據本揭示案的又一實施例，一種形成半導體裝置的方法包括形成薄膜堆疊在目標層上，目標層在基材上。形成半導體裝置的方法還包括形成光阻在薄膜堆疊上，光阻包括底層、中間層在底層上、及頂層在中間層上。形成半導體裝置的方法還包括圖案化頂層。形成半導體裝置的方法還包括形成氧化層在已圖案化的頂層的暴露表面上。形成半導體裝置的方法還包括圖案化中間層，其中已圖案化的頂層作為遮罩。形成半導體裝置的方法還包括圖案化底層，其中已圖案化的中間層作為遮罩。形成半導體裝置的方法還包括圖案化薄膜堆疊，其中已圖案化的底層作為

遮罩。形成半導體裝置的方法還包括圖案化目標層以形成數個開口穿過目標層，其中已圖案化的薄膜堆疊作為遮罩。形成半導體裝置的方法還包括形成數個導電特徵在開口中。

【圖式簡單說明】

【0006】 閱讀以下實施方法時搭配附圖以清楚理解本揭示案的觀點。應注意的是，根據業界的標準做法，各種特徵並未按照比例繪製。事實上，為了能清楚地討論，各種特徵的尺寸可能任意地放大或縮小。

第 1 圖根據本揭示案的一些實施例繪示半導體裝置在其中一個製程階段的截面圖。

第 2 圖至第 8 圖根據本揭示案的一些實施例繪示半導體裝置在各個製程階段的截面圖。

第 9 圖根據本揭示案的一些實施例繪示半導體裝置在其中一個製程階段的俯視圖。

第 10 圖至第 12 圖根據本揭示案的一些實施例繪示半導體裝置在各個製程階段的截面圖。

【實施方式】

【0007】 以下的揭示內容提供許多不同的實施例或範例，以展示本揭示案的不同特徵。以下將揭示本揭示案各部件及其排列方式之特定範例，用以簡化本揭示案敘述。當然，這些特定範例並非用於限定本揭示案。例如，若是本揭示

案以下的發明內容敘述了將形成第一結構於第二結構之上或上方，即表示其包括了所形成之第一及第二結構是直接接觸的實施例，亦包括了尚可將附加的結構形成於上述第一及第二結構之間，則第一及第二結構為未直接接觸的實施例。此外，本揭示案說明中的各式範例可能使用重複的參照符號及/或用字。這些重複符號或用字的目的是在於簡化與清晰，並非用以限定各式實施例及/或所述外觀結構之間的關係。

【0008】 再者，為了方便描述圖式中一元件或特徵部件與另一(些)元件或特徵部件的關係，可使用空間相關用語，例如「在...之下」、「下方」、「下部」、「上方」、「上部」及諸如此類用語。除了圖式所繪示之方位外，空間相關用語亦涵蓋使用或操作中之裝置的不同方位。當裝置被轉向不同方位時(例如，旋轉 90 度或者其他方位)，則其中所使用的空間相關形容詞亦將依轉向後的方位來解釋。

【0009】 本揭示案的一些實施例提供一種半導體裝置及方法。尤其是提供一種方法可保護已圖案化的光阻層的形貌，方法包括對光阻層進行處理製程(例如，電漿處理製程)以及形成薄膜在光阻層上。保護已圖案化的光阻層的形貌可使已圖案化的光阻層的圖案轉移至下方層的缺陷減少，從而可使後續形成在目標層中的導電特徵(例如金屬線)的線寬粗糙度(line width roughness, LWR)降低。具有較平滑形貌的導電特徵可降低表面電阻(sheet resistance)並因此提升裝置表現。

【0010】 第 1 圖至第 8 圖根據本揭示案的一些實施例繪示形成特徵在半導體裝置 100 的目標層 102 上的各個製程階段之截面圖。根據本揭示案的一些實施例，數個圖案將形成在目標層 102 中。在一些實施例中，半導體裝置為較大晶圓的一部分。在這樣的實施例中，在形成半導體裝置 100 的各種特徵(例如，主動裝置、內連接結構、或類似者)之後，為了從晶圓中分開各個半導體晶粒(亦可被稱作分割(singulation))，可進行分割製程以劃分出晶圓的區域。

【0011】 在一些實施例中，目標層 102 是金屬間介電(inter-metal dielectric, IMD)層。在這樣的實施例中，目標層 102 包括低介電常數(low-k)介電材料，舉例來說，介電常數(k 值)低於 3.8、低於 3.0、或低於 2.5。在一些實施例中，目標層 102 是具有高介電常數(high-k)介電材料的 IMD 層，其介電常數高於 3.8。在一些實施例中，可藉由圖案化製程形成數個開口在目標層 102 中，及/或形成數個導電線或介層窗(via)在這些開口中，如下文中所述。

【0012】 在一些實施例中，目標層 102 是半導體基材。半導體基材可包括半導體材料，例如矽、矽鍺、或類似者。在一些實施例中，半導體基材是結晶半導體基材，例如結晶矽基材、III-V 族化合物半導體基材、或類似者。在一些實施例中，半導體基材可經過圖案化以定義出半導體鰭部(fin)，並在後續製程中形成淺溝槽隔離(shallow trench isolation, STI)區域。半導體鰭部可能從 STI

區域之間突出。S/D 區域可形成在半導體鰭部上，以及閘極介電質與電極層可形成在半導體鰭部的通道區域上，藉此形成如鰭式場效電晶體(fin field effect transistor, finFET)或奈米結構場效電晶體(nanostructure field effect transistor, nano-FET)等的半導體裝置。

【0013】 在一些實施例中，目標層 102 是導電層，例如毯覆式沉積的金屬層或多晶矽層。在一些實施例中，可對目標層 102 進行圖案化製程以圖案化出電晶體(例如 finFET 或 nano-FET 等)的半導體閘極及/或虛設閘極。在一些對導電目標層 102 進行圖案化製程之實施例中，相鄰的閘極距離越近，則閘極密度越高。

【0014】 在第 1 圖中，具有目標層 102 的薄膜堆疊形成在半導體裝置 100 中。在一些實施例中，目標層 102 可形成在半導體基材 104 上。半導體基材 104 可由半導體材料組成，例如矽(摻雜或未摻雜)、或絕緣體上半導體(semiconductor-on-insulator, SOI)基材等。半導體基材 104 可包括其他半導體材料，例如鍺、化合物半導體、合金半導體、上述各者的組合、或類似者。化合物半導體可包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮。合金半導體可包括矽鍺、磷砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮及/或鎵銮砷磷。亦可使用其他基材，如多層基材或梯度基材。裝置如電晶體、二極體、電容、電阻等(未繪出)可形成在半導體基材 104 的主動表面中及/或上。在目標層 102 具有半導體基材用以形成

finFET 的一些其他實施例中，半導體基材 104 可被省略。

【0015】 雖然第 1 圖繪出目標層 102 物理接觸半導體基材 104，但是目標層 102 和半導體基材 104 之間可設置任何數量的中介層。這些中介層可包括層間介電(inter-layer dielectric, ILD)層(具有低介電常數介電材料並且具有接觸栓塞形成在裡面)、其他 IMD 層(具有導電線及/或介層窗形成在裡面)、一或多個中間層(例如蝕刻終止層或黏著層等)、上述之組合、或類似者。舉例來說，蝕刻終止層(未繪出)可選擇性地設置在目標層 102 的正下方。蝕刻終止層可作為後續對目標層 102 進行蝕刻的終止位置。可根據目標層 102 的材料來調整蝕刻終止層的材料或形成蝕刻終止層的製程。在一些實施例中，蝕刻終止層可包括氮化矽、SiON、SiCON、SiC、SiOC、SiC_xN_y、SiO_x、其他介電材料、或上述之組合等，並且蝕刻終止層的形成方式可包括電漿增強化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)、低壓 CVD(low pressure CVD, LPCVD)、電漿氣相沉積(plasma vapor deposition, PVD)、或類似者。

【0016】 薄膜堆疊可進一步包括抗反射層(anti-reflective coating, ARC)106 形成在目標層 102 上。在圖案化光阻層的過程中，抗反射層 106 可有助於光阻層(位於抗反射層 106 上方)的曝光以及聚焦(稍後討論)。在一些實施例中，抗反射層 106 可包括 SiON、碳

化矽、摻有氧(O)和氮(N)之材料、或類似者。在一些實施例中，抗反射層 106 實質上不具有氮，而可能由氧組成。在這樣的實施例中，抗反射層 106 可被稱作無氮抗反射層 (nitrogen-free ARC, NFARC)。抗反射層 106 的形成方式可包括 PECVD、高密度電漿 (high-density plasma, HDP) 沉積、或類似者。

【0017】 薄膜堆疊可進一步包括硬遮罩層 108，硬遮罩層 108 形成在抗反射層 106 和目標層 102 上。硬遮罩層 108 的組成材料可包括金屬(例如，氮化鈦、鈦、氮化鉭、鉭、金屬摻雜的碳化物(例如碳化鎢)、或類似者)及/或類金屬 (metalloid)(例如氮化矽、氮化硼、碳化矽、或類似者)，並且硬遮罩層 108 的形成方式可包括 PCD、射頻 PVD (radio frequency PVD, RFPVD)、原子層沉積 (atomic layer deposition, ALD)、或類似者。在後續製程中，使用圖案化製程以在硬遮罩層 108 上形成圖案。接下來，在蝕刻目標層 102 時，硬遮罩層 108 可使用來當作目標層 102 的蝕刻遮罩。

【0018】 薄膜堆疊可進一步包括介電層 110，介電層 110 形成在硬遮罩層 108 上。介電層 110 可包括氧化矽，並可由摻硼磷矽酸鹽四乙氧基矽烷玻璃 (borophosphosilicate tetraethylorthosilicate, BPTEOS) 或未摻雜四乙氧基矽烷 (TEOS) 所組成，並藉由 CVD、ALD、旋轉塗佈 (spin-on coating) 等形成介電層 110。在一些實施例中，在對雙層或三層光阻遮罩中的

底層進行圖案化時，介電層 110 可作為蝕刻終止層。在一些實施例中，介電層 110 亦可作為抗反射層。

【0019】 三層光阻 120 形成在薄膜堆疊的介電層 110 上。三層光阻 120 可包括底層 114、在底層 114 上方的中間層 116、以及在中間層 116 上方的頂層 118。底層 114 和頂層 118 可由光阻(例如光敏性材料)所組成，其中包括有機材料。在一些實施例中，頂層 118 的材料包括碳，例如有機材料，舉例來說重氮萘醌(diazonaphthoquinone)、酚醛環氧樹脂(novolac resins)、雙酚 A 酚醛環氧樹脂(Bisphenol A novolac epoxy)、非化學計量硫醇烯(OSTE) 聚合物(off-stoichiometry thiol-enes (OSTE) polymer)、類似者、或上述之組合。在一些實施例中，底層 114 亦可能是底部抗反射(bottom anti-reflective coating, BARC)層。

【0020】 中間層 116 可包括無機材料，無機材料可能是氮化物(例如，氮化矽)、氮氧化物(例如，氮氧化矽)、氧化物(例如，氧化矽)、上述之組合、或類似者。中間層 116 具有相對於頂層 118 和底層 114 的高蝕刻選擇比(在經過如下文所述之調整以後)。可藉由如旋轉塗佈製程來依序地毯覆沉積三層光阻 120 中的各層。其他合適沉積方式，例如 CVD、ALD、PCV 等，亦可使用。

【0021】 雖然僅討論三層光阻 120，但是在一些其他的實施例中，光阻 120 可能是單層光阻或是雙層(例如，只具有底層 114 和頂層 118，而不具有中間層 116)光阻。在

使用微影製程以圖案化目標層 102 或在介電層 110 上的心軸層 (mandrel)/間隔層的過程中，光阻的使用種類 (例如，單層、雙層或三層) 可能依據所採用的微影製程而定。

【0022】 頂層 118 的圖案化是使用微影製程，如下文所述。隨後，頂層 118 可用來當作圖案化中間層 116 (見第 4 圖) 的蝕刻遮罩。接下來，中間層 116 可用來當作圖案化底層 114 (見第 5 圖) 的蝕刻遮罩。然後，底層 114 可用來圖案化介電層 110 和硬遮罩層 108 (見第 6 圖和第 7 圖)，並且硬遮罩層 108 可接著用來圖案化抗反射層 106 (見第 8 圖) 和目標層 102 (見第 9 圖)。

【0023】 可使用任何合適的微影製程來圖案化頂層 118 以形成開口 122 在頂層 118 中。為了直接在單次圖案化製程中完成窄線寬的結構，微影製程可能採用極紫外 (extreme ultraviolet, EUV) 的光源。在一些實施例中，在圖案化頂層 118 以開口 122 在頂層 118 中的製程中，可在輻射光和頂層 118 之間設置光罩 (未繪出)。隨後，在一些實施例中，頂層 118 暴露在輻射光之中以曝光頂層 118。在一些實施例中，輻射光可包括輻射源，例如 EUV、紫外光 (ultraviolet, UV)、或準分子雷射，其中準分子雷射如 KrF 準分子雷射 (248 nm 之波長)、ArF 準分子雷射 (193 nm 之波長)、或 F₂ 準分子雷射 (157 nm 之波長) 等，而光罩遮蔽頂層 118 的部分面積。在一些實施例中，可使用浸潤式微影系統來曝光頂層 118，藉此增加解析度並縮小可達到的最小節距 (pitch)。可進行烘烤 (bake) 或固化

(cure)操作以硬化頂層 118，並且使用顯影劑以移除頂層 118 中的曝光部分或是未曝光部分(依據是否使用正型光阻或負型光阻)。

【0024】 開口 122 可能在平面圖(未繪出)中具有長條狀。開口 122 的節距 P_1 可能是單獨使用微影技術製程所能達到的最小節距。舉例而言，在一些實施例中，開口 122 的節距 P_1 可在約 30 奈米(nm)至約 100 nm 的範圍之間。開口 122 的節距 P_1 亦可為其他範圍。開口 122 的寬度 W_1 可在約 15 nm 至約 50 nm 的範圍之間，而頂層 118 的保留下來的各部分具有寬度 W_2 ，寬度 W_2 可在約 15 nm 至約 50 nm 的範圍之間。寬度 W_1 及寬度 W_2 亦可為其他範圍。

【0025】 在第 2 圖中，對頂層 118 進行一處理製程 200，使頂層 118 轉變成已處理的頂層 220。處理製程 200 可使後續形成在目標層 102 中的導電特徵(見第 9 圖和第 10 圖)，例如金屬線，的線寬粗糙度(line width roughness, LWR)降低。具有較平滑形貌的導電特徵可降低表面電阻(sheet resistance)並因此提升裝置表現。在一些實施例中，在進行處理製程 200 之前進行除渣(de-scum)製程(見第 3 圖)。

【0026】 在一些實施例中，處理製程 200 可為電漿處理，例如使用氧(O_2)電漿。氧電漿可和頂層 118 的有機光阻材料產生反應，使得頂層 118 轉變成已處理的頂層 220。在一些實施例中，頂層 118 轉變成已處理的頂層 220 的改變是一種氧化反應，是頂層 118 中的暴露表面的含碳成分

產生的氧化反應。已處理的頂層的邊緣和形貌的氧化可改變已處理的頂層的暴露表面上的鍵結，並且，相較於原本未處理的頂層 118，可改善相對於中間層 116 材料的蝕刻選擇比，藉此可改善在後續製程(見第 4 圖)中中間層 116 的蝕刻情況。如此一來，可使後續形成在目標層 102 中的導電特徵的 LWR 降低。

【0027】 處理製程 200 的操作溫度低於約攝氏 200 度，例如在約攝氏 70 度至約攝氏 200 度之間，這樣的操作溫度可有助於改善已處理的頂層相對於中間層 116 的蝕刻選擇比。處理製程 200 的操作溫度低於約攝氏 70 度可能是不利的，因電漿處理的效率下降而使已處理的頂層相對於中間層 116 的蝕刻選擇比變差。處理製程 200 的操作溫度高於約攝氏 200 度可能是不利的，因已處理的頂層的形貌可能受到損傷而使後續形成在目標層 102 中的導電特徵的 LWR 增加。

【0028】 處理製程 200 的操作時間在約 1 秒至約 10 秒的範圍內，這樣的操作時間可有助於改善已處理的頂層相對於中間層 116 的蝕刻選擇比。處理製程 200 的操作時間低於約 1 秒可能是不利的，因電漿處理的效率下降而使已處理的頂層相對於中間層 116 的蝕刻選擇比變差。處理製程 200 的操作時間高於約 10 秒可能是不利的，因已處理的頂層的形貌可能受到損傷而使後續形成在目標層 102 中的導電特徵的 LWR 增加。

【0029】 第 3 圖繪示在圖案化頂層 118(如第 1 圖所示)之

後對半導體裝置 100 進行除渣製程 128。除渣製程 128 自己處理的頂層和中間層 116 所暴露的部分均勻地移除少量已處理的頂層和中間層 116 的材料。除渣製程 128 提供已處理的頂層的光阻垂直形貌並移除圖案化操作後殘留在開口 122 內的已處理的頂層之殘留物。濕式除渣製程可使用任何合適的化學蝕刻劑，其包括氫氧化四甲銨 (TMAH)、硫酸 (H_2SO_4)、氫氧化鉀 (KOH)、氫氧化硼 (BOH)、其他合適的酸或氫氧化物、或上述之組合。乾式除渣製程可使用任何合適的氣體，其包括氧氣、含氟氣體、含氯氣體、氧基氣體、或上述之組合。除渣製程 128 可包括一或多個步驟。因為除渣製程 128，使得開口 122 增大而形成開口 124。開口 124 的寬度 W_3 可在約 16 nm 至約 53 nm 的範圍之間。因此，已處理的頂層的最窄部分具有寬度 W_4 ，寬度 W_4 可在約 12 nm 至約 49 nm 的範圍之間。雖然第 2 圖及第 3 圖描述除渣製程 128 是在處理製程 200 之後才進行，在一些其他的實施例中，除渣製程 128 可在處理製程 200 之前進行。

【0030】 在圖案化頂層 118、進行處理製程 200、以及進行除渣製程 128 之後，第 4 圖繪示在蝕刻製程中已處理的頂層的圖案轉移至中間層 116。蝕刻製程可為非等向性的，使得開口 124 可延伸穿過中間層 116，並且開口 124 在中間層 116 的尺寸大約相同於開口在上方層(中間層 116 上方)的尺寸。已處理的頂層中已氧化的頂表面和側壁可抵抗來自蝕刻製程中的傷害，因此可降低已處理的頂層在蝕刻

製程的消耗量。由於已處理的頂層可保有足夠的量而不被蝕刻製程消耗，因此在蝕刻製程中已處理的頂層圖案轉移至中間層 116 的缺陷減少。具有較少圖案缺陷的中間層 116 可降低開口 124 側壁的粗糙度並改善後續轉移至下方層的圖案品質，藉此可使後續形成在目標層 102 中的導電特徵的 LWR 降低。

【0031】 在第 5 圖中，進行蝕刻製程以將中間層 116 的圖案轉移至底層 114，使得開口 124 可延伸穿過底層 114。底層 114 的蝕刻製程可為非等向性的，因此在中間層 116 的開口 124 可延伸穿過底層 114，並且開口 124 在底層 114 的尺寸大約相同於開口 124 在中間層 116 的尺寸。在已處理的頂層圖案轉移至中間層 116 的蝕刻製程中，已處理的頂層中已氧化的頂表面和側壁可降低已處理的頂層在此蝕刻製程中的消耗量，因此可降低開口 124 側壁的粗糙度並使中間層 116 的圖案轉移至底層 114 的缺陷減少。具有較少圖案缺陷的底層 114 可改善後續轉移至下方層的圖案品質，藉此可使後續形成在目標層 102 中的導電特徵的 LWR 降低。在底層 114 的蝕刻過程中，已處理的頂層的留下部分會被消耗。在一些實施例中，在對底層 114 進行蝕刻製程之前或之後，可使用不同的製程移除已處理的頂層的留下部分。

【0032】 第 6 圖及第 7 圖繪示藉由將上方層圖案轉移至下方層的操作，持續對後續的層進行圖案化直到目標層 102。第 8 圖繪示特徵沉積在目標層 102 中。第 9 圖繪示特徵沉

積在目標層 102 中的平面圖(俯視圖)。

【0033】 在第 6 圖中，進行蝕刻製程以將底層 114 的圖案轉移至介電層 110 和硬遮罩層 108，並形成開口 134 穿過介電層 110 和硬遮罩層 108。介電層 110 和硬遮罩層 108 的蝕刻製程可為非等向性的，因此在底層 114 的開口 124(見第 5 圖)可延伸穿過介電層 110 和硬遮罩層 108，並使得開口 134 在介電層 110 的尺寸大約相同於開口 124 在底層 114 的尺寸。在已處理的頂層圖案轉移至中間層 116 的蝕刻製程中，已處理的頂層中已氧化的頂表面和側壁可降低已處理的頂層在此蝕刻製程中的消耗量，因此可降低開口 124 側壁的粗糙度並使轉移至底層 114 的圖案缺陷減少。具有較少圖案缺陷的底層 114 可改善後續轉移至介電層 110 和硬遮罩層 108 的圖案品質並可降低開口 134 側壁的粗糙度，藉此可進一步使後續形成在目標層 102 中的導電特徵的 LWR 降低。在介電層 110 和硬遮罩層 108 的蝕刻過程中，中間層 116 會被消耗而底層 114 可能至少部分被消耗。在一些實施例中，若在介電層 110 的蝕刻製程中底層 114 未被完全消耗，則可進行灰化(ashing)製程以移除底層 114 的殘留物。

【0034】 在第 7 圖中，接下來，蝕刻抗反射層 106 和目標層 102，其中硬遮罩層 108 可作為蝕刻遮罩以使開口 134 延伸至目標層 102，從而形成開口 140。已處理的頂層中已氧化的頂表面和側壁可使已處理的頂層的圖案轉移至硬遮罩層 108 的缺陷減少，以及使開口 140 側壁的粗糙度降

低。藉此，目標層 102 可具有較少的圖案缺陷、目標層 102 中的開口 140 的側壁可具有較低的粗糙度、以及後續形成在開口 140 中的導電特徵可具有較低的 LWR。在抗反射層 106 和目標層 102 的蝕刻製程前，可進行濕式清潔製程以移除介電層 110 的任何殘留物。目標層 102 的蝕刻製程可包括非等向性的乾式及/或濕式蝕刻製程，蝕刻製程依序地蝕刻抗反射層 106 至目標層 102。在開口 134 經圖案化而形成開口 140 之後，可進行濕式清潔製程以移除硬遮罩層 108 和抗反射層 106 的任何殘留物(見第 8 圖)。

【0035】 在第 8 圖中，在圖案化目標層 102 中的開口 140 之後，可形成特徵在開口 140 中。在一些實施例中，目標層 102 包括低介電常數(low-k)介電材料，並且已圖案化的目標層 102 可作為內連接結構的 IMD。導電特徵例如銅線、銅介層窗及/或鈷插塞可形成在如第 8 圖所示的 IMD 層中。導電特徵的形成方法可包括沿著開口 140 的側壁和底表面(見第 7 圖)沉積一或多個襯墊 142。襯墊 142 可包括 TiO、TiN、TaO、TaN 或類似者，以及襯墊 142 可作為導電特徵的擴散阻擋層、黏著層及/或晶種層。襯墊的沉積方法可包括 PVD、CVD、ALD 或類似者。因為已處理的頂層中已氧化的頂表面和側壁(見第 2 圖)可使已處理的頂層的圖案較清楚地轉移至目標層 102，所以導電特徵可具有較低的 LWR。

【0036】 在沉積襯墊 142 之後，將導電材料 144 填入剩下的開口部分，導電材料 144 可包括例如銅，並藉由例如

PVD、電鍍等方式。可先將導電材料 144 填滿並超過開口 140 (見第 7 圖)，接著進行平坦化製程以從目標層 102 上移除導電材料 144 的多餘部分。因此，導電特徵可形成於目標層 102 中。

【0037】 第 9 圖根據本揭示案的一些實施例繪示在導電特徵形成於目標層 102 中之後半導體裝置 100 的俯視圖。第 9 圖為導電材料 144 的圖案的一部分示意圖，其中目標層 102 環繞導電材料 144。

【0038】 第 10 圖承接第 1 圖，繪示出薄膜 302 形成在頂層 118 和中間層 116 的暴露表面上。在一些實施例中，薄膜 302 形成在已處理的頂層上，如第 2 圖所示。薄膜 302 形成在頂層 118 的頂表面上的厚度大於薄膜 302 形成在中間層 116 的暴露表面上的厚度，這是因為沉積製程上的限制和開口 122 (介於已圖案化的頂層內的各部分之間) 的較大深寬比。薄膜 302 在頂層 118 的頂表面上的較厚的部分可在後續蝕刻製程中 (見第 12 圖) 保護頂層 118 的形貌，藉此可改善頂層 118 和中間層 116 之間的蝕刻選擇比並且使後續形成在目標層 102 中的導電特徵的 LWR 降低。在一些實施例中，薄膜 302 可包括氧化矽、氮化矽、碳化矽、碳氧化矽、氮氧化矽、碳氮氧化矽、類似者、或上述之組合。薄膜 302 可藉由 ALD 製程、電漿增強原子層沉積 (plasma enhanced atomic layer deposition, PEALD)、CVD、PVD、類似者、或上述之組合而形成。在一些實施例中，薄膜 302 包括氧化矽並藉由 PEALD 而

形成，其中在 PEALD 中使用的前驅物氣體可包括三(二甲氨基)矽烷($\text{tris}(\text{dimethylamino})\text{silane}$, 3DMAS)、雙(叔丁基氨基)矽烷($\text{bis}(\text{tertiary-butyl-amino})\text{silane}$, BTBAS)、雙(二乙氨基)矽烷($\text{bis}(\text{diethylamino})\text{silane}$, BDEAS)、類似者、或上述之組合。

【0039】 薄膜 302 形成在頂層 118 的頂表面上的厚度 T_1 在約 3 埃(\AA)至約 30 埃的範圍內，這樣的厚度範圍可在後續蝕刻製程中保護頂層 118 的形貌。若薄膜 302 形成在頂層 118 的頂表面上的厚度小於約 3 埃，則在頂層 118 的頂表面上的薄膜 302 無法在後續蝕刻製程中保護頂層 118 的形貌，這導致後續形成在目標層 102 中的導電特徵(見第 8 圖)的 LWR 增加。若薄膜 302 形成在頂層 118 的頂表面上的厚度大於約 30 埃，則後續蝕刻製程無法對中間層 116 造成足夠的蝕刻量，這導致導電特徵以較差的方式形成在目標層 102 中。

【0040】 薄膜 302 形成在中間層 116 的頂表面上的厚度 T_2 在約 5 埃至約 25 埃的範圍內。在一些實施例中，厚度 T_1 比厚度 T_2 的比值在約 1 至約 1.5 的範圍內，這樣的比值範圍有助於在後續蝕刻製程中保護頂層 118 的形貌。若薄膜 302 的厚度 T_1 比厚度 T_2 的比值小於約 1，則薄膜 302 無法在後續蝕刻製程中保護頂層 118 的形貌，這導致後續形成在目標層 102 中的導電特徵(見第 9 圖)的 LWR 增加。若薄膜 302 的厚度 T_1 比厚度 T_2 的比值大於約 1.5，

則後續蝕刻製程無法對中間層 116 造成足夠的蝕刻量，這導致導電特徵以較差的方式形成在目標層 102 中。

【0041】 第 11 圖承接第 10 圖，繪示出藉由任何合適的製程以對薄膜 302 進行薄化製程。薄化的薄膜 302 暴露出中間層 116 的頂表面，以便於後續將頂層 118 的圖案轉移至中間層 116 (見第 12 圖)。可藉由非等向性蝕刻以薄化頂層 118，非等向性蝕刻例如反應性離子蝕刻 (reactive ion etching, RIE) 製程。在薄化製程之後，薄膜 302 可覆蓋頂層 118 的頂表面和側壁而使頂層 118 的有效高度增加。頂層 118 的有效高度增加可使頂層 118 的圖案轉移至中間層 116 的缺陷減少。

【0042】 在薄化製程之後，薄膜 302 在頂層 118 的頂表面上的厚度 T_3 在約 0.1 埃至約 12.5 埃的範圍內，這樣的厚度有助於在後續蝕刻製程中保護頂層 118 的形貌。若在薄化製程之後薄膜 302 在頂層 118 的頂表面上的厚度小於約 0.1 埃，則薄膜 302 無法在後續蝕刻製程中保護頂層 118 的形貌，這導致後續形成在目標層 102 中的導電特徵 (見第 9 圖) 的 LWR 增加。若在薄化製程之後薄膜 302 在頂層 118 的頂表面上的厚度大於約 12.5 埃，則在後續蝕刻製程中圖案以較差的方式轉移至中間層 116，並進一步導致導電特徵以較差的方式形成在目標層 102 中。

【0043】 第 12 圖承接第 11 圖，繪示頂層 118 的圖案在蝕刻製程中轉移至中間層 116。在一些實施例中，蝕刻製程可為非等向性的，例如反應性離子蝕刻 (reactive ion

etching, RIE) 製程，使得開口 124 可延伸穿過中間層 116，並且開口 124 在中間層 116 的尺寸大約相同於開口在上方層(中間層 116 上方)的尺寸。在一些實施例中，薄膜 302 的薄化及頂層 118 的圖案轉移至中間層 116 的操作可在同一的蝕刻製程或是分開的蝕刻製程中進行。在蝕刻製程中，薄膜 302 在頂層 118 的頂表面上的剩餘部分使頂層 118 的有效高度增加。頂層 118 的有效高度增加可提升頂層 118 相對於中間層 116 的蝕刻選擇比。如此一來，可使頂層 118 的圖案轉移至中間層 116 的缺陷減少，並且可使後續圖案轉移至更下方層(第 5 圖至第 7 圖)的缺陷減少，藉此使後續形成在目標層 102 中的導電特徵(例如，金屬導線)的 LWR 降低(見第 8 圖及第 9 圖)。蝕刻製程可移除薄膜 302 在頂層 118 的頂表面上的部分。在一些實施例中，在蝕刻製程之後薄膜 302 在頂層 118 的側壁上的部分保留下來，並且已圖案化的中間層 116 具有的寬度大於已圖案化的頂層 118 具有的寬度。薄膜 302 的剩下部分可在後續底層 114 的蝕刻製程(見第 5 圖)中移除。

【0044】 在頂層 118 的圖案轉移至中間層 116 之後，後續的製程可如前面第 5 圖至第 9 圖中所描述。由於薄膜 302 保護頂層 118 的形貌，頂層 118 的圖案可透過中間層(例如中間層 116、底層 114、介電層 110、硬遮罩層 108 和抗反射層 106)轉移至目標層 102 並且較少圖案缺陷，藉此使後續形成在目標層 102 中的導電特徵的 LWR 降低。形成較平滑形貌的導電特徵可降低表面電阻並因此提升裝

置表現。

【0045】 在本揭示的各種實施例中，當導線の間距為 50 nm 或小於 50 nm 時，在單一圖案化製程中發生較少的製程缺陷以及較高的良率可提升導線的製程可靠度。在一些其他的實施例中，當目標層 102 是導體層或半導體層時，以硬遮罩層 108 的互補圖案(見第 6 圖)對目標層 102 進行圖案化，其操作方法相似於前文所述，可參照第 7 圖。舉例來說，可沉積額外的遮罩層(未繪出)在硬遮罩層 108 的周圍。接著移除硬遮罩層 108 並使用額外的遮罩層來圖案化目標層 102。形成的已圖案化的目標層 102 具有的圖案與硬遮罩層 108 具有的圖案相反(互補)。

【0046】 實施例具有益處。對已圖案化的光阻進行處理製程(例如電漿處理)或形成薄膜在已圖案化的光阻上，藉此在後續蝕刻製程中保護已圖案化的光阻的形貌。受到保護的已圖案化的光阻的形貌可使已圖案化的光阻的圖案轉移至下方層的缺陷減少，從而可使後續形成在目標層中的導電特徵(例如金屬線)的 LWR 降低。具有較平滑形貌的導電特徵可降低表面電阻並因此提升裝置表現。

【0047】 根據本揭示案的一些實施例，一種形成半導體裝置的方法包括圖案化光阻層，其中光阻層在遮罩層上。形成半導體裝置的方法還包括對光阻層進行氧電漿處理，其中氧電漿處理藉由氧化光阻層的暴露表面以使光阻層轉變成已處理的光阻層。形成半導體裝置的方法還包括圖案化遮罩層，其中使用已處理的光阻層作為遮罩。形成半導體裝

置的方法還包括圖案化目標層，其中使用已圖案化的遮罩層作為遮罩。在一些實施例中，氧電漿處理的操作溫度低於攝氏 200 度。在一些實施例中，氧電漿處理的操作時間在約 1 秒至約 10 秒的範圍內。在一些實施例中，光阻層包括碳。在一些實施例中，形成半導體裝置的方法還包括在圖案化光阻層之後對半導體裝置進行除渣製程。在一些實施例中，在對光阻層進行氧電漿處理之前進行除渣製程。在一些實施例中，在對光阻層進行氧電漿處理之後進行除渣製程。

【0048】 根據本揭示案的另一些實施例，一種形成半導體裝置的方法包括形成薄膜在已圖案化的頂層，已圖案化的頂層在遮罩層上，遮罩層在目標層上，其中數個開口延伸穿過已圖案化的頂層以暴露遮罩層，薄膜的第一部分在已圖案化的頂層並具有第一厚度，薄膜的第二部分在開口的底表面並具有第二厚度，第一厚度大於第二厚度。形成半導體裝置的方法還包括圖案化遮罩層，其中使用已圖案化的頂層作為遮罩。形成半導體裝置的方法還包括使用已圖案化的遮罩層作為遮罩以圖案化目標層。在一些實施例中，薄膜為氧化矽、碳氧化矽、或碳氮氧化矽。在一些實施例中，形成薄膜包括電漿增強原子層沉積製程。在一些實施例中，形成半導體裝置的方法進一步包括在圖案化遮罩層之前進行薄化製程。在一些實施例中，在進行薄化製程之前，薄膜在已圖案化的頂層的頂表面上的厚度在約 3 埃至約 30 埃的範圍內。在一些實施例中，在進行薄化製程之後，

薄膜在已圖案化的頂層的頂表面上的厚度在約 0.1 埃至約 12.5 埃的範圍內。在一些實施例中，遮罩層具有薄膜堆疊在目標層上及光阻在薄膜堆疊上。

【0049】 根據本揭示案的又一些實施例，一種形成半導體裝置的方法包括形成薄膜堆疊在目標層上，目標層在基材上。形成半導體裝置的方法還包括形成光阻在薄膜堆疊上，光阻包括底層、中間層在底層上、及頂層在中間層上。形成半導體裝置的方法還包括圖案化頂層。形成半導體裝置的方法還包括形成氧化層在已圖案化的頂層的暴露表面上。形成半導體裝置的方法還包括圖案化中間層，其中已圖案化的頂層作為遮罩。形成半導體裝置的方法還包括圖案化底層，其中已圖案化的中間層作為遮罩。形成半導體裝置的方法還包括圖案化薄膜堆疊，其中已圖案化的底層作為遮罩。形成半導體裝置的方法還包括圖案化目標層以形成數個開口穿過目標層，其中已圖案化的薄膜堆疊作為遮罩。形成半導體裝置的方法還包括形成數個導電特徵在開口中。在一些實施例中，形成氧化層包括進行 O₂ 電漿製程。在一些實施例中，形成氧化層包括沉積氧化物薄膜在已圖案化的頂層上。在一些實施例中，氧化物薄膜包括矽及碳。在一些實施例中，薄膜堆疊包括抗反射層、硬遮罩在抗反射層上、及介電層在硬遮罩上。在一些實施例中，形成半導體裝置的方法進一步包括形成襯墊在開口中。

【0050】 以上概略說明了本揭示案數個實施例的特徵，使所屬技術領域內具有通常知識者對於本揭示案可更為容易理

解。任何所屬技術領域內具有通常知識者應瞭解到本揭示案可輕易作為其他結構或製程的變更或設計基礎，以進行相同於本揭示案實施例的目的及/或獲得相同的優點。任何所屬技術領域內具有通常知識者亦可理解與上述等同的結構並未脫離本揭示案之精神及保護範圍內，且可在不脫離本揭示案之精神及範圍內，可作更動、替代與修改。

【符號說明】**【0051】**

100：半導體裝置

102：目標層

104：半導體基材

106：抗反射層

108：硬遮罩層

110：介電層

114：底層

116：中間層

118：頂層

120：光阻

122：開口

124：開口

128：除渣製程

134：開口

140：開口

1 4 2 : 襯 墊

1 4 4 : 導 電 材 料

2 0 0 : 處 理 製 程

2 2 0 : 已 處 理 的 頂 層

3 0 2 : 薄 膜

P_1 : 節 距

W_1 : 寬 度

W_2 : 寬 度

W_3 : 寬 度

W_4 : 寬 度

T_1 : 厚 度

T_2 : 厚 度

T_3 : 厚 度

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】一種形成半導體裝置的方法，包括：

圖案化一光阻層，其中該光阻層在一遮罩層上；

在圖案化該光阻層之後，對該光阻層進行一氧電漿處理，其中該氧電漿處理藉由氧化該光阻層的一暴露表面以使該光阻層轉變成一已處理的光阻層；

圖案化該遮罩層，其中使用該已處理的光阻層作為一第一遮罩；以及

圖案化一目標層，其中使用已圖案化的該遮罩層作為一第二遮罩。

【請求項 2】如請求項 1 所述之形成半導體裝置的方法，其中該氧電漿處理的一操作溫度低於攝氏 200 度。

【請求項 3】如請求項 1 所述之形成半導體裝置的方法，其中該氧電漿處理的一操作時間在約 1 秒至約 10 秒的一範圍內。

【請求項 4】一種形成半導體裝置的方法，包括：

形成一薄膜在一已圖案化的頂層，該已圖案化的頂層在一遮罩層上，該遮罩層在一目標層上，其中複數個開口延伸穿過該已圖案化的頂層以暴露該遮罩層，該薄膜的一第一部分在該已圖案化的頂層並具有一第一厚度，該薄膜的一第二部分在該些開口的一底表面並具有一第二厚度，該

第一厚度大於該第二厚度；

對該薄膜進行一薄化製程；

在進行該薄化製程之後，圖案化該遮罩層，其中使用該已圖案化的頂層作為一第一遮罩；以及

使用已圖案化的該遮罩層作為一第二遮罩以圖案化該目標層。

【請求項 5】如請求項 4 所述之形成半導體裝置的方法，其中該薄膜為氧化矽、碳氧化矽、或碳氮氧化矽。

【請求項 6】如請求項 4 所述之形成半導體裝置的方法，其中在進行該薄化製程之前，該薄膜在該已圖案化的頂層的一頂表面上的一厚度在約 3 埃(\AA)至約 30 埃的一範圍內。

【請求項 7】如請求項 4 所述之形成半導體裝置的方法，其中在進行該薄化製程之後，該薄膜在該已圖案化的頂層的一頂表面上的一厚度在約 0.1 埃(\AA)至約 12.5 埃的一範圍內。

【請求項 8】一種形成半導體裝置的方法，包括：

形成一薄膜堆疊在一目標層上，該目標層在一基材上；

形成一光阻在該薄膜堆疊上，該光阻包括一底層、一中間層在該底層上、及一頂層在該中間層上；

圖案化該頂層；

形成一氧化層在已圖案化的該頂層的一暴露表面上；

圖案化該中間層，其中已圖案化的該頂層作為一第一遮罩；

圖案化該底層，其中已圖案化的該中間層作為一第二遮罩；

圖案化該薄膜堆疊，其中已圖案化的該底層作為一第三遮罩；

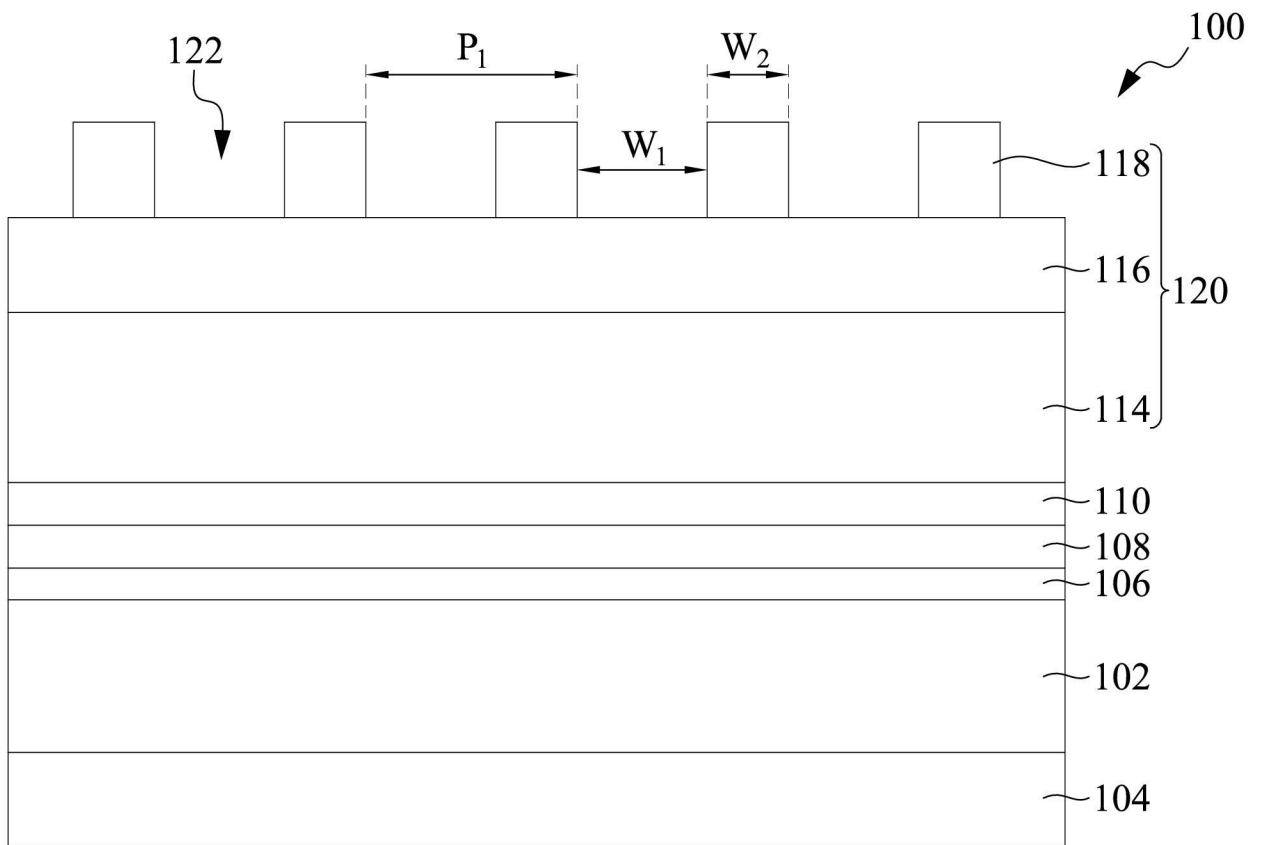
圖案化該目標層以形成複數個開口穿過該目標層，其中已圖案化的該薄膜堆疊作為一第四遮罩；以及

形成複數個導電特徵在該些開口中。

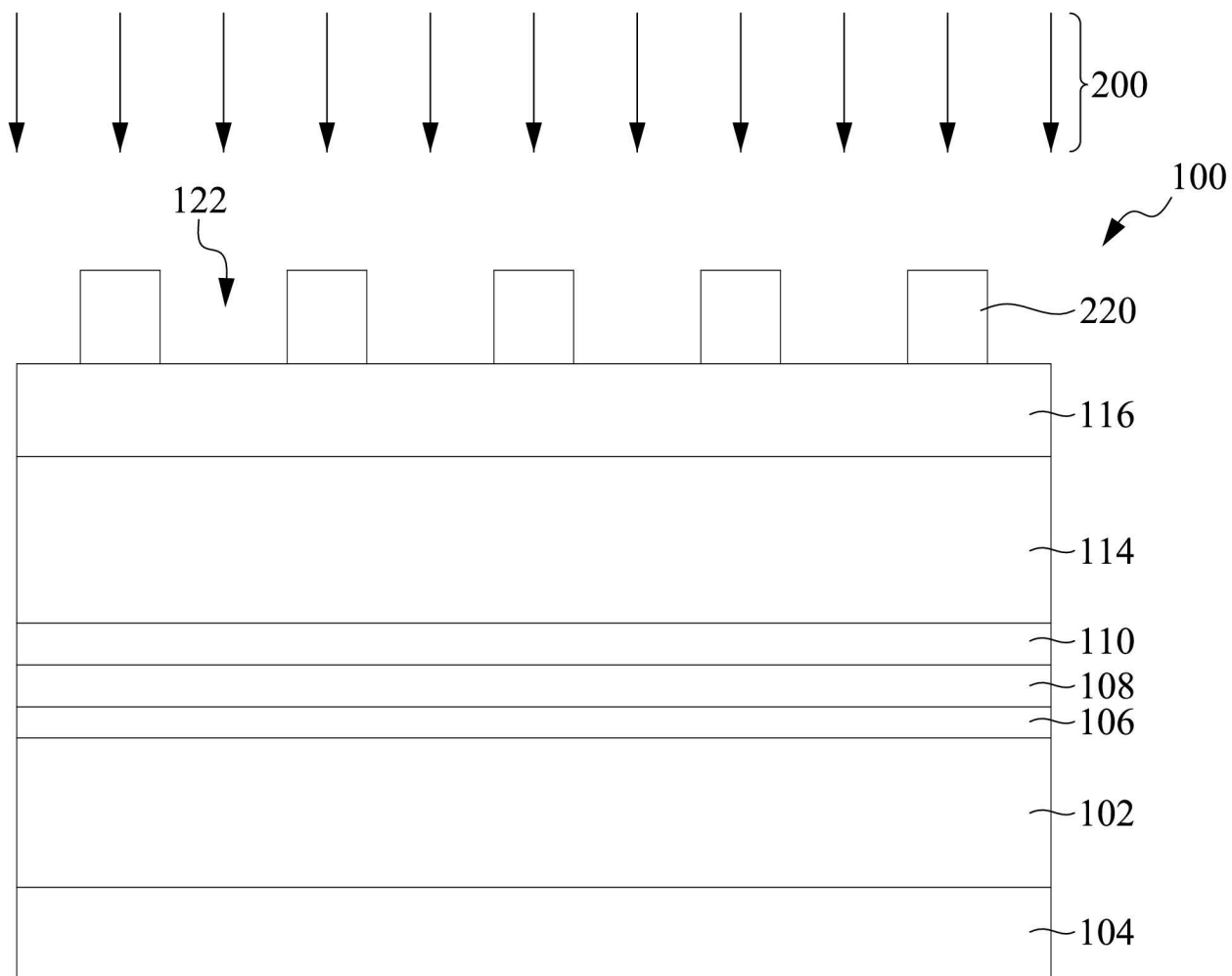
【請求項 9】如請求項 8 所述之形成半導體裝置的方法，其中形成該氧化層包括進行一 O_2 電漿製程。

【請求項 10】如請求項 8 所述之形成半導體裝置的方法，其中形成該氧化層包括沉積一氧化物薄膜在已圖案化的該頂層上。

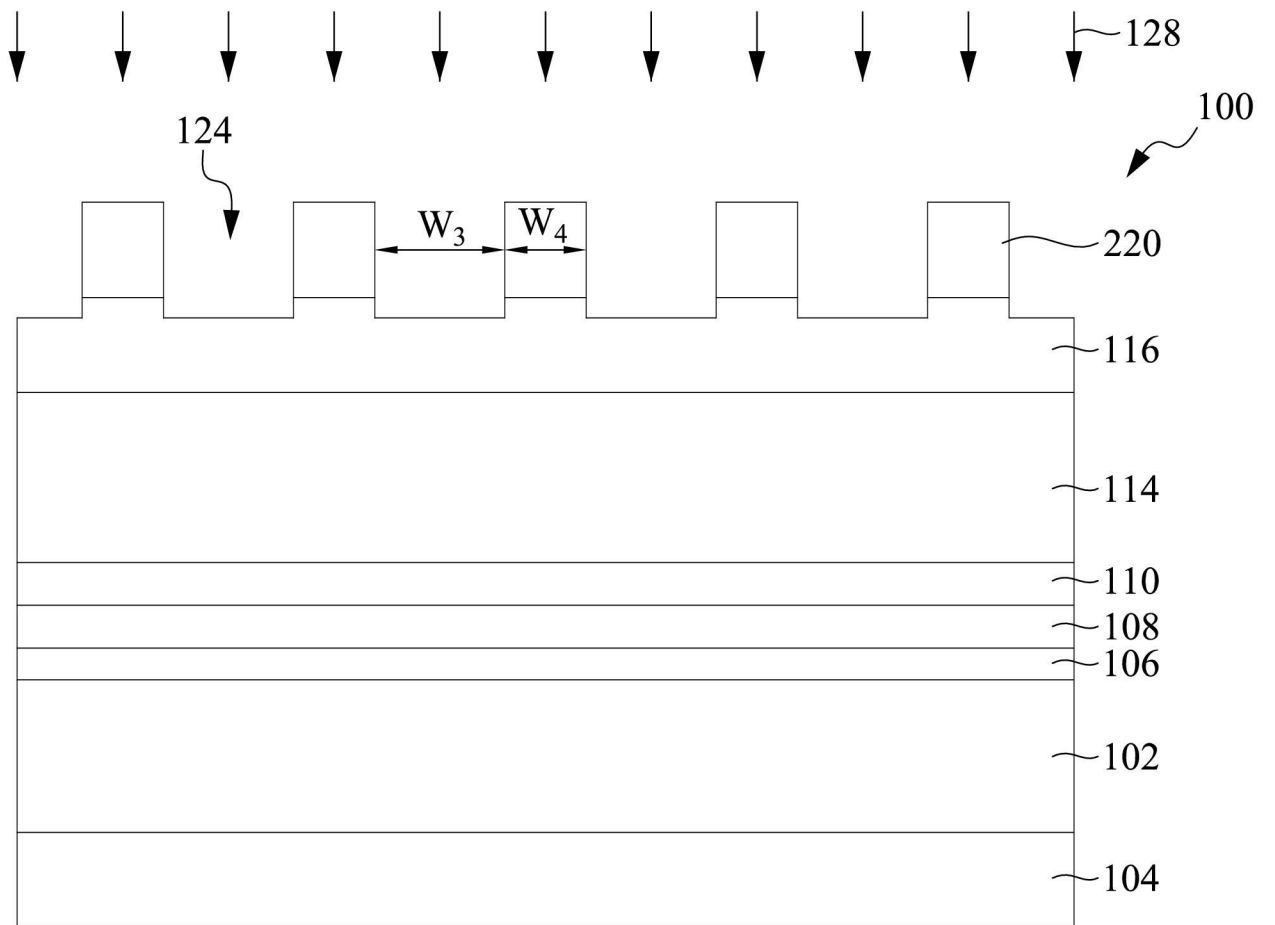
【發明圖式】



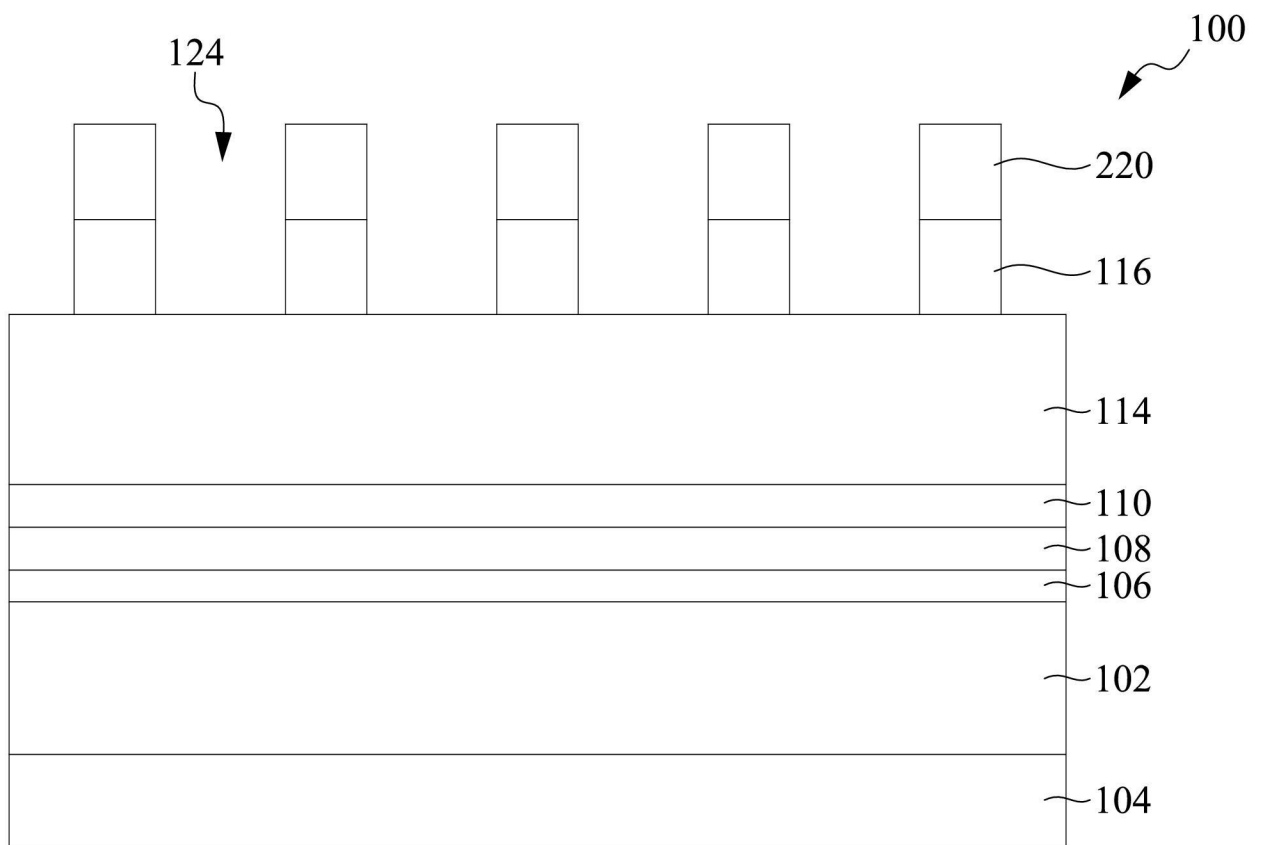
第 1 圖



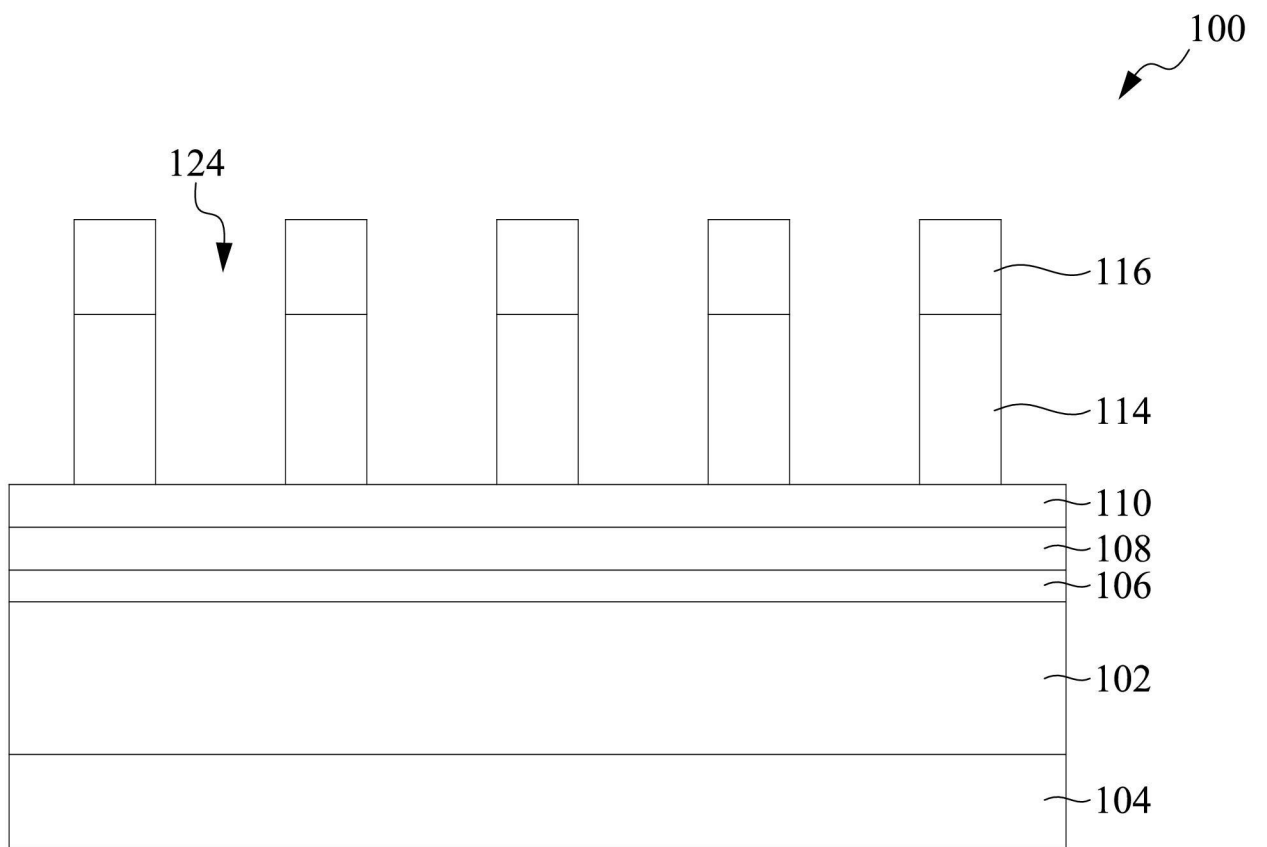
第 2 圖



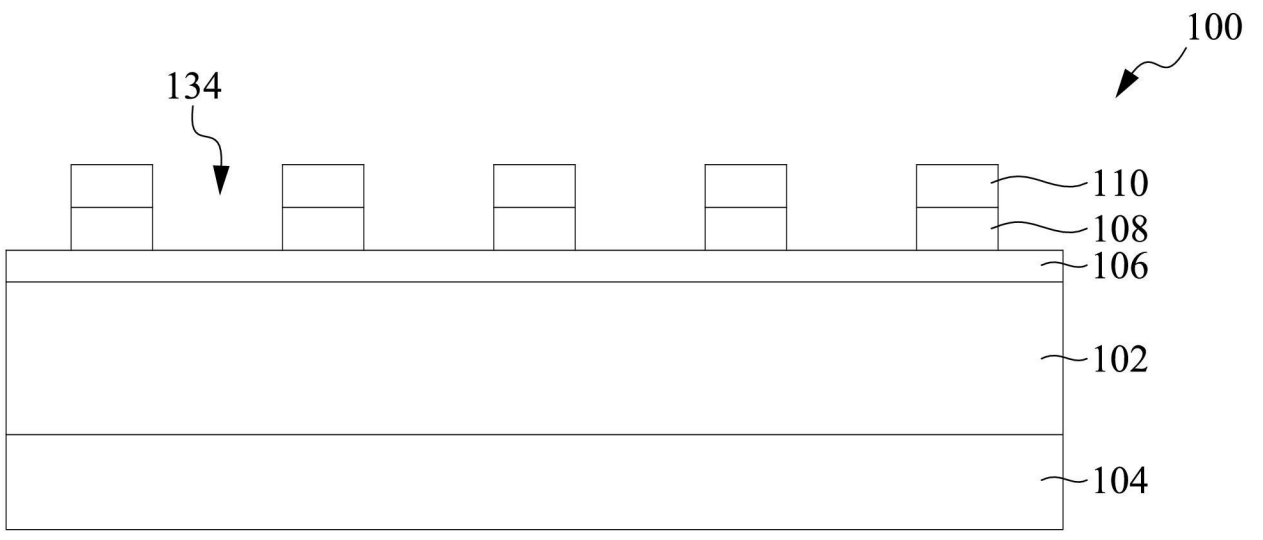
第 3 圖



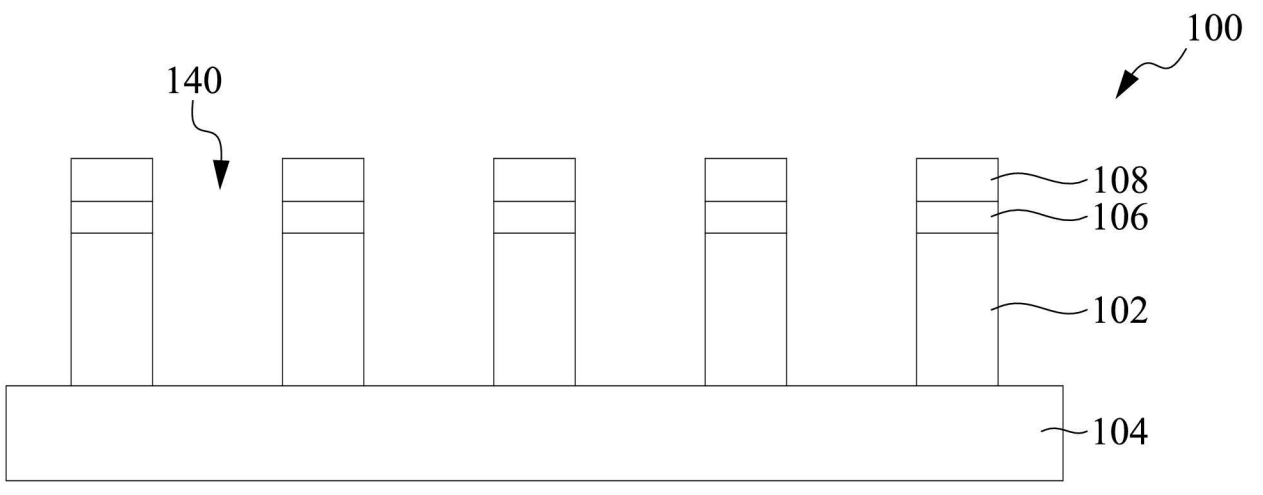
第 4 圖



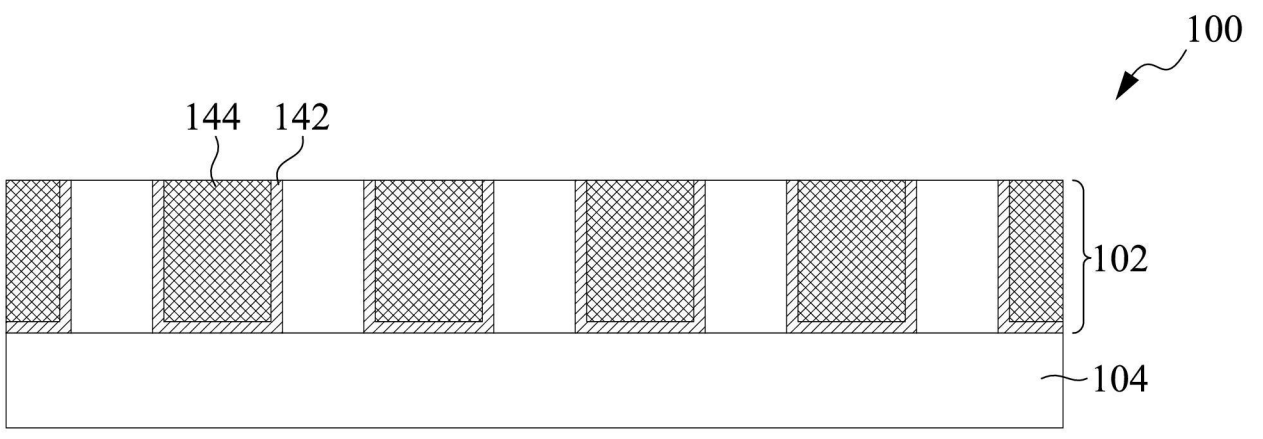
第 5 圖



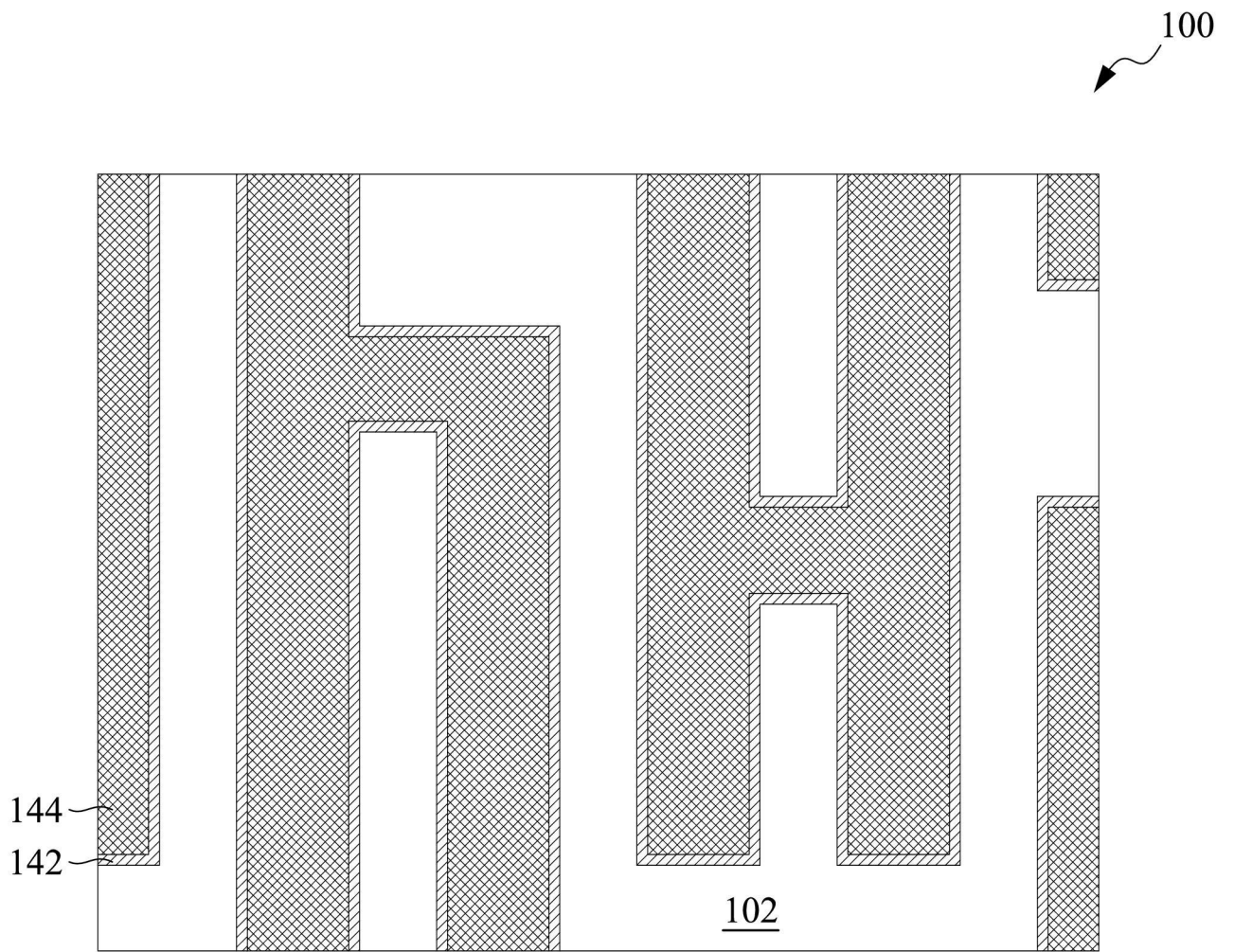
第 6 圖



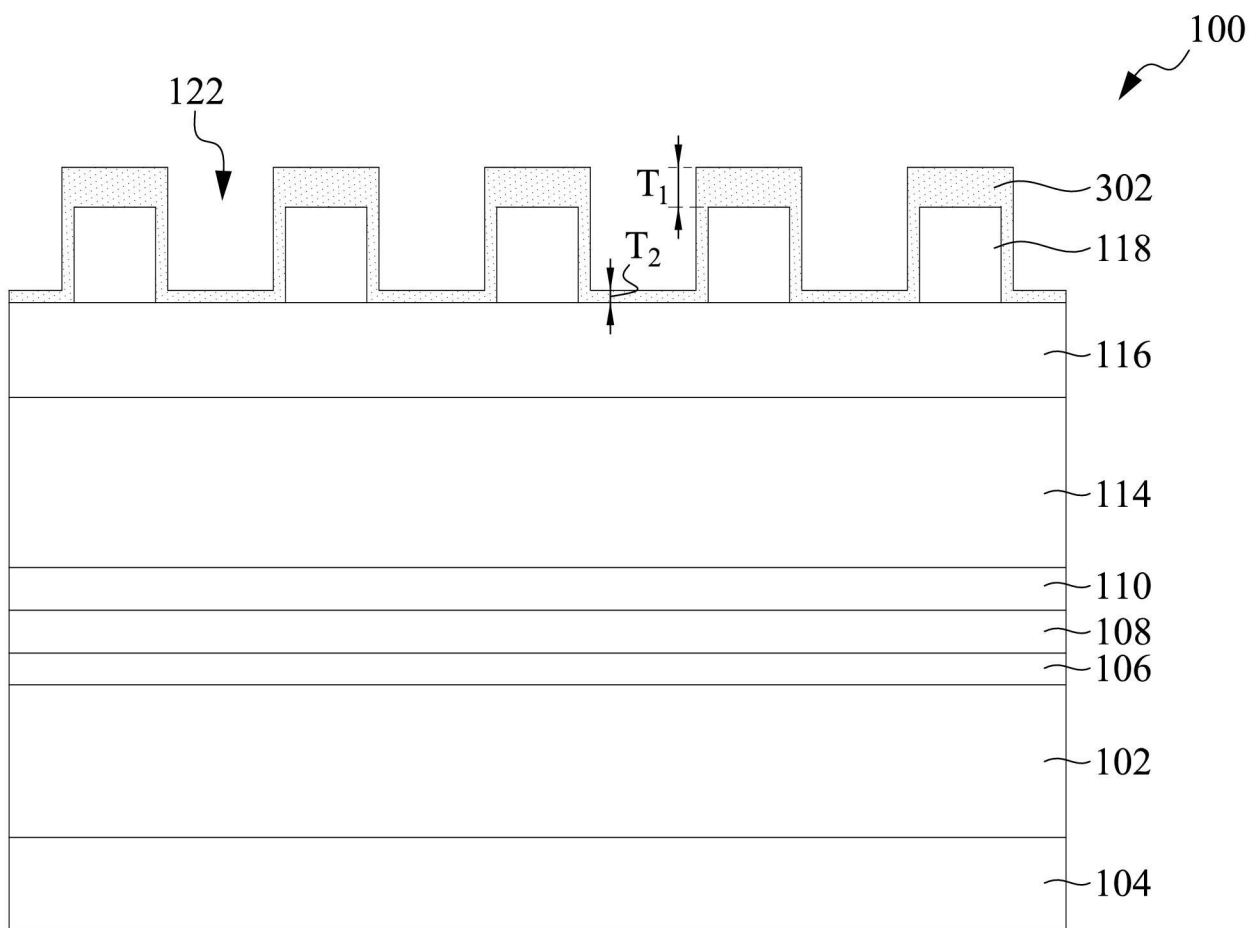
第 7 圖



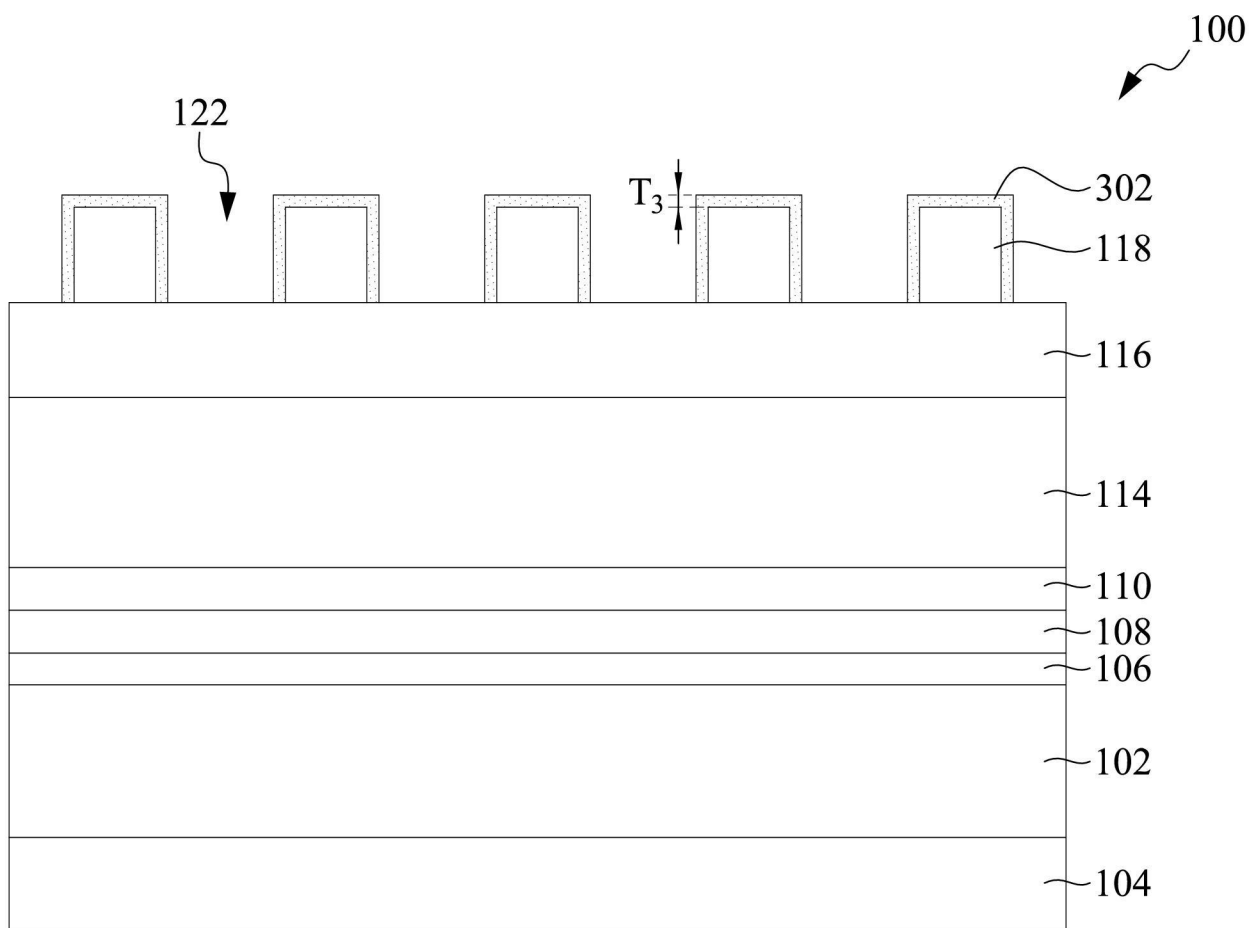
第 8 圖



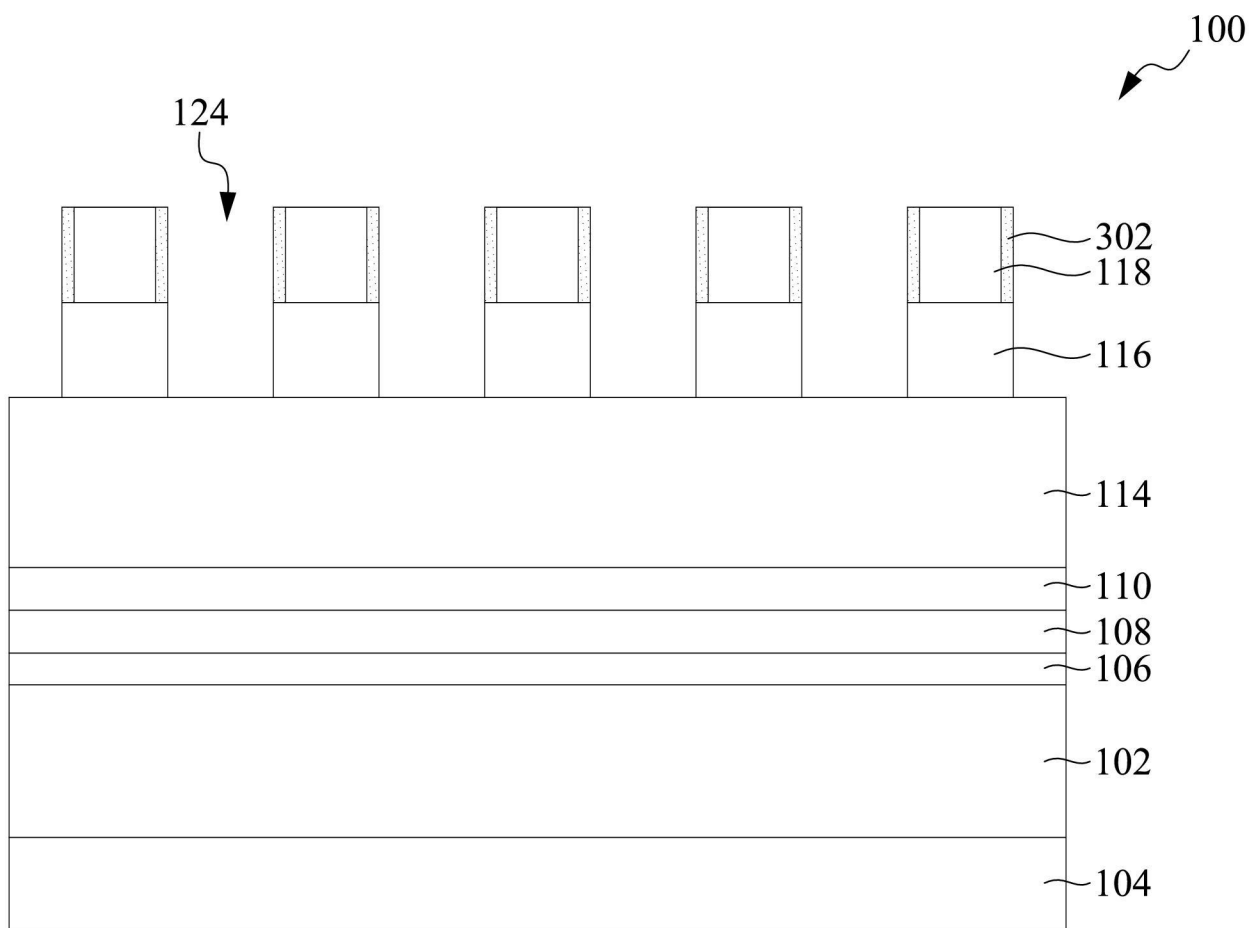
第 9 圖



第 10 圖



第 11 圖



第 12 圖