



(12) 发明专利申请

(10) 申请公布号 CN 106158652 A

(43) 申请公布日 2016. 11. 23

(21) 申请号 201510184725. 5

(22) 申请日 2015. 04. 17

(71) 申请人 北大方正集团有限公司

地址 100871 北京市海淀区成府路 298 号中
关村方正大厦 9 层

申请人 深圳方正微电子有限公司

(72) 发明人 赵圣哲

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 张莲莲 黄健

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

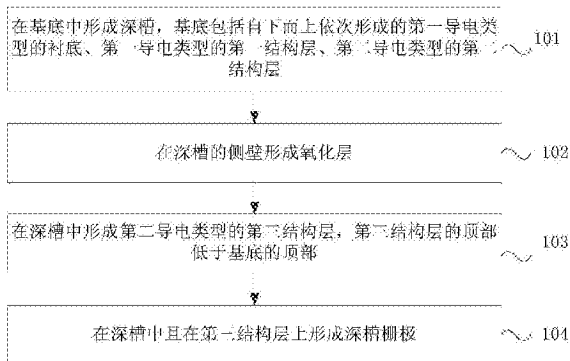
权利要求书1页 说明书5页 附图6页

(54) 发明名称

MOSFET 器件的制作方法

(57) 摘要

本发明提供一种 MOSFET 器件的制作方法, 包括: 在基底中形成深槽, 所述基底包括自下而上依次包括第一导电类型的衬底、第一导电类型的第一结构层、第二导电类型的第二结构层; 在所述深槽的侧壁形成氧化层; 在所述深槽中形成第二导电类型的第三结构层, 所述第三结构层的顶部低于所述基底的顶部; 在所述深槽中且在所述第三结构层上形成深槽栅极。根据本发明的 MOSFET 器件的制作方法, 不仅能够减小 MOSFET 器件的体积, 还能够降低 MOSFET 器件的生产成本。



1. 一种 MOSFET 器件的制作方法,其特征在于,包括:

在基底中形成深槽,所述基底包括自下而上依次形成的第一导电类型的衬底、第一导电类型的第一结构层、第二导电类型的第二结构层;

在所述深槽的侧壁形成氧化层;

在所述深槽中形成第二导电类型的第三结构层,所述第三结构层的顶部低于所述基底的顶部;

在所述深槽中且在所述第三结构层上形成深槽栅极。

2. 根据权利要求 1 所述的 MOSFET 器件的制作方法,其特征在于,在所述深槽中形成第二导电类型的第三结构层之后,且在所述深槽中且在所述第三结构层上形成深槽栅极之前,还包括:

在所述第三结构层上形成隔离层。

3. 根据权利要求 2 所述的 MOSFET 器件的制作方法,其特征在于,在所述基底中形成深槽包括:

在所述基底上形成掩膜层;

以所述掩膜层为掩膜,对所述基底进行刻蚀直至露出所述衬底,形成所述深槽。

4. 根据权利要求 3 所述的 MOSFET 器件的制作方法,其特征在于,所述在所述深槽的侧壁形成氧化层包括:

对所述深槽进行热氧化,在所述深槽的侧壁和底部形成氧化层;

采用刻蚀方式,去除所述底部的氧化层。

5. 根据权利要求 3 或 4 所述的 MOSFET 器件的制作方法,其特征在于,在所述深槽中形成第二导电类型的第三结构层包括:

采用外延方式,在所述深槽内形成第二导电类型的外延层;

对所述外延层进行回刻,以使所述外延层的顶部低于所述基底的顶部。

6. 根据权利要求 5 所述的 MOSFET 器件的制作方法,其特征在于,所述在所述深槽中且在所述第三结构层上形成深槽栅极包括:

在所述隔离层上沉积深槽栅极材料层,并对所述深槽栅极材料层进行回刻,形成深槽栅极,所述深槽栅极的顶部与所述基底的顶部齐平。

7. 根据权利要求 1 所述的 MOSFET 器件的制作方法,其特征在于,在所述深槽中且在所述第三结构层上形成深槽栅极之后,还包括:

在所述基底上且在两个所述深槽栅极之间形成浅槽,并对所述浅槽进行离子注入。

8. 根据权利要求 7 所述的 MOSFET 器件的制作方法,其特征在于,在对所述浅槽进行离子注入之后,还包括:

在所述浅槽中形成金属层。

MOSFET 器件的制作方法

技术领域

[0001] 本发明涉及半导体技术,尤其涉及一种 MOSFET 器件的制作方法。

背景技术

[0002] 在 MOSFET (金属氧化物半导体场效应晶体管, Metal Oxide Semiconductor Field Effect Transistor, MOSFET) 器件中,一般通过减小器件的导通电阻来减小功率损耗。

[0003] 而由于击穿电压与导通电阻成反比关系,所以当导通电阻减小时,会对击穿电压产生不利的影响。为了解决这一问题,现有技术中引入了超结功率 MOSFET,其包括位于超结型功率 MOSFET 的有源区以下、交替形成的 P 型区和 N 型区。超结型功率 MOSFET 中交替的 P 型区和 N 型区在理想状态下,应该处于电荷平衡状态,从而 P 型区和 N 型区在反向电压条件下相互耗尽,耐击穿性较好。

[0004] 现有的 MOSFET 器件中,深槽栅极设置在两个 P 型柱形成的 P 型区之间,即设置在 N 型柱形成的 N 型区的上方,而各深槽栅极之间需要间隔一定的距离且深槽栅极之间还具有浅槽栅极,这样就导致 MOSFET 器件整体的体积较大, MOSFET 器件的微型化有待提高。

发明内容

[0005] 本发明提供一种 MOSFET 器件的制作方法,以尽量解决现有技术中 MOSFET 器件的体积较大的问题。

[0006] 本发明提供一种 MOSFET 器件的制作方法,包括:

[0007] 在基底中形成深槽,所述基底包括自下而上依次包括第一导电类型的衬底、第一导电类型的第一结构层、第二导电类型的第二结构层;

[0008] 在所述深槽的侧壁形成氧化层;

[0009] 在所述深槽中形成第二导电类型的第三结构层,所述第三结构层的顶部低于所述基底的顶部;

[0010] 在所述深槽中且在所述第三结构层上形成深槽栅极。

[0011] 如上所述的 MOSFET 器件的制作方法,可选地,在所述深槽中形成第二导电类型的第三结构层之后,且在所述深槽中且在所述第三结构层上形成深槽栅极之前,还包括:

[0012] 在所述第三结构层上形成隔离层。

[0013] 如上所述的 MOSFET 器件的制作方法,可选地,在所述基底中形成深槽包括:

[0014] 在所述基底上形成掩膜层;

[0015] 以所述掩膜层为掩膜,对所述基底进行刻蚀直至露出所述衬底,形成所述深槽。

[0016] 如上所述的 MOSFET 器件的制作方法,可选地,所述在所述深槽的侧壁形成氧化层包括:

[0017] 对所述深槽进行热氧化,在所述深槽的侧壁和底部形成氧化层;

[0018] 采用刻蚀方式,去除所述底部的氧化层。

[0019] 如上所述的 MOSFET 器件的制作方法,可选地,在所述深槽中形成第二导电类型的

第三结构层包括：

[0020] 采用外延方式，在所述深槽内形成第二导电类型的外延层；

[0021] 对所述外延层进行回刻，以使所述外延层的顶部低于所述基底的顶部。

[0022] 如上所述的 MOSFET 器件的制作方法，可选地，所述在所述深槽中且在所述第三结构层上形成深槽栅极包括：

[0023] 在所述隔离层上沉积深槽栅极材料层，并对所述深槽栅极材料层进行回刻，形成深槽栅极，所述深槽栅极的顶部与所述基底的顶部齐平。

[0024] 如上所述的 MOSFET 器件的制作方法，可选地，在所述深槽中且在所述第三结构层上形成深槽栅极之后，还包括：

[0025] 在所述基底上且在两个所述深槽栅极之间形成浅槽，并对所述浅槽进行离子注入。

[0026] 如上所述的 MOSFET 器件的制作方法，可选地，在对所述浅槽进行离子注入之后，还包括：

[0027] 在所述浅槽中形成金属层。

[0028] 由上述技术方案可知，本发明提供的 MOSFET 器件的制作方法，通过将深槽栅极放在深槽中，能够减小深槽之间的宽度，进而减小整个 MOSFET 器件的体积，有利于 MOSFET 器件的微型化。而且本实施例的 MOSFET 器件的制作方法，采用一次光刻便可完成深槽栅极的制作，工艺流程简单，成本较低。此外，后续在形成浅槽栅极也采用一次光刻，降低了整体 MOSFET 器件的生产成本。

附图说明

[0029] 图 1 为根据本发明一实施例的 MOSFET 器件的制作方法的流程示意图；

[0030] 图 2A- 图 2J 为根据本发明另一实施例的 MOSFET 器件的制作方法的各个步骤的结构示意图。

具体实施方式

[0031] 实施例一

[0032] 本实施例提供一种 MOSFET 器件的制作方法，如图 1 所示，为根据本实施例的 MOSFET 器件的制作方法的流程示意图。本实施例的 MOSFET 器件的制作方法包括：

[0033] 步骤 101，在基底中形成深槽，基底包括自下而上依次形成的第一导电类型的衬底、第一导电类型的第一结构层、第二导电类型的第二结构层。

[0034] 本实施例中，形成深槽的方式可以是离子刻蚀方式。例如，先在基底上形成掩膜层，并以掩膜层为掩膜，对基底进行刻蚀直至露出衬底，形成深槽。形成掩膜层时，可以采用沉积以及光刻工艺。后续再对该掩膜层进行去除即可。

[0035] 需指出的是，该深槽的可以伸入衬底中，即露出衬底之后，可以继续对衬底进行刻蚀，以使深槽的高度比第一结构层和第二结构层的厚度之和还要大。这样，后续在深槽中形成膜层时，可以减小深槽中的膜层与基底的接触电阻。

[0036] 步骤 102，在深槽的侧壁形成氧化层。

[0037] 具体可以采用沉积或热氧化方式在深槽的侧壁形成氧化层。采用热氧化的方式具

体可以如下：

[0038] 对深槽进行热氧化,在深槽的侧壁和底部形成氧化层；

[0039] 采用刻蚀方式,去除底部的氧化层。

[0040] 步骤 103,在深槽中形成第二导电类型的第三结构层,第三结构层的顶部低于基底

的顶部。
[0041] 具体可以采用沉积或外延方式使第三结构层填充在深槽中。例如,采用外延方式,在深槽内形成第二导电类型的外延层,对外延层进行回刻,以使外延层的顶部低于基底的顶部。该第三结构层具体为柱形。

[0042] 步骤 104,在深槽中且在第三结构层上形成深槽栅极。

[0043] 深槽栅极的顶部可以与基底的顶部齐平。形成深槽栅极的方式可以采用沉积的方式。需指出得是,在形成深槽栅极之前,可以先在第三结构层上形成隔离层,该隔离层可以是栅氧化层,进而在隔离层上形成深槽栅极。该隔离层用于隔离深槽栅极和第三结构层,以避免两者之间相互影响。

[0044] 在步骤 104 之后,还可以包括如下步骤：

[0045] 在基底上且在两个深槽栅极之间形成浅槽,并对浅槽进行离子注入,并在浅槽中形成金属层。

[0046] 形成浅槽时,可以采用光刻工艺以及刻蚀工艺,该浅槽可以作为金属层和基底的隔离阻挡层。该金属层即为浅槽栅极。掩膜层可以在形成金属层之前去除。

[0047] 本实施例中,通过将深槽栅极放在深槽中,能够减小深槽之间的宽度,进而减小整个 MOSFET 器件的体积,有利于 MOSFET 器件的微型化。而且本实施例的 MOSFET 器件的制作方法,采用一次光刻便可完成深槽栅极的制作,工艺流程简单,成本较低。此外,后续在形成浅槽栅极也采用一次光刻,即形成深槽栅极和浅槽栅极的过程中采用了两次光刻,降低了整体 MOSFET 器件的生产成本。

[0048] 实施例二

[0049] 本实施例对上述实施例的 MOSFET 器件的制作方法做进一步补充说明。如图 2A-2J 所示,为根据本实施例的 MOSFET 器件的制作方法的各个步骤的结构示意图。

[0050] 如图 2A 所示,在基底 201 上形成第一氧化层 202。

[0051] 本实施例的基底 201 包括自下而上依次形成的 N 型衬底 2011、N 型外延层 2012 和 P 型外延层 2013。需指出的是,本实施例仅以示例性方式示出基底 201,基底 201 所示出的内容能够通过将 N 型掺杂物 and 材料替换为相应的 P 型掺杂物 and 材料,反之亦然。

[0052] 基底 201 的形成方式可以是先形成 N 型衬底 2011,再在 N 型衬底 2011 上通过外延工艺形成 N 型外延层 2012,然后通过外延工艺在 N 型外延层 2012 上形成 P 型外延层 2013。基底 201 的形成过程中无需采用光刻工艺。

[0053] 第一氧化层 202 的形成方式可以是沉积或者热氧化,具体可以根据实际需要实施相应的工艺,本实施例中不作限定。

[0054] 如图 2B 所示,对第一氧化层 202 进行光刻工艺,以形成掩膜层 203,并以该掩膜层 203 为掩膜,对基底 201 进行刻蚀直至露出衬底 2011,形成深槽 204。

[0055] 本实施例中,深槽 204 的高度大于 N 型外延层 2012 和 P 型外延层 2013 的厚度之和,即深槽 204 的底部位于 N 型衬底 2011 中。

[0056] 如图 2C 所示,对深槽 204 进行热氧化,在深槽 204 的侧壁和底部形成第二氧化层 205。

[0057] 由于掩膜层 203 也存在,因此在掩膜层 203 的侧壁也可以形成第二氧化层 205。

[0058] 如图 2D 所示,对第二氧化层 205 进行回刻,去除深槽 204 的底部的第二氧化层 205。

[0059] 去除深槽 204 的底部的第二氧化层 205 之后,在深槽的侧壁留下剩余的第二氧化层 205。

[0060] 如图 2E 所示,采用外延方式,在深槽 204 内形成 P 型外延层 206。

[0061] 形成 P 型外延层 206 时,可以如图 2E 所示,在深槽 204 内且在掩膜层 203 的上表面形成 P 型外延层 206,以避免 P 型外延层 206 厚度不够的情况。

[0062] 如图 2F 所示,对 P 型外延层 206 进行回刻,以使 P 型外延层 206 的顶部低于基底 201 的顶部。

[0063] 回刻工艺属于现有技术,在此不再赘述。本实施例中,采用回刻工艺,使 P 型外延层 206 的顶部低于基底 201 的顶部,以预留出空间用于容纳接下来制作的深槽栅极。

[0064] 如图 2G 所示,对 P 型外延层 206 进行氧化,在 P 型外延层 206 的表面形成第三氧化层 207。

[0065] 该第三氧化层 207 即为隔离层,用于隔离 P 型外延层 206 和接下来制作的深槽栅极。P 型外延层 206 即 P 型柱。

[0066] 如图 2H 所示,在第三氧化层 207 上沉积多晶硅材料,并对多晶硅材料进行回刻,形成深槽栅极 208。

[0067] 本实施例中,由于进行到该步骤时仍未去除掩膜层 203,因此,对多晶硅材料进行回刻时,该多晶硅材料的顶部与掩膜层 203 的顶部齐平,即深槽栅极 208 的顶部与掩膜层 203 的顶部齐平,后续再进行使深槽栅极 208 的顶部与基底 201 的顶部齐平的工艺。

[0068] 需指出的是,若在该步骤之前,掩膜层 203 已经被去除,则该步骤的深槽栅极 208 的顶部直接与基底 201 的顶部齐平。

[0069] 如图 2I 所示,在基底 201 上且在两个深槽栅极 208 之间形成浅槽 209,并对浅槽 209 进行 P⁺ 离子注入,形成 P 型离子注入区 210。

[0070] 如图 2J 所示,去除掩膜层 203,并进行离子注入形成源区 211,并进行形成介质层 213,以及在浅槽 209 内形成金属层 212 作为浅槽栅极。

[0071] 该掩膜层 203 的去除方式可以采用离子刻蚀方式或者机械抛光方式,具体可以根据实际需要设定,在此不做限定。

[0072] 需指出的是,去除掩膜层 203 的操作可以在进行离子注入形成源区 211 之前任何步骤进行,本实施例仅以示例性方式示出去除掩膜层 203 的步骤。

[0073] 具体地,在形成源区 211 之后,可以先在去除掩膜层 203 的基底 201 的表面形成介质层 213,并进行光刻,露出浅槽 209。接着在浅槽 209 中通过沉积、刻蚀工艺形成金属层 212,具体属于现有技术,在此不再赘述。

[0074] 通过本实施例的 MOSFET 器件的制作方法,通过将深槽栅极 208 放在深槽 204 中,能够减小深槽 204 之间的宽度,进而减小整个 MOSFET 器件的体积,有利于 MOSFET 器件的微型化。而且本实施例的 MOSFET 器件的制作方法,采用两次光刻便可完成深槽栅极 208 和浅

槽栅极 212 的制作,工艺流程简单,成本较低。

[0075] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0076] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

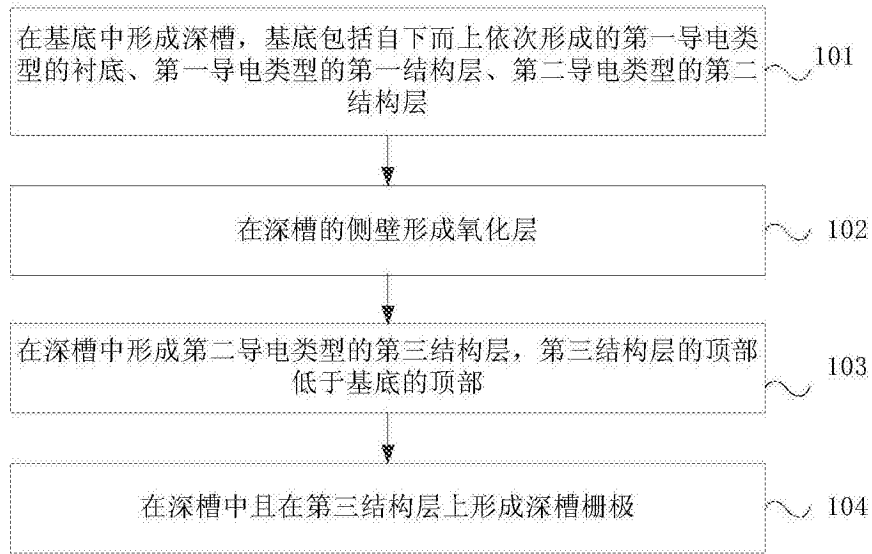


图 1

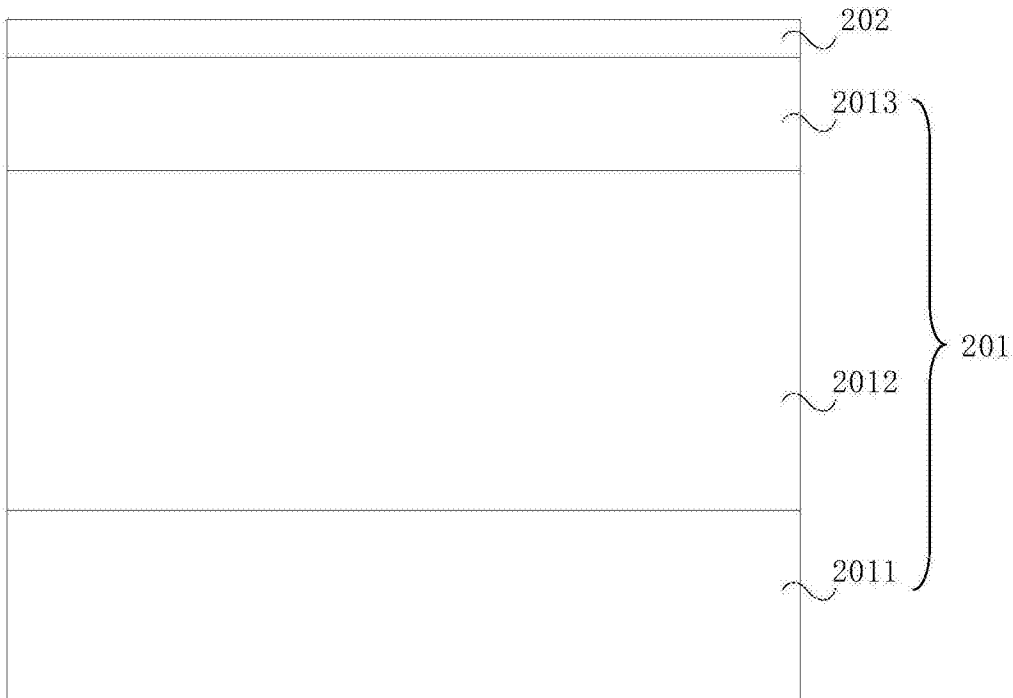


图 2A

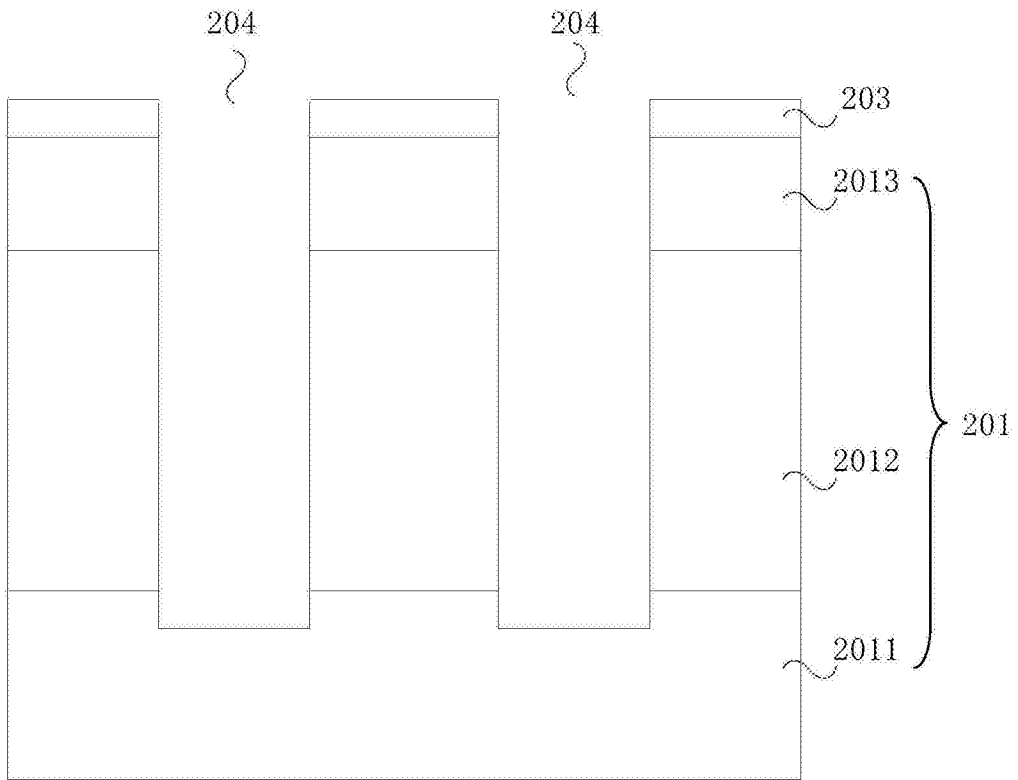


图 2B

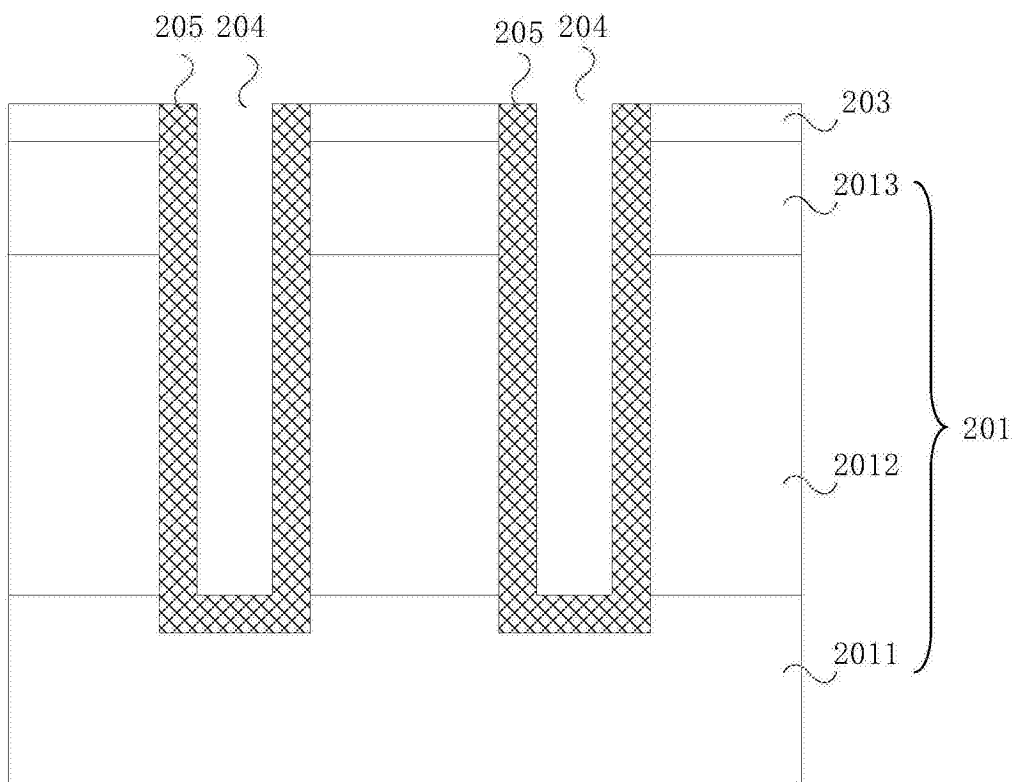


图 2C

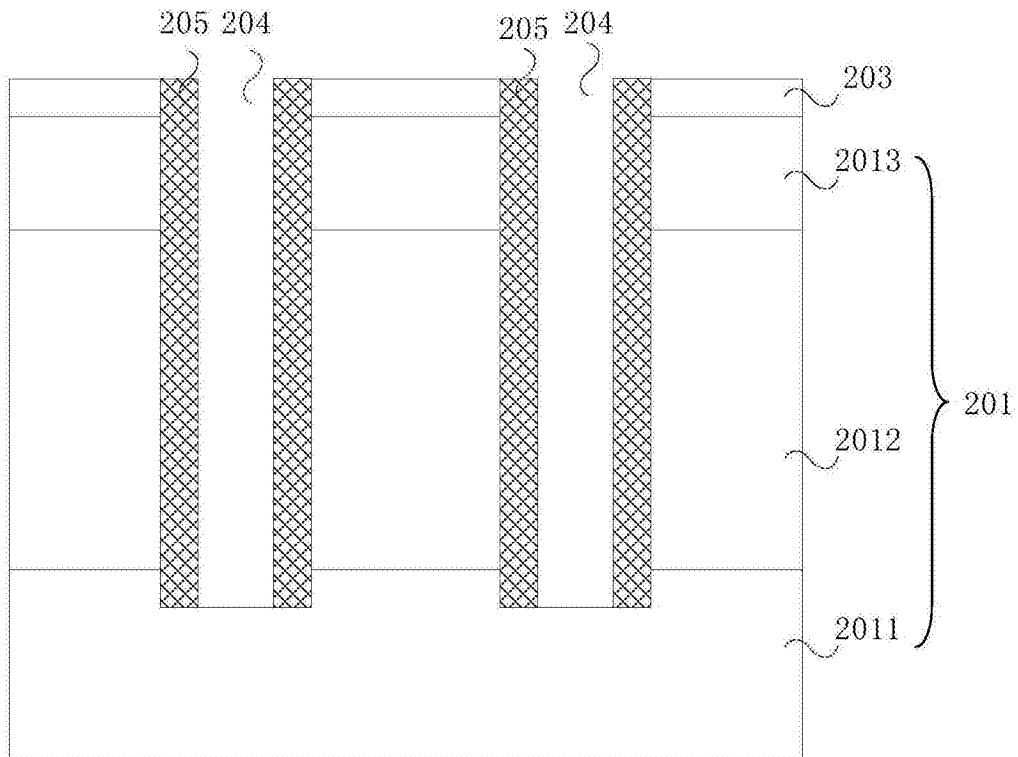


图 2D

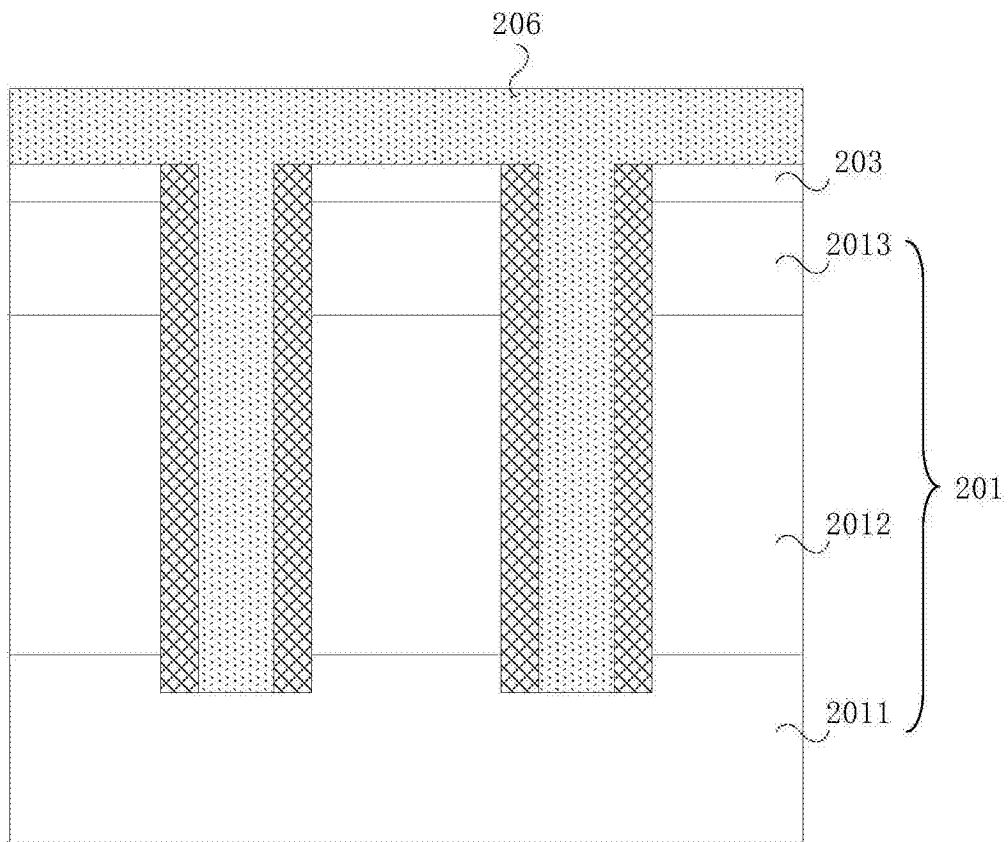


图 2E

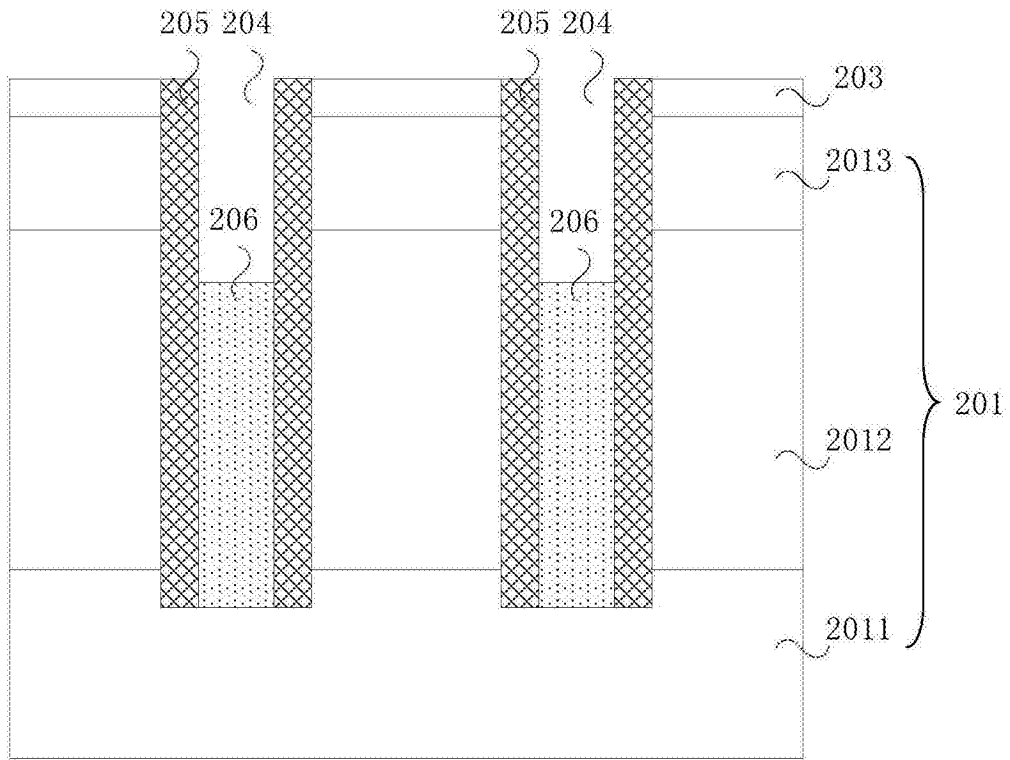


图 2F

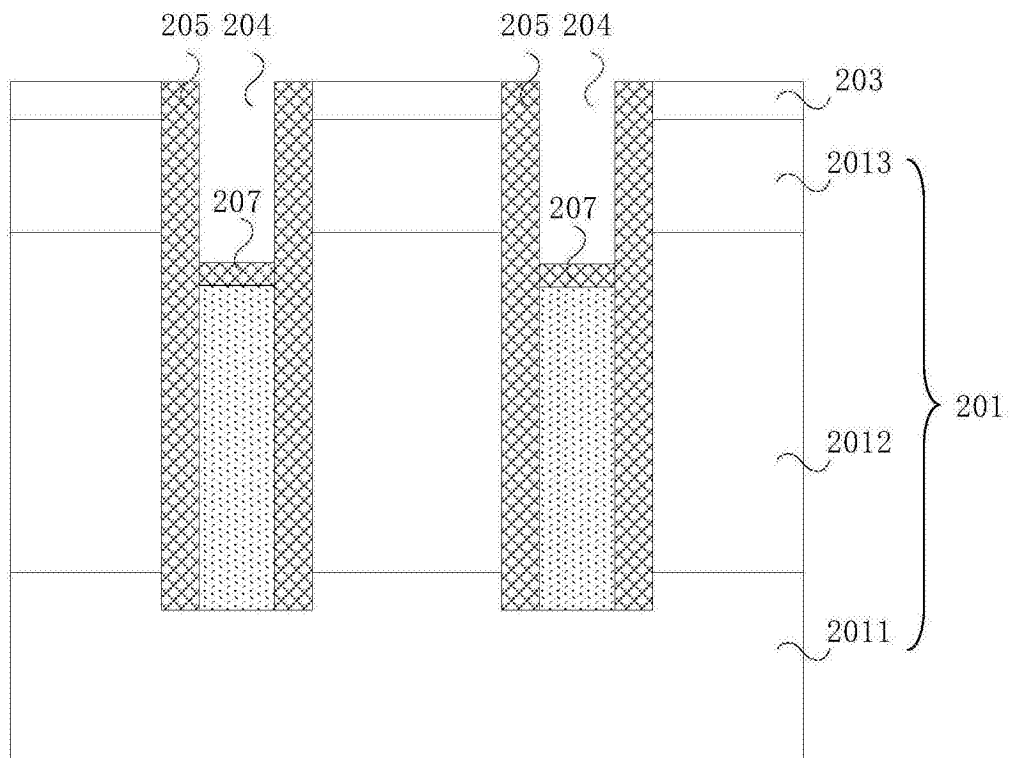


图 2G

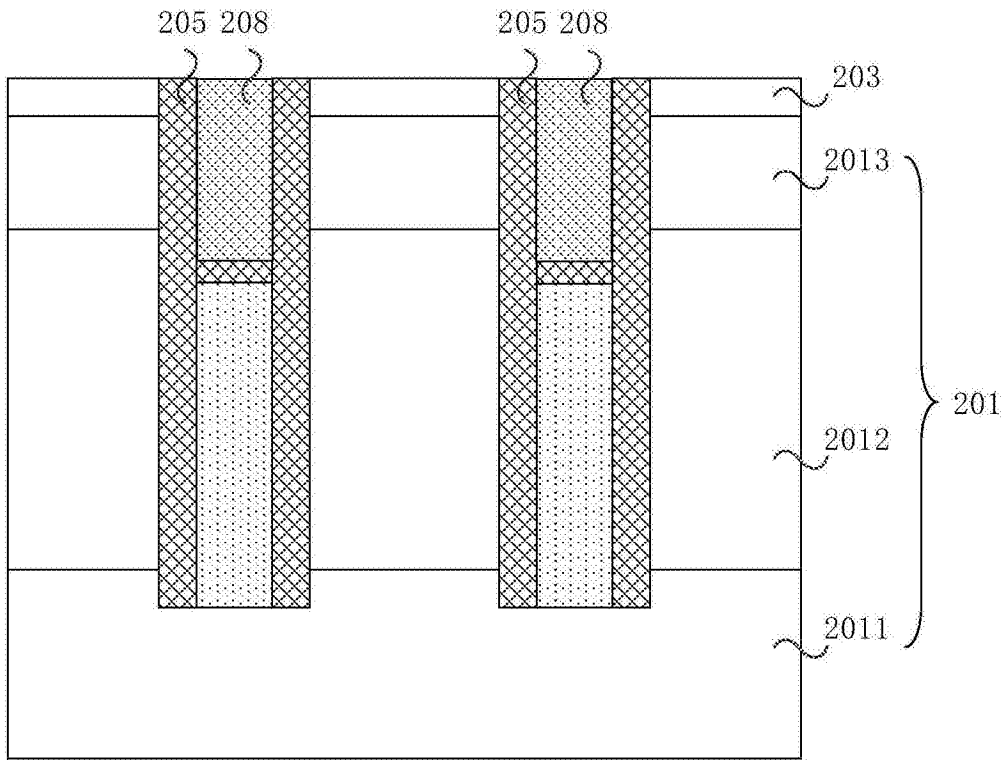


图 2H

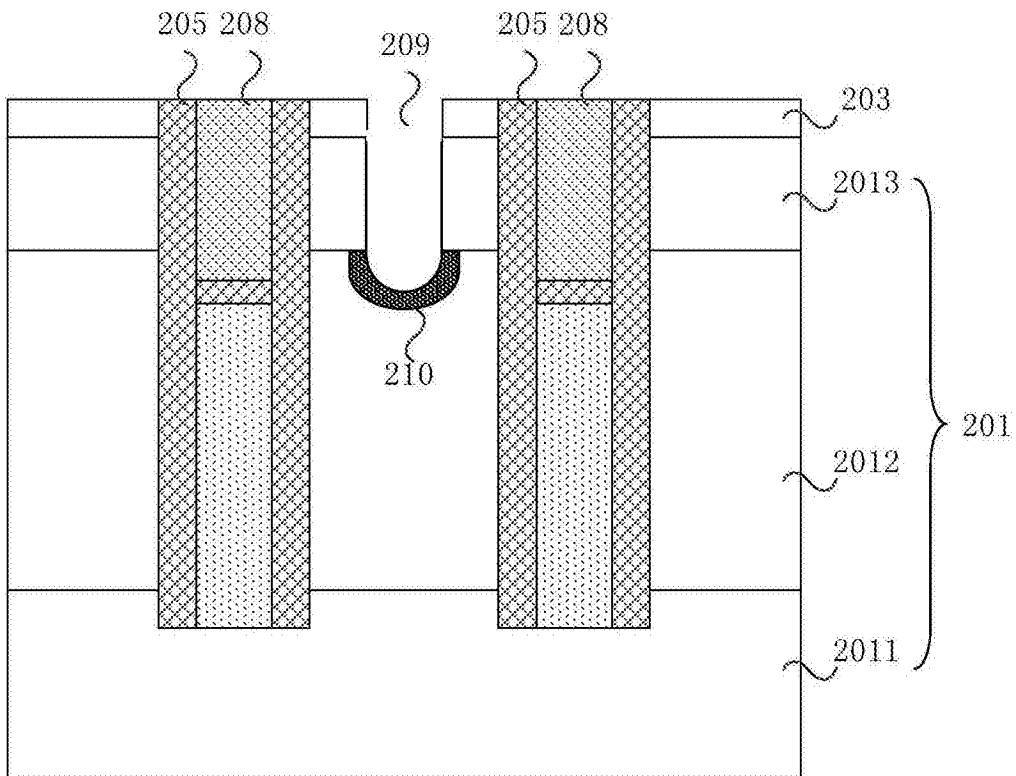


图 2I

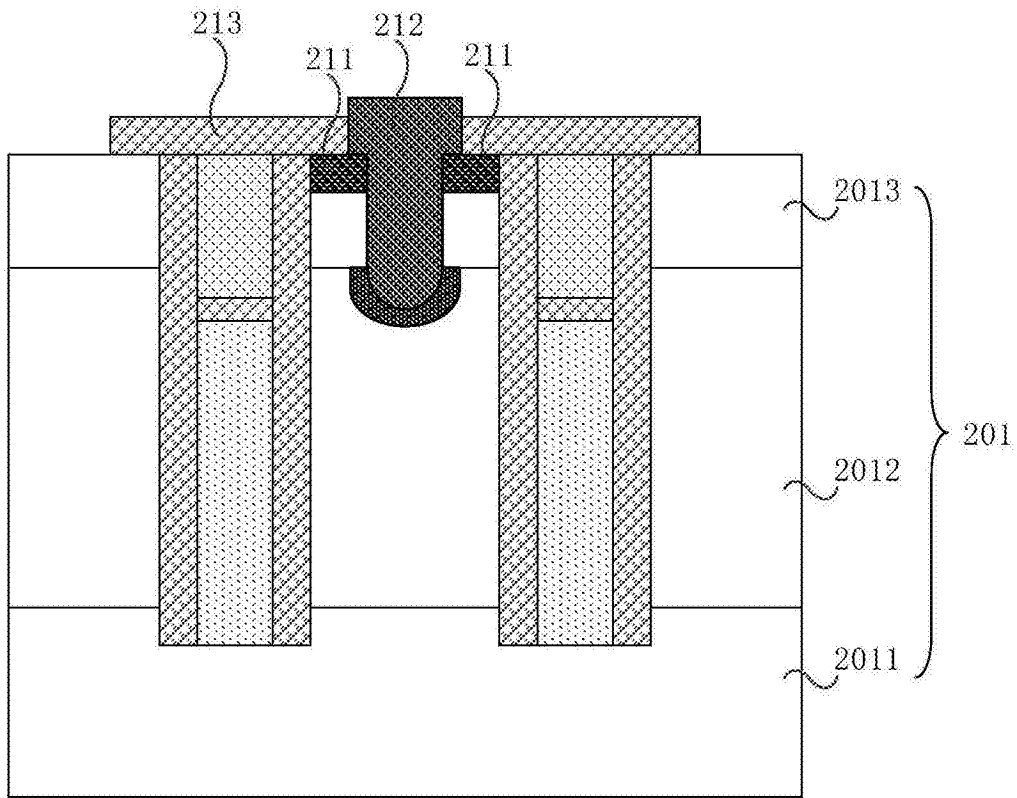


图 2J