



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201106264 A1

(43) 公開日：中華民國 100 (2011) 年 02 月 16 日

(21) 申請案號：099125572

(22) 申請日：中華民國 99 (2010) 年 08 月 02 日

(51) Int. Cl. : **G06F9/38 (2006.01)**

(30) 優先權：2009/08/07 美國 61/232,084

2009/10/15 美國 12/579,931

(71) 申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

臺北縣新店市中正路 535 號 8 樓

(72) 發明人：虎克 羅德尼 E HOOKER, RODNEY E. (US) ; 吉爾 約翰 麥可 GREER, JOHN MICHAEL (US)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：26 項 圖式數：11 共 38 頁

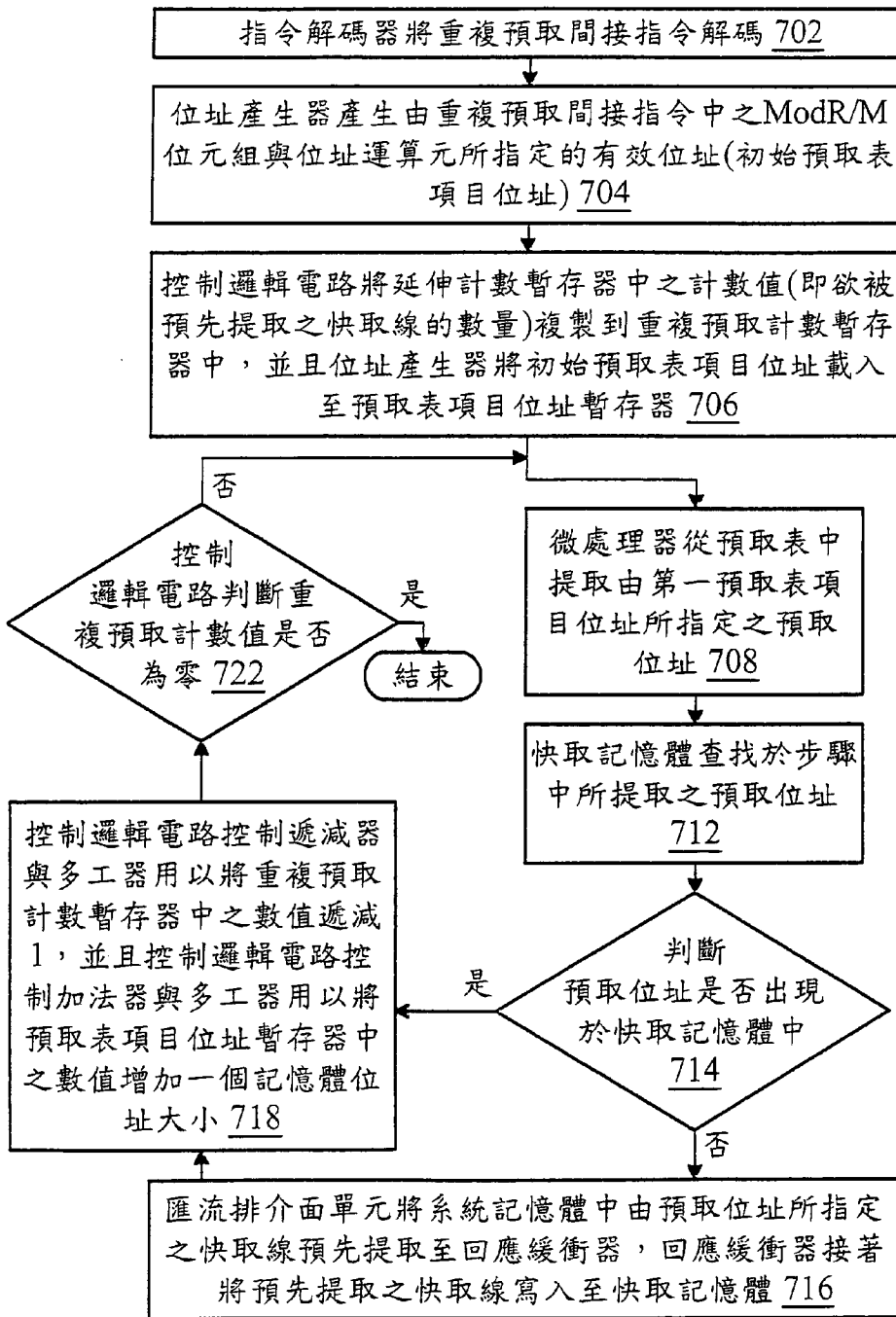
(54) 名稱

微處理器以及預取資料至微處理器的方法

MICROPROCESSOR AND METHOD FOR PREFETCHING DATA INTO A MICROPROCESSOR

(57) 摘要

本發明提供一種微處理器，包括一指令解碼器用以解碼一指令集中之複數指令，其中指令集包括一重複預取間接指令。重複預取間接指令包括複數位址運算元以及一計數值，微處理器使用位址運算元來計算一預取表中之第一項目之一位址，其中預取表具有複數項目，並且預取表中之各個項目包括一預取位址。計數值用以指定欲被預取之複數快取線的數量，其中快取線之每一者的一記憶體位址係由項目中之一者中的預取位址所指定。





(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201106264 A1

(43) 公開日：中華民國 100 (2011) 年 02 月 16 日

(21) 申請案號：099125572

(22) 申請日：中華民國 99 (2010) 年 08 月 02 日

(51) Int. Cl. : **G06F9/38 (2006.01)**

(30) 優先權：2009/08/07 美國 61/232,084

2009/10/15 美國 12/579,931

(71) 申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

臺北縣新店市中正路 535 號 8 樓

(72) 發明人：虎克 羅德尼 E HOOKER, RODNEY E. (US) ; 吉爾 約翰 麥可 GREER, JOHN MICHAEL (US)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：26 項 圖式數：11 共 38 頁

(54) 名稱

微處理器以及預取資料至微處理器的方法

MICROPROCESSOR AND METHOD FOR PREFETCHING DATA INTO A MICROPROCESSOR

(57) 摘要

本發明提供一種微處理器，包括一指令解碼器用以解碼一指令集中之複數指令，其中指令集包括一重複預取間接指令。重複預取間接指令包括複數位址運算元以及一計數值，微處理器使用位址運算元來計算一預取表中之第一項目之一位址，其中預取表具有複數項目，並且預取表中之各個項目包括一預取位址。計數值用以指定欲被預取之複數快取線的數量，其中快取線之每一者的一記憶體位址係由項目中之一者中的預取位址所指定。

六、發明說明：

【發明所屬之技術領域】

本發明係關於微處理器，特別是關於微處理器中之預先提取(prefetching)。

【先前技術】

美國專利第 6,832,296 號揭露了適用於 x86 架構之預取指令(prefetch instruction)，上述預取指令利用重複前置碼(REP prefix)將記憶體中之複數條序列快取線(cache lines)預先提取至處理器之快取記憶體中。換言之，處理器之通用暫存器中具有複數條由計數值(count)所指定之序列快取線。然而，程式設計者知道會有想要預先提取記憶體中之非連續快取線的情況，其中非連續快取線代表這些快取線的位置是任意的。若一個程式想要預先提取複數條非連續快取線，則此程式必須包含多個上述美國專利所提及的預取(REP PREFETCH)指令。然而，這會增加程式碼長度(code size)並使得處理器需要執行複數指令而不是單一指令。因此，我們需要一種改良的預取指令用以解決這些問題。

【發明內容】

本發明提供一種微處理器，該微處理器包括一指令解碼器。指令解碼器用以解碼一指令集中之複數指令，其中指令集包括一重複預取間接指令。重複預取間接指令包括複數位址運算元以及一計數值。微處理器使用位址運算元來計算一預取表中之第一項目之一位址，其中預取表具

有複數項目，並且預取表中之各個項目包括一預取位址。計數值用以指定欲被預取之複數快取線的數量，其中快取線之每一者的記憶體位址係由項目中之一者中的預取位址所指定。

本發明提供另一種微處理器，該微處理器係位於具有一系統記憶體之一系統中。微處理器包括一指令解碼器、一計數暫存器以及一控制邏輯電路。指令解碼器用以解碼一預取指令，預取指令指定一計數值與用以指向一表格之一位址，其中計數值表示欲從系統記憶體中預取之複數快取線的數量，並且表格用以儲存快取線之複數記憶體位址。計數暫存器用以儲存一剩餘計數值，剩餘計數值表示欲被預取之快取線的一剩餘數量，其中計數暫存器一開始即具有被指定在預取指令中之計數值。控制邏輯電路耦接至指令解碼器與計數暫存器，控制邏輯電路使用計數暫存器與從表格中所提取之記憶體位址，用以控制微處理器將表格中之快取線的記憶體位址提取至微處理器，並且控制微處理器將系統記憶體中之快取線預取至微處理器之一快取記憶體。

本發明提供另一種預取資料至微處理器的方法，該微處理器係位於具有一系統記憶體之一系統中。上述方法包括解碼一預取指令，預取指令指定一計數值與用以指向一表格之一位址，其中計數值表示欲從系統記憶體中預取之複數快取線的數量，並且表格用以儲存快取線之複數記憶體位址。上述方法更包括儲存一剩餘計數值，其中剩餘計數值表示欲被預取之快取線的一剩餘數量，並且剩餘計數

值之一初始值係為被指定在預取指令中之計數值。上述方法更包括使用剩餘計數值與表格中之記憶體位址，用以將系統記憶體中之快取線預取至微處理器之一快取記憶體。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

為了解決上述問題，本發明提供一新的預取指令使得程式設計者能夠在記憶體中建立一預取表(如第 6 圖之預取表 600 與第 10 圖之預取表 1000)，其中預取表 600 中之各個項目(entry)用以指定欲被預先提取之快取線的預取位址。此外，本發明所提供之新的預取指令可使程式設計者能夠指定欲被處理器所預先提取之複數條非連續快取線。在本發明中，係以重複預取間接(REP PREFETCH INDIRECT)指令 500(參考第 5 圖)來表示上述新的預取指令。

第 1 圖係為本發明實施例之微處理器 100 的方塊圖，此微處理器 100 能夠執行一重複預取間接指令。由於微處理器 100 在許多方面與美國專利第 6,832,296 號之第 1 圖中的微處理器 100(之後簡稱“習知微處理器”)類似，因此本文係以引用方式將“習知微處理器”併入本文中。但值得注意的是，本發明所揭露之微處理器 100 具有額外特徵——能夠執行重複預取間接指令。以下列出本發明之微處理器 100 與習知微處理器的差別：

第一，微處理器 100 以預取表項目位址(Prefetch Table Entry Address; PTEA)暫存器 122 取代習知微處理器中之重複預取位址(Repeat Prefetch Address; RPA)暫存器 122，用以儲存目前所使用之預取表 600 的項目的位址。因此，預取表項目位址暫存器 122 提供一第一預取表項目位址 186 至多工器(MUX) 146，而習知微處理器則提供一預取位址。

第二，多工器 146 被改造用以額外接收來自快取記憶體 154 之預取位址 194。

第三，多工器 116 被改造用以額外接收來自快取記憶體 154 之第二預取表項目位址 197。

第四，加法器 126 被改造用以將第一預取表項目位址 186 增加一個記憶體位址大小(例如 4 位元組)，而不是增加一條快取線大小。

第 2 圖係為習知技術之奔騰 III 預取指令的方塊圖。

第 3 圖係為習知技術之奔騰 III 字串指令的方塊圖。

第 4 圖係為習知技術之重複預取指令的方塊圖。

第 5 圖係為本發明實施例之重複預取間接指令的方塊圖。重複預取間接指令 500 在許多方面與第 4 圖之習知微處理器的重複預取指令 400 類似。以下將列出本發明之重複預取間接指令 500 與重複預取指令 400 的差別之處。重複預取間接指令 500 之運算碼欄位 504 的值不同於重複預取指令 400 之運算碼欄位 404 的值，使得指令解碼器 102 能夠區分這兩個指令。在另一實施例中，重複預取間接指令 500 與重複預取指令 400 共用相同的運算碼的值，不過重複預取間接指令 500 包含一額外的前置碼用以與重複預

取指令 400 區別。此外，重複預取間接指令 500 之位址運算元(address operands) 508 係用來指定初始之預取表 600 項目的記憶體位址，而不是指定初始之預取位址。

第 6 圖係為本發明實施例之預取表的方塊圖。預取表 600 包含複數個項目，各個項目包含一預取位址 602 用以指向記憶體中之快取線 604，換言之，預取位址 602 係為快取線 604 之記憶體位址。如第 6 圖所示，預取表 600 中的預取位址 602 係彼此相鄰。因此，第 1 圖中之加法器 126 將第一預取表項目位址 186 增加一個記憶體位址大小，用以指向預取表 600 中的下一個預取位址 602。在另一實施例中(參考第 8~11 圖)，預取表 600 之預取位址 602 是非連續(non-sequential)的。

請參考第 7 圖，第 7 圖係為第 1 圖中之微處理器 100 執行重複預取間接指令 500 的操作流程圖。流程從步驟 702 開始。

在步驟 702 中，指令解碼器 102 將重複預取間接指令 500 解碼。流程前進至步驟 704。

在步驟 704 中，位址產生器 114 產生由重複預取間接指令 500 中之 ModR/M 位元組 406 與位址運算元 508 所指定的有效位址(初始預取表項目位址)108。初始預取表項目位址 108 代表預取表 600 中之第一個項目的記憶體位址。流程前進至步驟 706。

在步驟 706 中，控制邏輯電路 144 將延伸計數(Extended Count；ECX)暫存器 106 中之計數值(即欲被預先提取之快取線的數量)複製到重複預取計數(Repeat Prefetch Count；

RPC)暫存器 124 中。此外，位址產生器 114 將初始預取表項目位址 108 載入至預取表項目位址暫存器 122。計數值係藉由位於重複預取間接指令 500 之前的一指令載入至延伸計數暫存器 106。流程前進至步驟 708。

在步驟 708 中，微處理器 100 從預取表 600 中提取由第一預取表項目位址 186 所指定之預取位址 602。值得注意的是，預取位址 602 可能已經位於快取記憶體 154 中。仔細而言，在本實施例中，當微處理器 100 從預取表 600 中提取第一個預取位址 602 時，與第一預取表項目位址 186 有關的整條快取線會被提取。因此，在提取初始之預取表 600 的項目中之初始的預取位址 602 之後，預取表 600 中的後幾個預取位址 602 可能會位於快取記憶體 154 中，而此現象會隨著預取動作之執行而持續。若預取位址 602 尚未位於快取記憶體 154 中，則匯流排介面單元 172 會將系統記憶體中之預取位址 602 提取至回應緩衝器(response buffer)166，用以依序地將預取位址 602 引退至快取記憶體 154 中。在另一實施例中，為了避免使用預取位址 602 來破壞(pollute)快取記憶體 154，預取位址 602 並沒有被引退至快取記憶體 154。相反地，回應緩衝器 166(或其他中間儲存(intermediate storage)位置)將此預取位址 602 提供至多工器 146 用以完成步驟 712 到步驟 716 的動作，當完成步驟 712 到步驟 716 後再將預取位址 602 丟棄(discard)。流程前進至步驟 712。

在步驟 712 中，快取記憶體 154 查找(look up)於步驟 708 中所提取之預取位址 602，其中快取記憶體 154(或回應

緩衝器 166 或其他中間儲存位置)將此預取位址 602 作為預取位址 194 用以提供至多工器 146。流程前進至判斷步驟 714。

在判斷步驟 714 中，若預取位址 194 出現於(hits in)快取記憶體 154，則流程前進至步驟 718。若預取位址 194 未出現於快取記憶體 154，則流程前進至步驟 716。

在步驟 716 中，匯流排介面單元 172 將系統記憶體中由預取位址 194 所指定之快取線 604 預先提取至回應緩衝器 166，回應緩衝器 166 接著將預先提取之快取線 604 寫入至快取記憶體 154。流程前進至步驟 718。

在步驟 718 中，控制邏輯電路 144 控制遞減器 (decrementer) 128 與多工器 118 用以將重複預取計數暫存器 124 中之數值遞減 1。此外，控制邏輯電路 144 控制加法器 126 與多工器 116 用以將預取表項目位址暫存器 122 中之數值增加一個記憶體位址大小。流程前進至判斷步驟 722。

在判斷步驟 722 中，控制邏輯電路 144 判斷重複預取計數值 188 是否為零。若為零，則流程結束；若不為零，則流程回到步驟 708 用以完成預取下一條快取線 604 之動作。

雖然第 7 圖中並未描述關於本發明之微處理器 100 的其他實施例，但這些實施例以下所描述的特徵，例如在轉譯查詢緩衝器 (Translation Lookaside Buffer; TLB) 發生遺漏 (miss) 時停止預取動作，並且在失去仲裁 (arbitration) 或未到達自由請求緩衝器 (free request buffer) 之次臨界數量時重

新執行預取動作。

請參考第 8 圖，第 8 圖係為本發明中微處理器 100 之另一實施例的方塊圖，此微處理器 100 能夠執行一重複預取間接指令 900。第 8 圖之微處理器 100 在許多方面與第 1 圖之微處理器 100 類似。然而，第 8 圖之微處理器 100 係用以執行第 9 圖中之重複預取間接指令 900。重複預取間接指令 900 包含一偏移量(offset value) 902 用以指定各個預取表 600 的項目之間的距離。偏移量 902 有助於程式設計者在記憶體中建立如第 10 圖所示之預取表 1000，其中第 10 圖中之預取表 1000 具有非連續位置之預取位址 602，相關細節將在以下做進一步說明。

請參考回第 8 圖，相較於第 1 圖之微處理器 100，第 8 圖之微處理器 100 包括一偏移暫存器(offset register) 899。偏移暫存器 899 從暫存器檔案(register file) 104 之延伸來源索引(Extended Source Index; ESI)暫存器 896 中接收第 9 圖之偏移量 902，並且將所接收之偏移量 902 提供至加法器 126，使得加法器 126 將預取表項目位址暫存器 122 中之數值增加一個偏移量 902，以便提供下一個預取表項目位址至預取表項目位址暫存器 122。偏移量 902 係藉由位於重複預取間接指令 900 之前的一指令載入至延伸來源索引暫存器 896。

請參考第 11 圖，第 11 圖係為第 8 圖中之微處理器 100 執行重複預取間接指令 900 的操作流程圖。第 11 圖與第 7 圖之操作流程圖類似，以下將列出兩者之間的差別。

步驟 1106 取代了步驟 706，並且在步驟 1106 中，控制

邏輯電路 144 將延伸計數暫存器 106 中之計數值(即欲被預先提取之快取線的數量)複製到重複預取計數暫存器 124 中。此外，位址產生器 114 將初始預取表項目位址 108 載入至預取表項目位址暫存器 122。控制邏輯電路 144 將偏移量 902 載入至偏移暫存器 899。

步驟 1118 取代了步驟 718，並且在步驟 1118 中，控制邏輯電路 144 控制遞減器 128 與多工器 118 用以將重複預取計數暫存器 124 中之數值遞減 1。此外，控制邏輯電路 144 控制加法器 126 與多工器 116 用以將預取表項目位址暫存器 122 中之數值增加一個偏移量 902，而不是增加一個記憶體位址大小。

請參考第 10 圖，第 10 圖係為本發明中預取表之另一實施例的方塊圖。假設預取表 1000 係為一具有複數區間(buckets)或資料結構之開放式雜湊表(open hash table)。各個區間包含兩個欄位，分別為 8 位元組雜湊值(對應至第 10 圖中之“其他資料 1004”)與 4 位元組記憶體位址(對應至第 10 圖中之“預取位址 602”)，其中該 4 位元組記憶體位址係為一雜湊物件指標(hash object pointer)。

雜湊表：

區間[0]:

雜湊值: 8 位元組

雜湊物件指標: 4 位元組

區間[1]:

雜湊值: 8 位元組

雜湊物件指標: 4 位元組

區間[2]:

雜湊值: 8 位元組

雜湊物件指標: 4 位元組

在本實施例中，可利用延伸來源索引暫存器 896 中之數值 8 來執行重複預取間接指令 900，並且重複預取間接指令 900 會略過 8 位元組雜湊值欄位用以提取雜湊物件指標作為預取位址 602。現有的程式中普遍具有此類型之資料結構(即使數值大小會變動)。使程式設計者能夠指定偏移量 902 的優點有助於程式設計者或編譯器使用現有的資料結構(例如雜湊表—預取表 1000)，而不需要另外為重複預取間接指令 900 建立一預取表。

在另一實施例中，程式設計者可在另一個通用暫存器中指定一延遲值(delay value)。若延遲值非為零(non-zero)，則微處理器 100 在執行重複預取間接指令 900 時會延遲各個預取—快取線 604 之疊代(iteration)，其中延遲量係等於被指定在延遲值中之指令的數量。

本發明雖以各種實施例揭露如上，然其僅為範例參考而非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾。舉例而言，可使用軟體來實現本發明所述之裝置與方法的功能、構造、模組化、模擬、描述及/或測試。此目的可透過使用一般程式語言(例如 C、C++)、硬體描述語言(包括 Verilog 或 VHDL 硬體描述語言等等)、或其他可用的程式來實現。該軟體可被設置在任何電腦可用的媒體，例如半導體、磁碟、光碟(例如 CD-ROM、DVD-ROM 等等)中。

本發明實施例中所述之裝置與方法可被包括在一半導體智慧財產權核心(semiconductor intellectual property core)，例如以硬體描述語言(HDL)實現之微處理器核心中，並被轉換為硬體型態的積體電路產品。此外，本發明所描述之裝置與方法可透過結合硬體與軟體的方式來實現。因此，本發明不應該被本文中之任一實施例所限定，而當視後附之申請專利範圍與其等效物所界定者為準。特別是，本發明係實現於一般用途電腦之微處理器裝置中。最後，任何熟知技藝者，在不脫離本發明之精神和範圍內，當可作些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係為本發明實施例之微處理器的方塊圖；

第 2 圖係為習知技術之奔騰 III 預取指令的方塊圖；

第 3 圖係為習知技術之奔騰 III 字串指令的方塊圖；

第 4 圖係為習知技術之重複預取指令的方塊圖；

第 5 圖係為本發明實施例之重複預取間接指令的方塊圖；

第 6 圖係為本發明實施例之預取表的方塊圖；

第 7 圖係為第 1 圖中之微處理器執行第 5 圖中之重複預取間接指令的操作流程圖；

第 8 圖係為本發明另一實施例之微處理器的方塊圖；

第 9 圖係為本發明另一實施例之重複預取間接指令的方塊圖；

第 10 圖係為本發明另一實施例之預取表的方塊圖；

第 11 圖係為第 8 圖中之微處理器執行第 9 圖中之重複預取間接指令的操作流程圖。

【主要元件符號說明】

100～微處理器；

102～指令解碼器；

104～暫存器檔案；

106～延伸計數暫存器；

108～初始預取表項目位址；

114～位址產生器；

116、118、146～多工器；

122～預取表項目位址暫存器；

- 124～重複預取計數暫存器；
- 126～加法器；
- 128～遞減器；
- 144～控制邏輯電路；
- 154～快取記憶體；
- 166～回應緩衝器；
- 172～匯流排介面單元；
- 186～第一預取表項目位址；
- 188～重複預取計數值；
- 194～預取位址；
- 197～第二預取表項目位址；
- 400～重複預取指令；
- 404、504～運算碼欄位；
- 406～ModR/M 位元組；
- 500、900～重複預取間接指令；
- 508～位址運算元；
- 600～預取表；
- 602～預取位址；
- 604～快取線；
- 896～延伸來源索引暫存器；
- 899～偏移暫存器；
- 902～偏移量；
- 1004～其他資料。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： PP125572

※ 申請日： 99. 8. 02

※IPC 分類：

G06F 9/38

2006.01

一、發明名稱：(中文/英文)

微處理器以及預取資料至微處理器的方法 /
Microprocessor and method for prefetching data into a
microprocessor

二、中文發明摘要：

本發明提供一種微處理器，包括一指令解碼器用以解碼一指令集中之複數指令，其中指令集包括一重複預取間接指令。重複預取間接指令包括複數位址運算元以及一計數值，微處理器使用位址運算元來計算一預取表中之第一項目之一位址，其中預取表具有複數項目，並且預取表中之各個項目包括一預取位址。計數值用以指定欲被預取之複數快取線的數量，其中快取線之每一者的一記憶體位址係由項目中之一者中的預取位址所指定。

三、英文發明摘要：

A microprocessor includes an instruction decoder for decoding instructions in an instruction set, wherein the instruction set comprises a repeat prefetch indirect instruction. The repeat prefetch indirect instruction comprises address operands used by the microprocessor to calculate an address of a first entry in a prefetch table having a plurality of entries, wherein each entry of the prefetch table

includes a prefetch address. The repeat prefetch indirect instruction also comprises a count specifying a number of cache lines to be prefetched, wherein the memory address of each of the cache lines is specified by the prefetch address in one of the plurality of entries in the prefetch table.

七、申請專利範圍：

1. 一種微處理器，包括：

一指令解碼器，用以解碼一指令集中之複數指令，其中上述指令集包括一重複預取間接指令；以及

上述重複預取間接指令，包括：

複數位址運算元，上述微處理器使用上述位址運算元來計算一預取表中之第一項目之一位址，其中上述預取表具有複數項目，並且上述預取表中之各個項目包括一預取位址；以及

一計數值，用以指定欲被預取之複數快取線的數量，其中上述快取線之每一者的記憶體位址係由上述項目中之一者中的上述預取位址所指定。

2. 如申請專利範圍第 1 項所述之微處理器，其中上述重複預取間接指令更包括：

一運算碼，上述運算碼與一奔騰 III 預取指令運算碼不同。

3. 如申請專利範圍第 2 項所述之微處理器，其中上述重複預取間接指令更包括：

一奔騰 III 重複字串指令前置碼，上述奔騰 III 重複字串指令前置碼係位於上述運算碼之前。

4. 如申請專利範圍第 2 項所述之微處理器，其中上述重複預取間接指令更包括：

一奔騰 III 預取指令運算碼；

一奔騰 III 重複字串指令前置碼；以及

一第二前置碼，其中上述奔騰 III 重複字串指令前置碼

與第二前置碼係位於上述運算碼之前，其中上述第二前置碼用以區分上述重複預取間接指令與一重複預取指令。

5. 如申請專利範圍第 1 項所述之微處理器，其中上述預取表中之上述項目係位於複數非連續記憶體位置。

6. 如申請專利範圍第 1 項所述之微處理器，其中上述重複預取間接指令更包括：

一偏移量，用以指定上述預取表中之各個項目之間的一距離，其中上述偏移量係藉由位於上述重複預取間接指令之前的一指令載入至一通用暫存器。

7. 如申請專利範圍第 1 項所述之微處理器，其中上述重複預取間接指令更包括：

一延遲值，其中上述微處理器在執行上述重複預取間接指令時係以一延遲量來延遲各個預取上述快取線中之一者的疊代，其中上述延遲量係等於上述延遲值中所指定之一指令數量，其中上述延遲值係藉由位於上述重複預取間接指令之前的一指令載入至一通用暫存器。

8. 如申請專利範圍第 1 項所述之微處理器，更包括：

一暫存器檔案，耦接至上述指令解碼器，上述暫存器檔案包括一奔騰 III 架構暫存器檔案之一延伸計數暫存器，其中上述計數值係儲存於上述延伸計數暫存器中，其中上述計數值係藉由位於上述重複預取間接指令之前的一指令載入至上述延伸計數暫存器；

其中上述位址運算元被指定在一分段位址:偏移位址格式中，並且上述分段位址:偏移位址格式符合一奔騰 III 架構分段位址:偏移位址格式，其中一個或多個暫存器符合複數

奔騰Ⅲ資料區段:延伸來源索引暫存器。

9. 一種微處理器，上述微處理器係位於具有一系統記憶體之一系統中，上述微處理器包括：

一指令解碼器，用以解碼一預取指令，上述預取指令指定一計數值與用以指向一表格之一位址，其中上述計數值表示欲從上述系統記憶體中預取之複數快取線的數量，並且上述表格用以儲存上述快取線之複數記憶體位址；

一計數暫存器，用以儲存一剩餘計數值，上述剩餘計數值表示欲被預取之上述快取線的一剩餘數量，其中上述計數暫存器一開始即具有被指定在上述預取指令中之上述計數值；以及

一控制邏輯電路，耦接至上述指令解碼器與上述計數暫存器，上述控制邏輯電路使用上述計數暫存器與從上述表格中所提取之上述記憶體位址，用以控制上述微處理器將上述表格中之上述快取線的上述記憶體位址提取至上述微處理器，並且控制上述微處理器將上述系統記憶體中之上述快取線預取至上述微處理器之一快取記憶體。

10. 如申請專利範圍第 9 項所述之微處理器，其中上述快取線在上述系統記憶體中的順序係為非連續。

11. 如申請專利範圍第 9 項所述之微處理器，更包括：

一遞減器，耦接至上述計數暫存器，上述控制邏輯電路控制上述遞減器用以根據預取上述快取線中之每一者來遞減上述剩餘計數值。

12. 如申請專利範圍第 9 項所述之微處理器，更包括：

一位址暫存器，用以儲存一項目位址，其中上述項目

位址指向正被預取之上述快取線中之一者的上述記憶體位址，其中上述控制邏輯電路一開始即將上述預取指令所指定之上述位址載入至上述位址暫存器，其中上述控制邏輯電路根據預取上述快取線中之每一者來更新位於上述位址暫存器中之上述項目位址；以及

一加法器，耦接至上述位址暫存器，用以根據預取上述快取線中之每一者來增加一加數至位址暫存器中之上述項目位址以便產生一總合，其中上述控制邏輯電路使用上述總合來更新上述位址暫存器。

13. 如申請專利範圍第 9 項所述之微處理器，其中上述預取指令更指定一偏移量，上述偏移量用以指定上述表格中之各個記憶體位址之間的一距離。

14. 如申請專利範圍第 9 項所述之微處理器，其中上述控制邏輯電路用以將上述表格中之上述快取線的上述記憶體位址提取至上述快取記憶體。

15. 如申請專利範圍第 9 項所述之微處理器，其中上述控制邏輯電路用以將上述表格中之上述快取線的上述記憶體位址提取至上述微處理器之一儲存器，並且禁止將上述記憶體位址引退至上述快取記憶體，其中上述儲存器不同於上述快取記憶體，其中不同於上述快取記憶體之上述儲存器包括一回應緩衝器。

16. 如申請專利範圍第 9 項所述之微處理器，其中上述預取指令更指定一延遲值，其中上述控制邏輯電路係以一延遲量來延遲預取上述快取線中之每一者的步驟，其中上述延遲量係等於上述延遲值中所指定之一指令數量。

17. 如申請專利範圍第 9 項所述之微處理器，其中上述預取指令指定一運算碼，上述運算碼與一奔騰 III 預取指令運算碼不同，其中上述預取指令更指定一奔騰 III 重複字串指令前置碼，上述奔騰 III 重複字串指令前置碼係位於上述運算碼之前，其中上述預取指令指定一奔騰 III 預取指令運算碼與一一第二前置碼，其中上述奔騰 III 預取指令運算碼係位於一奔騰 III 重複字串指令前置碼之後，上述第二前置碼係位於上述運算碼之前，並且上述第二前置碼用以區分上述預取指令與一重複預取指令。

18. 一種預取資料至微處理器的方法，上述微處理器係位於具有一系統記憶體之一系統中，上述方法包括：

解碼一預取指令，上述預取指令指定一計數值與用以指向一表格之一位址，其中上述計數值表示欲從上述系統記憶體中預取之複數快取線的數量，並且上述表格用以儲存上述快取線之複數記憶體位址；

儲存一剩餘計數值，其中上述剩餘計數值表示欲被預取之上述快取線的一剩餘數量，並且上述剩餘計數值之一初始值係為被指定在上述預取指令中之上述計數值；以及

使用上述剩餘計數值與上述表格中之上述記憶體位址，用以將上述系統記憶體中之上述快取線預取至上述微處理器之一快取記憶體。

19. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，其中上述快取線在上述系統記憶體中的順序係為非連續。

20. 如申請專利範圍第 18 項所述之預取資料至微處理

器的方法，上述方法更包括：

儲存一項目位址，其中上述項目位址指向正被預取之上述快取線中之一者的上述記憶體位址，並且上述項目位址之一初始值係為上述預取指令所指定之上述位址。

21. 如申請專利範圍第 20 項所述之預取資料至微處理器的方法，其中上述儲存上述項目位址之步驟更包括：

根據預取上述快取線中之一者來增加一加數至上述項目位址。

22. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，其中上述預取指令更指定一偏移量，上述偏移量用以指定上述表格中之各個記憶體位址之間的一距離。

23. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，上述方法更包括：

將上述表格中之上述快取線的上述記憶體位址提取至上述快取記憶體。

24. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，上述方法更包括：

將上述表格中之上述快取線的上述記憶體位址提取至上述微處理器之一儲存器，並且禁止將上述記憶體位址引退至上述快取記憶體，其中上述儲存器不同於上述快取記憶體。

25. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，上述方法更包括：

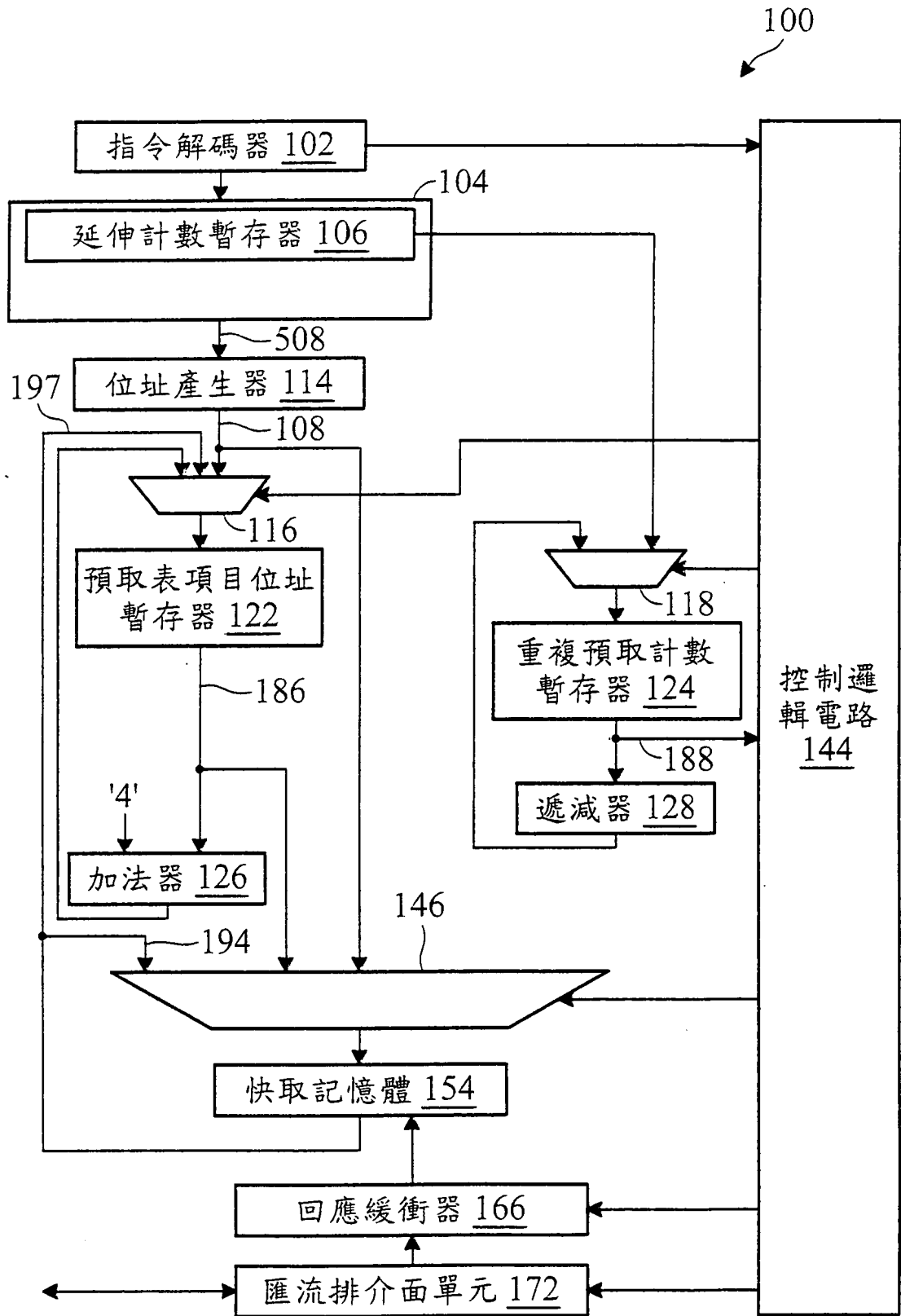
以一延遲量來延遲預取上述快取線中之每一者的步驟，其中上述延遲量係等於上述延遲值中所指定之一指令

數量。

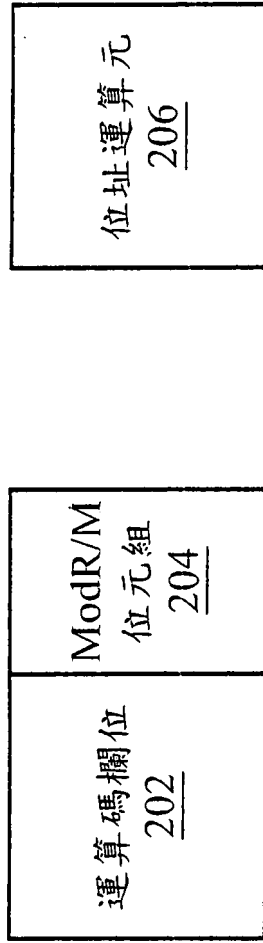
26. 如申請專利範圍第 18 項所述之預取資料至微處理器的方法，其中上述預取指令指定一運算碼，上述運算碼與一奔騰 III 預取指令運算碼不同，其中上述預取指令更指定一奔騰 III 重複字串指令前置碼，上述奔騰 III 重複字串指令前置碼係位於上述運算碼之前，其中上述預取指令指定一奔騰 III 預取指令運算碼與一一第二前置碼，其中上述奔騰 III 預取指令運算碼係位於一奔騰 III 重複字串指令前置碼之後，上述第二前置碼係位於上述運算碼之前，並且上述第二前置碼用以區分上述預取指令與一重複預取指令。

八、圖式：

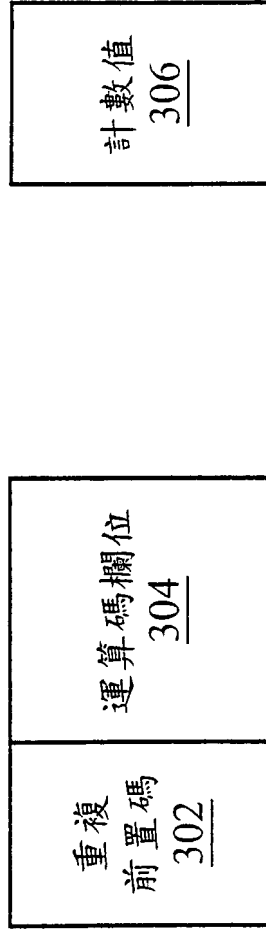




第 1 圖

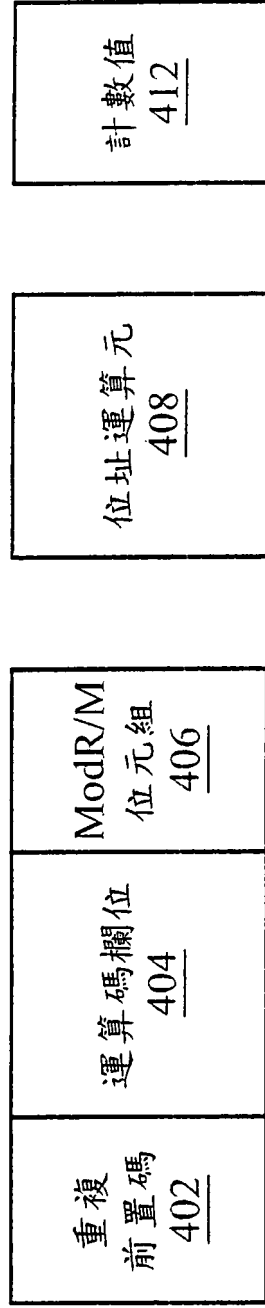


第 2 圖

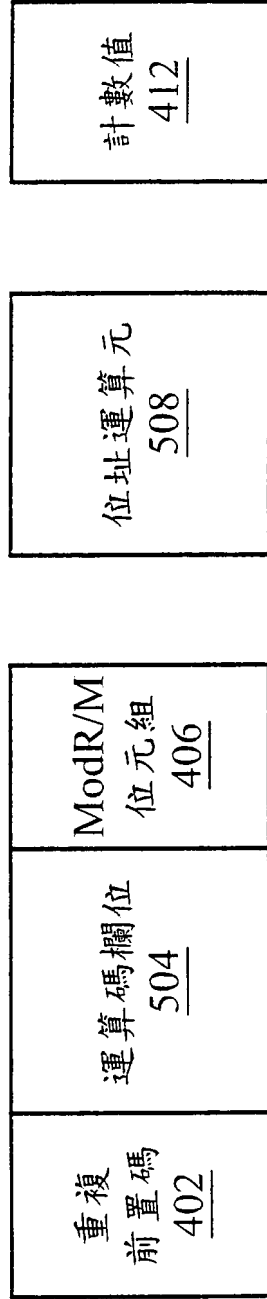


300

第 3 圖

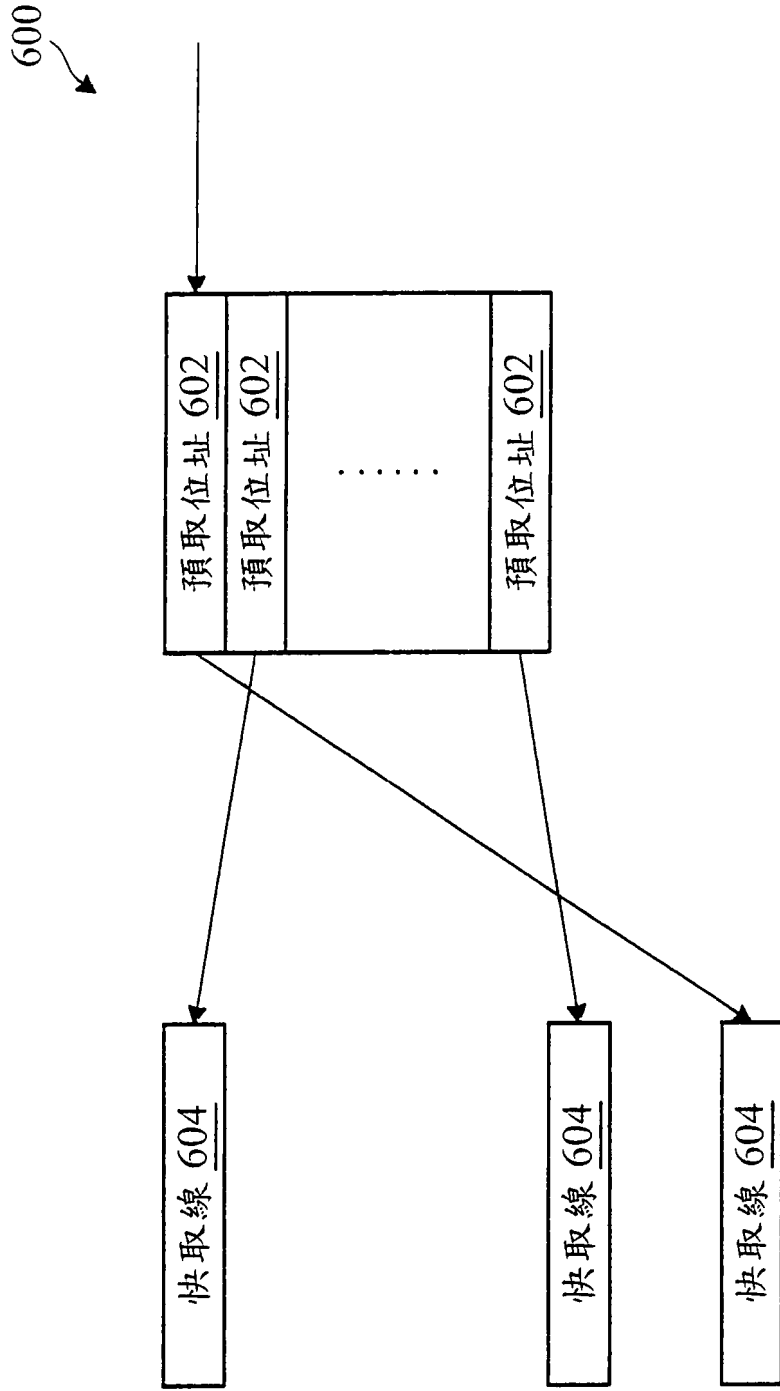


第 4 圖

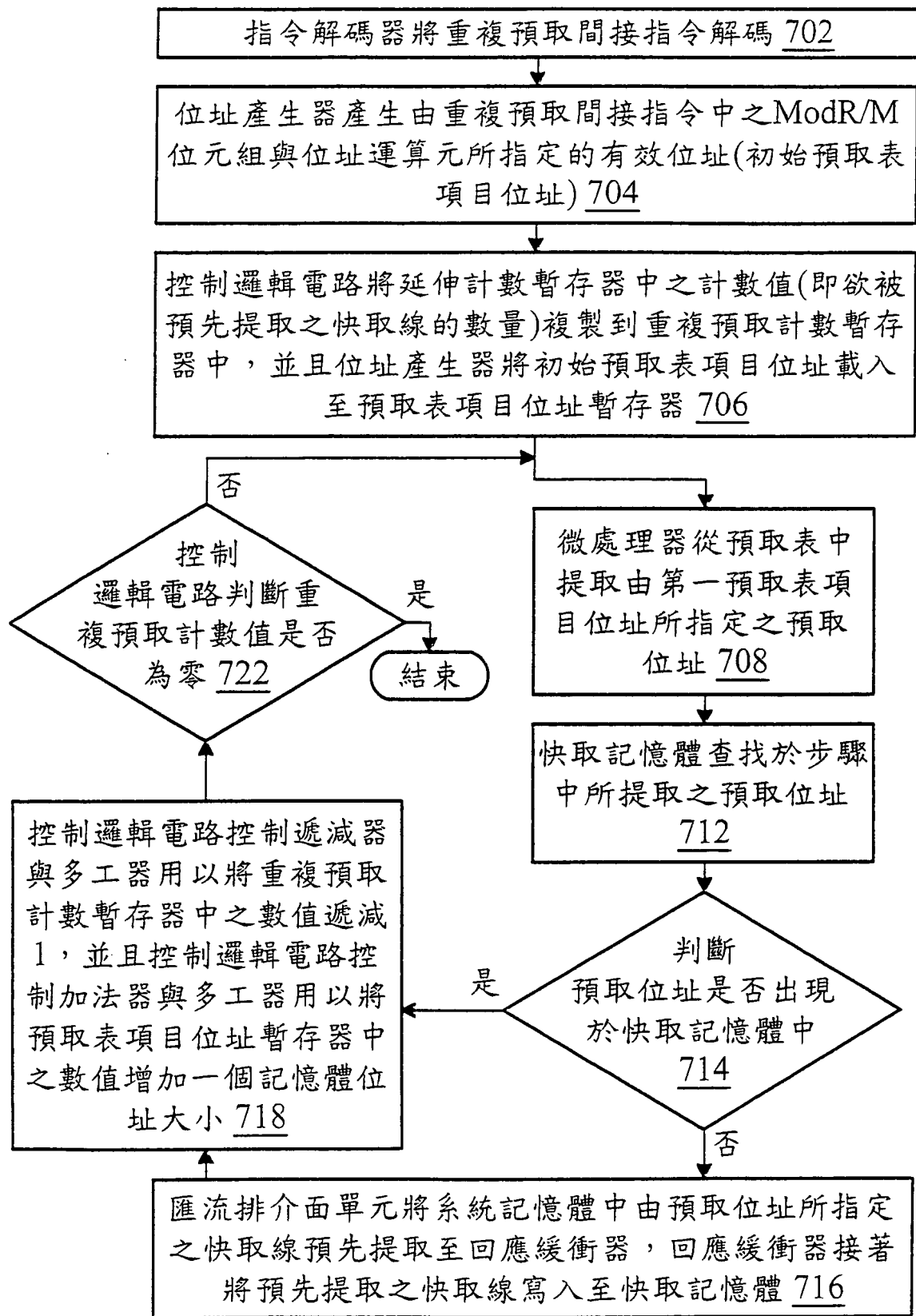


500

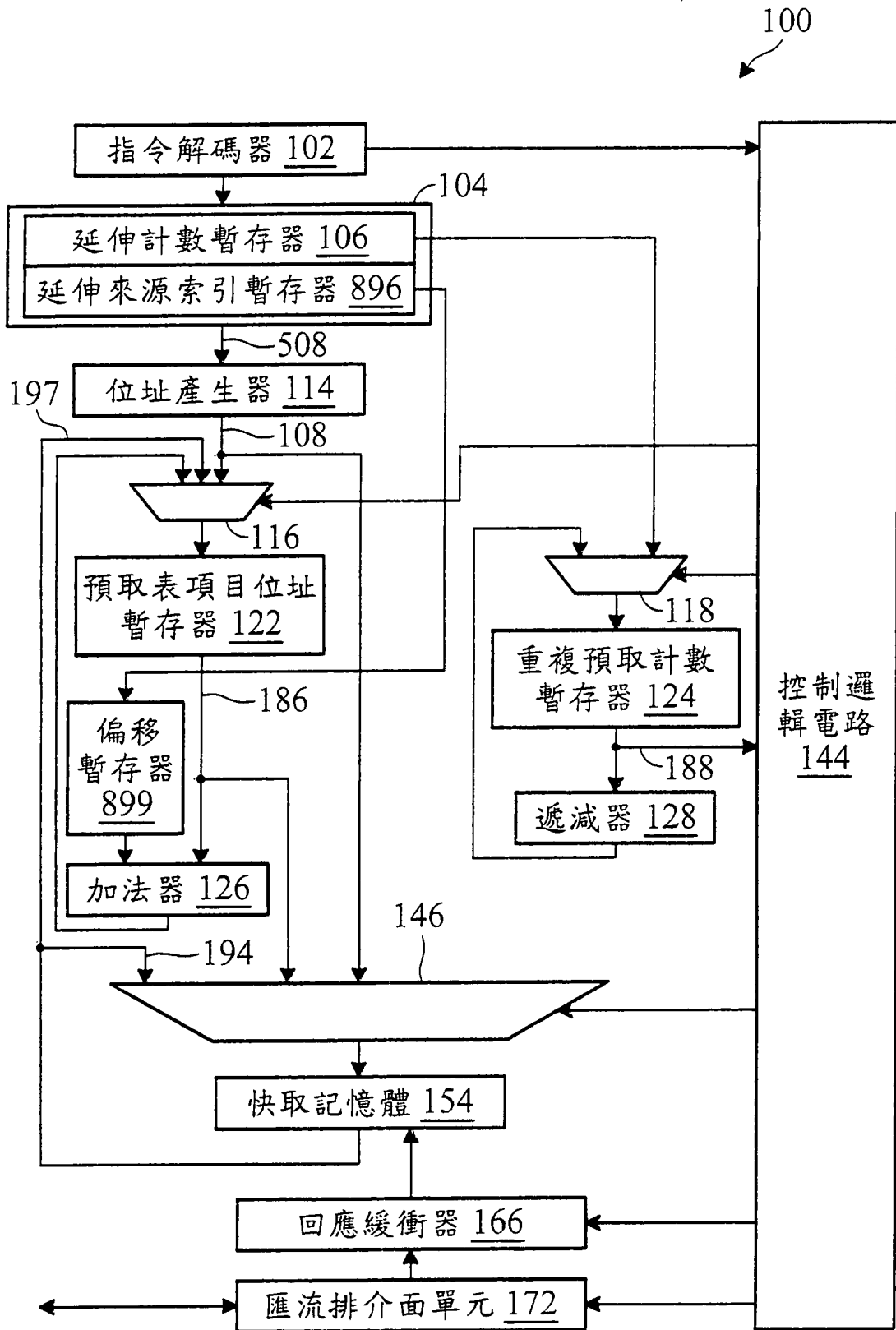
第 5 圖



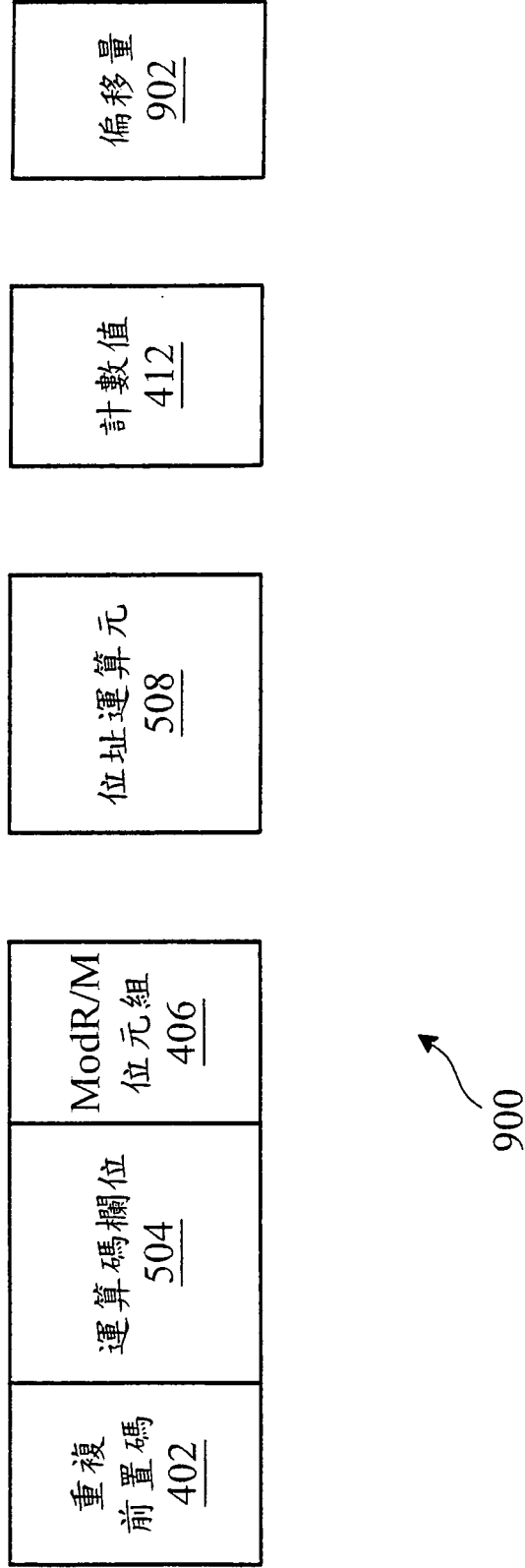
第 6 圖



第 7 圖

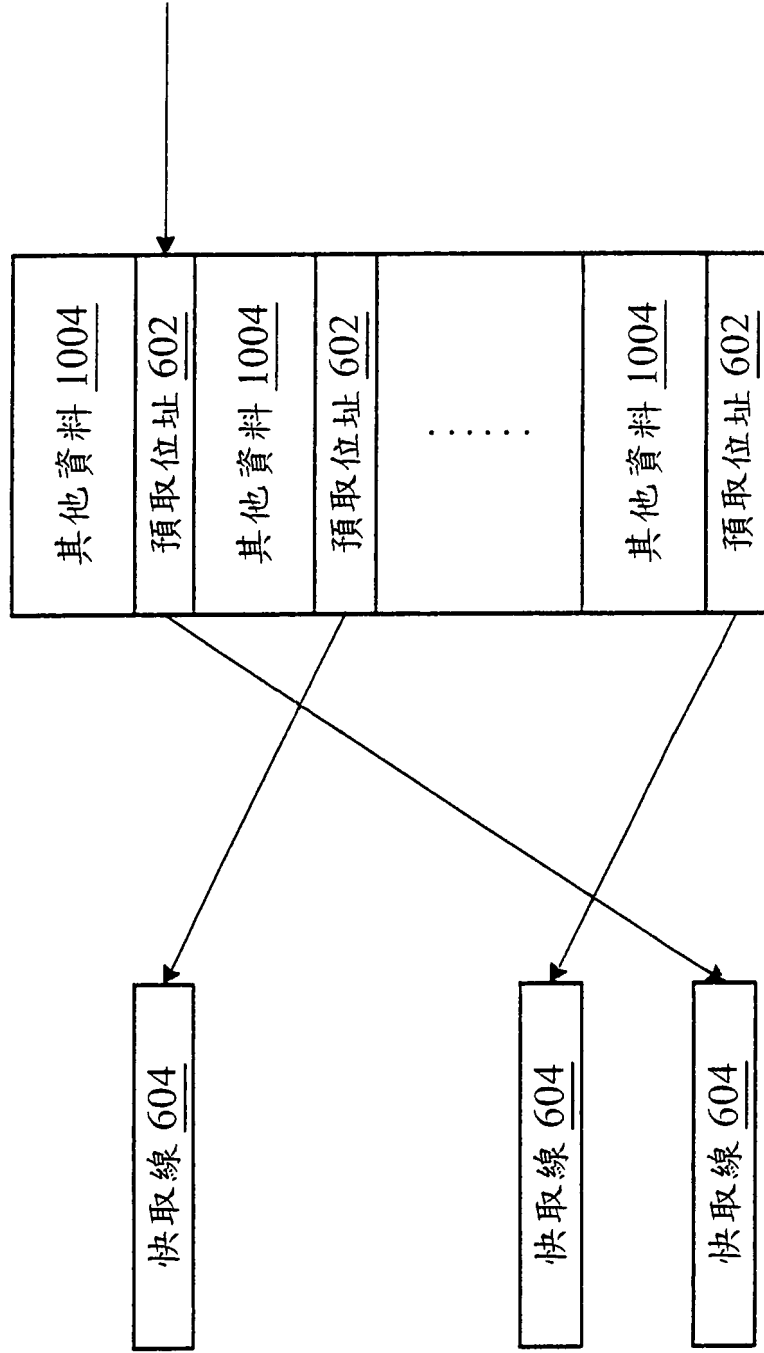


第 8 圖

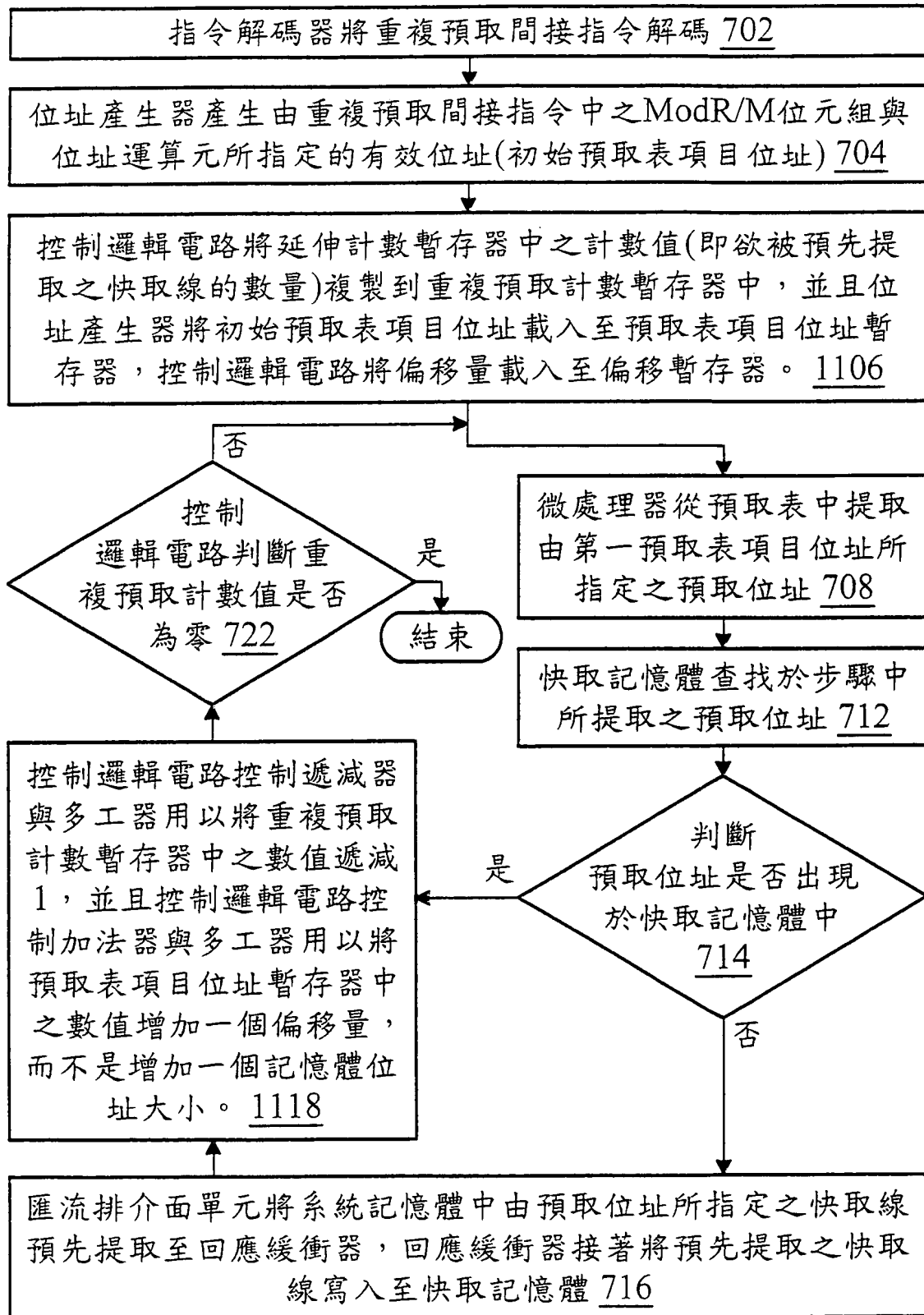


第 9 圖

600



第 10 圖



第 11 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 7 ）圖。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略