

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5167677号
(P5167677)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.		F I			
HO4N	5/355	(2011.01)	HO4N	5/335	550
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/376	(2011.01)	HO4N	5/335	760
HO4N	5/378	(2011.01)	HO4N	5/335	780

請求項の数 17 (全 27 頁)

(21) 出願番号	特願2007-104425 (P2007-104425)	(73) 特許権者	000002185
(22) 出願日	平成19年4月12日(2007.4.12)		ソニー株式会社
(65) 公開番号	特開2008-263395 (P2008-263395A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年10月30日(2008.10.30)	(74) 代理人	100094053
審査請求日	平成22年3月15日(2010.3.15)		弁理士 佐藤 隆久
		(72) 発明者	大池 祐輔
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法、固体撮像装置の信号処理方法および撮像装置

(57) 【特許請求の範囲】

【請求項1】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する第1駆動手段と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する第2駆動手段と、

前記第1駆動手段による駆動と前記第2駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第3駆動手段と、

前記第1, 第2駆動手段による前記転送素子の駆動の下に、前記第3駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ-デジタル変換を行なうアナログ-デジタル変換手段と、

を備えたことを特徴とする固体撮像装置。

【請求項2】

前記第1駆動手段は、前記第1制御電圧として、電圧値が異なる制御電圧を前記転送素子に2回以上供給し、前記光電変換部に蓄積された信号電荷を2回以上に分割して転送する

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算する加算手段を有する

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号に対して加算しながらアナログ - デジタル変換を行なうアナログ - デジタル変換手段を有する

10

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 5】

前記アナログ - デジタル変換手段は、前記変換精度を前記出力手段からの読み出しに応じて徐々に高めていく

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 6】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第 1 制御電圧を用いて前記転送素子を駆動する第 1 駆動手段と、

20

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第 2 制御電圧を用いて前記転送素子を駆動する第 2 駆動手段と、

前記第 1 駆動手段による駆動と前記第 2 駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第 3 駆動手段と、

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算しながら、各々異なる変換精度のアナログ - デジタル変換を行なうアナログ - デジタル変換手段と、

を備えたことを特徴とする固体撮像装置。

30

【請求項 7】

前記アナログ - デジタル変換手段は、前記変換精度を前記出力手段からの読み出しに応じて徐々に高めていく

ことを特徴とする請求項 6 記載の固体撮像装置。

【請求項 8】

前記単位画素は、前記光電変換部で光電変換された信号電荷を分割して転送する複数の転送素子と、当該複数の転送素子によって転送された信号電荷を出力する複数の出力手段とを有する

ことを特徴とする請求項 1 ~ 7 のいずれかに記載の固体撮像装置。

【請求項 9】

前記単位画素は、前記光電変換部で光電変換された信号電荷の一部が当該光電変換部から前記転送素子によって転送される電荷電圧変換部を含み、

前記出力手段によって前記電荷電圧変換部から前記信号電荷の一部が読み出された後、前記電荷電圧変換部を所定電位にリセットする手段を有する

ことを特徴とする請求項 1 ~ 7 のいずれかに記載の固体撮像装置。

40

【請求項 10】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置されてなる固体撮像装置の駆動方法であって、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に

50

保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する、第1の駆動工程と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する、第2の駆動工程と、

前記第1制御電圧を用いた駆動と前記第2制御電圧を用いた駆動とを順次実行して転送される信号電荷の各々を読み出す、第3の駆動工程と、

前記第1制御電圧、前記第2制御電圧による前記転送素子の駆動の下に、前記第3駆動工程における駆動によって前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ-デジタル変換を行なう、アナログ-デジタル変換工程と

を有する、ことを特徴とする固体撮像装置の駆動方法。

【請求項11】

前記第1制御電圧として、電圧値が異なる制御電圧を前記転送素子に2回以上供給し、前記光電変換部に蓄積された信号電荷を2回以上に分割して転送する、

ことを特徴とする請求項10記載の固体撮像装置の駆動方法。

【請求項12】

前記単位画素は、前記光電変換部で光電変換された信号電荷の一部が当該光電変換部から前記転送素子によって転送される電荷電圧変換部を含み、

前記出力手段によって前記電荷電圧変換部から前記信号電荷の一部を読み出した後、前記電荷電圧変換部を所定電位にリセットする

ことを特徴とする請求項10記載の固体撮像装置の駆動方法。

【請求項13】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する第1駆動手段と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する第2駆動手段と、

前記第1駆動手段による駆動と前記第2駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第3駆動手段と、

前記第1、第2駆動手段による前記転送素子の駆動の下に、前記第3駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ-デジタル変換を行なうアナログ-デジタル変換手段と、

を備えた固体撮像装置の信号処理方法であって、

前記第1、第2駆動手段による前記転送素子の駆動の下に、前記第3駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算し、

前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ-デジタル変換を行なう、

ことを特徴とする固体撮像装置の信号処理方法。

【請求項14】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する第1駆動手段と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する第2駆動手段と、

10

20

30

40

50

前記第 1 駆動手段による駆動と前記第 2 駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第 3 駆動手段と、

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算しながら、各々異なる変換精度のアナログ - デジタル変換を行なうアナログ - デジタル変換手段と

を備えた固体撮像装置の信号処理方法であって、

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算しながら、各々異なる変換精度のアナログ - デジタル変換を行なう、

ことを特徴とする固体撮像装置の信号処理方法。

10

【請求項 15】

前記複数の出力信号に対する前記変換精度を、前記出力手段からの読み出しに応じて徐々に高めていく、

ことを特徴とする請求項 13 または 14 記載の固体撮像装置の信号処理方法。

【請求項 16】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置されてなる固体撮像装置と、

入射光を前記固体撮像装置の撮像面上に結像する光学系と

を具備し、

20

前記固体撮像装置は、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第 1 制御電圧を用いて前記転送素子を駆動する第 1 駆動手段と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第 2 制御電圧を用いて前記転送素子を駆動する第 2 駆動手段と、

前記第 1 駆動手段による駆動と前記第 2 駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第 3 駆動手段と、

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ - デジタル変換を行なうアナログ - デジタル変換手段と、

30

を備えた、ことを特徴とする撮像装置。

【請求項 17】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置されてなる固体撮像装置と、

入射光を前記固体撮像装置の撮像面上に結像する光学系と

を具備し、

前記固体撮像装置は、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第 1 制御電圧を用いて前記転送素子を駆動する第 1 駆動手段と、

前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第 2 制御電圧を用いて前記転送素子を駆動する第 2 駆動手段と、

前記第 1 駆動手段による駆動と前記第 2 駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第 3 駆動手段と、

前記第 1, 第 2 駆動手段による前記転送素子の駆動の下に、前記第 3 駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算しながら、各々異なる変換精度のアナログ - デジタル変換を行なうアナログ - デジタル変換手段と、

40

を備えた、ことを特徴とする撮像装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の駆動方法、固体撮像装置の信号処理方法および撮像装置に関する。

【背景技術】

【0002】

図27に、固体撮像装置の単位画素100の構成の一例を示す。本例のように、光電変換素子101で光電変換された信号電荷を転送する転送トランジスタ102を有する単位画素100では、画素の浮遊拡散容量(FD; Floating Diffusion)106に転送できる最大蓄積電荷量 $Q_{fd,max}$ を、受光部である光電変換素子101の最大蓄積電荷量 $Q_{pd,max}$ よりも十分に大きくすることで、光電変換素子101での電荷残留をなくし完全転送を実現している。

10

【0003】

このようにして、光電変換素子101で光電変換された信号電荷について、完全転送を実現することで、画像撮影時の残像を防ぎ、また入射光の輝度とセンサ出力信号の良好な線形性を実現することができる。因みに、本例に係る単位画素100は、転送トランジスタ102に加えて、リセットトランジスタ103、増幅トランジスタ104および画素選択トランジスタ105を有する構成となっている。

【0004】

20

しかし、図27に示す単位画素100では、下記の問題点が挙げられる。

(1) 浮遊拡散容量106の最大蓄積電荷量 $Q_{fd,max}$ が光電変換素子101の最大蓄積電荷量 $Q_{pd,max}$ を上回っている必要があるため、電荷電圧変換効率を高めるための浮遊拡散容量106を小さくすることに制限がある。

(2) 同様の理由から、浮遊拡散容量106のリセット電圧として用いられる電源電圧 V_{dd} が下がると浮遊拡散容量106の最大蓄積電荷量 $Q_{fd,max}$ が小さくなるため、電源電圧 V_{dd} の低電圧化に制限がある。

【0005】

そこで、従来は、上記(1)~(2)の問題点を次のようにして解決している。すなわち、電荷電圧変換効率を高めるため浮遊拡散容量106を小さくすることで最大蓄積電荷量 $Q_{fd,max}$ が小さいとき、あるいはリセット電圧(電源電圧) V_{dd} を低電圧化することで最大蓄積電荷量 $Q_{fd,max}$ が小さいときに、電荷転送と、信号の読み出しと、浮遊拡散容量106のリセットを実行した後、光電変換素子101から転送しきれずに残留した電荷を、再度電荷転送して信号を読み出すことで、光電変換素子101に蓄積された電荷を分割して全て読み出すようにしている(例えば、特許文献1参照)。

30

【0006】

【特許文献1】特開2001-177775号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

40

上記従来技術では、浮遊拡散容量106の最大蓄積電荷量 $Q_{fd,max}$ が光電変換素子101の最大蓄積電荷量 $Q_{pd,max}$ を下回っており、図28に示すように、浮遊拡散容量106に転送可能な電荷は全て転送されるため、浮遊拡散容量106の最大蓄積電荷量 $Q_{fd,max}$ の単位で光電変換素子101の最大蓄積電荷量 $Q_{pd,max}$ を分割することしかできない(A)。そのため、任意の電荷量で複数に分割して転送することができない(B)。

【0008】

また、図29に示すように、浮遊拡散容量FDや読み出し回路200を複数の画素で共有する構成を採る固体撮像装置では、浮遊拡散容量FDを小さくできない場合がある。この場合、分割して転送することができないため、分割転送した信号に対して重みを付けて加算するなどの処理を適用することができず、光量の範囲に応じて感度を変えるなどのこ

50

これらの処理による効果が得られなくなる。

【0009】

そこで、本発明は、光電変換部で光電変換された信号電荷を転送する際に、任意の電荷量で複数に分割して転送することが可能な固体撮像装置、固体撮像装置の駆動方法、固体撮像装置の信号処理方法および撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明によれば、光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する第1駆動手段と、前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する第2駆動手段と、前記第1駆動手段による駆動と前記第2駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第3駆動手段と、前記第1,第2駆動手段による前記転送素子の駆動の下に、前記第3駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号の各々に対して異なる変換精度のアナログ-デジタル変換を行なうアナログ-デジタル変換手段とを備えたことを特徴とする固体撮像装置が提供される。

また本発明によれば、光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を前記転送素子によって転送する第1制御電圧を用いて前記転送素子を駆動する第1駆動手段と、前記光電変換部に保持された信号電荷の全てを前記転送素子によって転送する第2制御電圧を用いて前記転送素子を駆動する第2駆動手段と、前記第1駆動手段による駆動と前記第2駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく前記出力手段を駆動する第3駆動手段と、前記第1,第2駆動手段による前記転送素子の駆動の下に、前記第3駆動手段による駆動によって前記出力手段から順次読み出される複数の出力信号を加算しながら、各々異なる変換精度のアナログ-デジタル変換を行なうアナログ-デジタル変換手段とを備えたことを特徴とする固体撮像装置が提供される。

【0011】

第1制御電圧を用いて転送素子を駆動することで、信号電荷の一部を光電変換部に保持したまま、その保持量を超えた蓄積電荷が転送される。ここで、第1制御電圧としては、1つの電圧値に限られるものではない。すなわち、電圧値が異なる制御電圧を転送素子に2回以上供給することで、光電変換部に蓄積された信号電荷が2回以上に分割して転送される。したがって、第1制御電圧の電圧値を適当に設定することで、光電変換部で光電変換された信号電荷を、任意の電荷量で複数に分割して転送できる。そして、第2制御電圧を用いて転送素子を駆動することで、光電変換部に保持された残りの信号電荷の全てが転送される。

【発明の効果】

【0012】

本発明によれば、一単位の蓄積期間中に光電変換部に蓄積された信号電荷の一部を当該光電変換部に保持したまま、その保持量を超えた蓄積電荷を転送する第1制御電圧と、光電変換部に保持された信号電荷の全てを転送する第2制御電圧とを用いた転送素子の駆動を順次実行するとともに、第1制御電圧の電圧値を適当に設定することで、光電変換部で光電変換された信号電荷を、任意の電荷量で複数に分割して転送することができる。

【発明を実施するための最良の形態】

10

20

30

40

50

【 0 0 1 3 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 4 】

図 1 は、本発明の一実施形態に係る固体撮像装置、例えば C M O S イメージセンサの構成を示すシステム構成図である。

【 0 0 1 5 】

図 1 に示すように、本実施形態に係る C M O S イメージセンサ 1 0 は、光電変換部を含む単位画素（以下、単に「画素」と記述する場合もある）2 0 が行列状に 2 次元配置されてなる画素アレイ部 1 1 と、その周辺回路とを有する構成となっている。

【 0 0 1 6 】

画素アレイ部 1 1 の周辺回路としては、例えば、垂直走査回路 1 2、供給電圧制御回路 1 3、電圧供給回路 1 4、タイミング発生回路（T G）1 5、複数のカラム回路 1 6、水平走査回路 1 7 およびカラム信号選択回路 1 8 などが設けられている。

【 0 0 1 7 】

画素アレイ部 1 1 の画素 2 0 の行列状配列に対して、画素列毎に垂直信号線 1 1 1 が配線され、画素行毎に駆動制御線、例えば転送制御線 1 1 2、リセット制御線 1 1 3 および選択制御線 1 1 4 が配線されている。

【 0 0 1 8 】

垂直信号線 1 1 1 の各一端には、定電流源 1 9 が接続されている。定電流源 1 9 に代えて、例えばバイアス電圧 V b i a s でゲートがバイアスされ、後述する増幅トランジスタ 2 4 とソースフォロア回路を構成する電流バイアス用トランジスタを用いることも可能である（図 2 参照）。

【 0 0 1 9 】

垂直走査回路 1 2 は、シフトレジスタあるいはアドレスデコーダ等によって構成され、画素アレイ部 1 1 の各画素 2 0 を電子シャッタ行と読み出し行それぞれについて行単位で垂直方向（上下方向）に走査しつつ、電子シャッタ行に対してはその行の画素 2 0 の信号掃き捨てを行うための電子シャッタ動作を行うとともに、読み出し行に対してはその行の画素 2 0 の信号読み出しを行うための読み出し動作を行う。

【 0 0 2 0 】

ここでは、図示を省略するが、垂直走査回路 1 2 は、画素 2 0 を行単位で順に選択しつつ、読み出し行の各画素 2 0 の信号を読み出す読み出し動作を行うための読み出し走査系と、当該読み出し走査系による読み出し走査よりもシャッタ速度に対応した時間分だけ前に同じ行（電子シャッタ行）に対して電子シャッタ動作を行うための電子シャッタ走査系とを有する構成となっている。

【 0 0 2 1 】

そして、電子シャッタ走査系によるシャッタ走査によって光電変換部の不要な電荷がリセットされたタイミングから、読み出し走査系による読み出し走査によって画素 2 0 の信号が読み出されるタイミングまでの期間が、画素 2 0 における信号電荷の一単位の蓄積期間（露光期間）となる。すなわち、電子シャッタ動作とは、光電変換部に蓄積された信号電荷のリセット（掃き捨て）を行い、そのリセット後から新たに信号電荷の蓄積を開始する動作である。

【 0 0 2 2 】

供給電圧制御回路 1 3 は、単位画素 2 0 内の後述する転送トランジスタ（転送素子）2 2 のゲート電極（制御電極）に供給（印加）する転送パルス T R G の電圧値（波高値）を制御する。この供給電圧制御回路 1 3 の具体的な構成については後述する。

【 0 0 2 3 】

電圧供給回路 1 4 は、供給電圧制御回路 1 3 に対して電圧値が異なる複数の制御電圧を供給する。この複数の制御電圧は、電圧値が異なる転送パルス T R G として転送トランジスタ 2 2 のゲート電極に供給される。この異なる電圧値の転送パルス T R G の詳細については後述する。

10

20

30

40

50

【 0 0 2 4 】

タイミング発生回路 (T G) 1 5 は、供給電圧制御回路 1 3 が転送トランジスタ 2 2 のゲート電極に異なる電圧値の転送パルス T R G を供給する際のタイミングを決めるタイミング信号 P T R G を発生する。

【 0 0 2 5 】

カラム回路 1 6 は、画素アレイ部 1 1 の例えば画素列ごとに、即ち画素列に対して 1 対 1 の対応関係をもって配置され、垂直走査回路 1 2 による垂直走査によって選択された読み出し行の各画素 2 0 から垂直信号線 1 1 1 を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【 0 0 2 6 】

カラム回路 1 6 としては、垂直信号線 1 1 1 を通して出力される信号をサンプルホールドするサンプルホールド回路からなる回路構成のものや、サンプルホールド回路を含み、C D S (Correlated Double Sampling; 相関二重サンプリング) 処理により、リセットノイズや増幅トランジスタ 2 4 の閾値ばらつき等の画素固有の固定パターンノイズを除去するノイズ除去回路からなる回路構成のものなどが用いられる。

【 0 0 2 7 】

ただし、これらは一例に過ぎず、これに限定されるものではない。例えば、カラム回路 1 6 に A D (アナログ - デジタル) 変換機能を持たせ、信号レベルをデジタル信号で出力する構成を採ることも可能である。

【 0 0 2 8 】

水平走査回路 1 7 は、シフトレジスタあるいはアドレスデコーダ等によって構成され、画素アレイ部 1 1 の画素列ごとに配されたカラム回路 1 6 を順に水平走査する。カラム信号選択回路 1 8 は、水平選択スイッチや水平信号線等によって構成され、カラム回路 1 6 に一時的に保持されている画素の信号を、水平走査回路 1 7 による水平走査に同期して順次出力する。

【 0 0 2 9 】

なお、垂直走査回路 1 2、カラム回路 1 6 および水平走査回路 1 7 等の動作の基準となるタイミング信号や制御信号は、図示せぬタイミング制御回路で生成される。

【 0 0 3 0 】

[画素回路]

図 2 は、単位画素 2 0 の回路構成の一例を示す回路図である。本回路例に係る単位画素 2 0 は、埋め込み型フォトダイオード等の光電変換素子 (光電変換部) 2 1 に加えて、例えば転送トランジスタ (転送素子) 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4 および選択トランジスタ 2 5 の 4 つのトランジスタを有する画素回路となっている。ここでは、これらトランジスタ 2 2 ~ 2 5 として、例えば N チャンネルの M O S トランジスタを用いているが、これに限られるものではない。

【 0 0 3 1 】

転送トランジスタ 2 2 は、光電変換素子 2 1 のカソード電極と浮遊拡散容量 (F D) 2 6 との間に接続され、光電変換素子 2 1 で光電変換され、ここに蓄積された信号電荷 (ここでは、電子) を、ゲート電極 (制御電極) に転送パルス T R G が与えられることによって浮遊拡散容量 2 6 に転送する。浮遊拡散容量 2 6 は、信号電荷を電圧信号に変換する電荷電圧変換部として機能する

【 0 0 3 2 】

リセットトランジスタ 2 3 は、リセット線 1 1 5 にドレイン電極が、浮遊拡散容量 2 6 にソース電極がそれぞれ接続され、光電変換素子 2 1 から浮遊拡散容量 2 6 への信号電荷の転送に先立って、ゲート電極にリセットパルス R S T が与えられることによって浮遊拡散容量 2 6 の電位をリセット電圧 V_{rst} にリセットする。

【 0 0 3 3 】

増幅トランジスタ 2 4 は、浮遊拡散容量 2 6 にゲート電極が、電源電圧 V_{dd} の画素電源にドレイン電極がそれぞれ接続され、リセットトランジスタ 2 3 によってリセットされ

10

20

30

40

50

た後の浮遊拡散容量 26 の電位をリセットレベルとして出力し、さらに転送トランジスタ 22 によって信号電荷が転送された後の浮遊拡散容量 26 の電位を信号レベルとして出力する。

【0034】

選択トランジスタ 25 は、例えば、ドレイン電極が増幅トランジスタ 24 のソース電極に、ソース電極が垂直信号線 111 にそれぞれ接続され、ゲート電極に選択パルス SEL が与えられることによってオン状態となり、画素 20 を選択状態として増幅トランジスタ 24 から出力される信号を垂直信号線 111 に出力する。選択トランジスタ 25 については、画素電源 (Vdd) と増幅トランジスタ 24 のドレイン電極との間に接続した構成を採ることも可能である。

10

【0035】

なお、ここでは、転送トランジスタ 22、リセットトランジスタ 23、増幅トランジスタ 24 および選択トランジスタ 25 を有する 4 トランジスタ構成の単位画素 20 を有する CMOS イメージセンサに適用する場合を例に挙げたが、この適用例に限られるものではない。

【0036】

具体的には、図 3 に示すように、選択トランジスタ 25 を省略し、電源電圧 SELVdd を可変とすることにより、増幅トランジスタ 24 に選択トランジスタ 25 の機能を持たせた 3 トランジスタ構成の単位画素 20 を有する CMOS イメージセンサや、図 29 に示すように、浮遊拡散容量 FD や読み出し回路 200 を複数の画素で共有した構成を採る CMOS イメージセンサなどにも適用可能である。

20

【0037】

[供給電圧制御回路]

供給電圧制御回路 13 は、垂直走査回路 12 で選択走査された行を駆動するアドレス信号 ADDR を入力とし、電圧供給回路 14 から与えられる複数の電圧のうちの 1 つを選択して転送パルス TRG として単位画素 20 内の転送トランジスタ 22 のゲート電極に供給する。

【0038】

複数の電圧としては、転送トランジスタ 22 をオン (導通) 状態にするオン電圧 Von と、転送トランジスタ 22 をオフ (非導通) 状態にするオフ電圧 Voff と、オン電圧 Von とオフ電圧 Voff の間の中間電圧 Vmid が電圧供給回路 14 から供給される。ここで、中間電圧 Vmid とは、光電変換素子 21 の蓄積電荷の一部を保持したまま、残りの蓄積電荷を部分的に浮遊拡散容量 26 へ転送できる電圧である。

30

【0039】

上述した画素回路では、転送トランジスタ 22 が N チャンネルであることから、オン電圧 Von を電源電圧 Vdd とし、オフ電圧 Voff を接地電圧、好ましくは接地電圧よりも低い電圧とする。また、本例では、中間電圧 Vmid として、電圧値が異なる 2 つの中間電圧、具体的にはオフ電圧 Voff よりも大きく、オン電圧 Von よりも小さい 2 つの中間電圧 Vmid0, Vmid1 を用いるものとする。因みに、転送トランジスタ 22 が P チャンネルの場合には、接地電圧がオン電圧 Von、電源電圧 Vdd がオフ電圧 Voff となることから、中間電圧 Vmid は、オン電圧 Von よりもより大きく、オフ電圧 Voff よりも小さい 2 つの中間電圧 Vmid0, Vmid1 となる。

40

【0040】

これにより、電圧供給回路 14 から供給電圧制御回路 13 に対して、オン電圧 Von、中間電圧 Vmid0, Vmid1 およびオフ電圧 Voff の 4 つの電圧が供給される。これら 4 つの電圧の電圧値は、Voff < Vmid0 < Vmid1 < Von の関係にある。そして、4 つの電圧のうち、中間電圧 Vmid0, Vmid1 およびオン電圧 Von が転送パルス TRG として用いられる。

【0041】

中間電圧 Vmid0, Vmid1 およびオン電圧 Von の供給タイミングを制御するた

50

めに、タイミング発生回路15から3つのタイミング信号PTRG1, PTRG2, PTRG3が供給電圧制御回路13に与えられる。供給電圧制御回路13は、中間電圧Vmid0, Vmid1およびオン電圧Vonのうちの1つを、タイミング信号PTRG1, PTRG2, PTRG3を基に選択して転送トランジスタ22のゲート電極に中間電圧Vmidとして供給する。

【0042】

図4は、供給電圧制御回路13の回路構成の一例を示す回路図である。図4に示すように、本例に係る供給電圧制御回路13は、4つの電圧、即ち中間電圧Vmid0, Vmid1、オン電圧Vonおよびオフ電圧Voffに対応した4つの回路ブロック131~134と3入力のNOR回路135とを有する構成となっている。

10

【0043】

回路ブロック131~134には、垂直走査回路12からアドレス信号ADRが共通に与えられる。NOR回路135には、タイミング発生回路15からタイミング信号PTRG1, PTRG2, PTRG3が3入力として与えられる。

【0044】

回路ブロック131は、アドレス信号ADRとタイミング信号PTRG1とを2入力とするNAND回路1311、レベルシフタ1312およびPチャンネルの駆動トランジスタ1313によって構成され、中間電圧Vmid0を選択して転送トランジスタ22のゲート電極に供給する。

【0045】

回路ブロック132は、アドレス信号ADRとタイミング信号PTRG2とを2入力とするNAND回路1321およびPチャンネルの駆動トランジスタ1322によって構成され、中間電圧Vmid1を選択して転送トランジスタ22のゲート電極に供給する。

20

【0046】

回路ブロック133は、アドレス信号ADRとタイミング信号PTRG3とを2入力とするAND回路1331およびNチャンネルの駆動トランジスタ1332によって構成され、オン電圧Vonを選択して転送トランジスタ22のゲート電極に供給する。

【0047】

回路ブロック134は、アドレス信号ADRとNOR回路135の出力信号とを2入力とするAND回路1341、アドレス信号ADRを一方の(否定)入力とし、AND回路1341の出力信号を他方の入力とするOR回路1342、レベルシフタ1343およびNチャンネルの駆動トランジスタ1344によって構成され、オフ電圧Voffを選択して転送トランジスタ22のゲート電極に供給する。

30

【0048】

この回路ブロック134では、転送トランジスタ22をオフするためのオフ電圧Voffとして、接地電圧よりも低い電圧、例えば-1.0Vを供給するために、NOR回路135の作用により他の回路ブロック131, 132, 133とは排他的に動作する回路構成となっている。

【0049】

図5に、供給電圧制御回路13の入出力のタイミング関係を示す。転送トランジスタ22のゲート電極に供給する電圧を中間電圧Vmid0, Vmid1、オン電圧Vonおよびオフ電圧Voffとした場合において、アドレス信号ADRによって行が選択された際に、タイミング信号PTRG1, PTRG2, PTRG3によって、それぞれに対応する電圧Vmid0, Vmid1, Vonを供給し、それ以外は電圧Voffを供給する。

40

【0050】

このようにして、供給電圧制御回路13による制御の下に、垂直走査回路12による垂直走査に同期して画素行ごとに、中間電圧Vmid0, Vmid1およびオン電圧Vonをその順番で順次転送トランジスタ22のゲート電極に供給することにより、光電変換素子21に蓄積された信号電荷を例えば3回に分割して浮遊拡散容量26へ転送する3分割転送を実現できる。

50

【 0 0 5 1 】

(3 分割転送)

以下に、ある画素行における 3 分割転送の場合の具体的な動作について、図 6 のタイミングチャートおよび図 7 の動作説明図を用いて説明する。図 7 において、各動作 (1) ~ (1 1) は図 6 の各期間 (1) ~ (1 1) に対応している。

【 0 0 5 2 】

ある画素行の一単位の蓄積期間中において、3 分割転送を行なう場合は、垂直走査回路 1 2 からリセットトランジスタ 2 3 のゲート電極に対してリセットパルス R T S が一定の間隔で 3 回与えられることで、浮遊拡散容量 2 6 のリセット動作が 3 回実行される。このリセット動作に同期して供給電圧制御回路 1 3 から、各リセット動作の一定時間後に中間電圧 V_{mid0} 、中間電圧 V_{mid1} およびオン電圧 V_{on} がこの順番で転送トランジスタ 2 2 のゲート電極に与えられる。

10

【 0 0 5 3 】

期間 (1) では、光電変換素子 2 1 に電荷 Q_{pd} が蓄積している。このとき、転送トランジスタ 2 2 のゲート電極にオフ電圧 V_{off} が印加されており、また浮遊拡散容量 2 6 が 1 回目のリセットパルス R S T によってリセット済みであり、そのリセットレベルが 1 回目のリセットレベルとして増幅トランジスタ 2 4 および選択トランジスタ 2 5 を通して垂直信号線 1 1 1 に読み出される。

【 0 0 5 4 】

リセットレベルの 1 回目の読み出し後、期間 (2) で中間電圧 V_{mid0} が転送トランジスタ 2 2 のゲート電極に印加される。この中間電圧 V_{mid0} の印加により、光電変換素子 2 1 の蓄積電荷 Q_{pd} の一部の電荷 Q_{mid0} を残し、 $(Q_{pd} - Q_{mid0})$ の電荷が浮遊拡散容量 2 6 へ転送される。

20

【 0 0 5 5 】

次に、期間 (3) で、転送トランジスタ 2 2 のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量 2 6 に転送された電荷 $(Q_{pd} - Q_{mid0})$ に応じた信号が 1 回目の信号レベルとして垂直信号線 1 1 1 に読み出される。

【 0 0 5 6 】

次に、期間 (4) では、2 回目のリセットパルス R S T がリセットトランジスタ 2 3 のゲート電極に印加されることで浮遊拡散容量 2 6 がリセットされる。次いで、期間 (5) で、そのリセットレベルが 2 回目のリセットレベルとして垂直信号線 1 1 1 に読み出される。

30

【 0 0 5 7 】

次に、期間 (6) で、中間電圧 V_{mid1} が転送トランジスタ 2 2 のゲート電極に印加される。この中間電圧 V_{mid1} の印加により、光電変換素子 2 1 に残っている電荷 Q_{mid0} の一部の電荷 Q_{mid1} を残し、 $(Q_{pd0} - Q_{mid1})$ の電荷が浮遊拡散容量 2 6 へ転送される。

【 0 0 5 8 】

次に、期間 (7) で、転送トランジスタ 2 2 のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量 2 6 に転送された電荷 $(Q_{pd0} - Q_{mid1})$ に応じた信号が 2 回目の信号レベルとして垂直信号線 1 1 1 に読み出される。

40

【 0 0 5 9 】

次に、期間 (8) では、3 回目のリセットパルス R S T がリセットトランジスタ 2 3 のゲート電極に印加されることで浮遊拡散容量 2 6 がリセットされる。次いで、期間 (9) で、そのリセットレベルが 3 回目のリセットレベルとして垂直信号線 1 1 1 に読み出される。

【 0 0 6 0 】

次に、期間 (1 0) で、オン電圧 V_{on} が転送トランジスタ 2 2 のゲート電極に印加される。このオン電圧 V_{on} の印加により、光電変換素子 2 1 の残りの電荷 Q_{mid1} が浮遊拡散容量 2 6 へ転送される。

50

【 0 0 6 1 】

次に、期間 (1 1) で、転送トランジスタ 2 2 のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量 2 6 に転送された電荷 Q_{mid1} に応じた信号が 3 回目の信号レベルとして垂直信号線 1 1 1 に読み出される。

【 0 0 6 2 】

図 8 に、TRG 駆動電圧 (転送トランジスタ 2 2 のゲート電極に印加する転送パルス TRG) と光電変換素子 2 1 の保持電荷数の関係例として実験結果を示す。

【 0 0 6 3 】

ここでは、飽和電子数約 $5,500 e^-$ の光電変換素子 2 1 に、転送トランジスタ 2 2 をオン/オフする電圧 V_{on}/V_{off} の中間電圧 V_{mid} を印加した場合の光電変換素子 2 1 に保持される電荷数を示している。

10

【 0 0 6 4 】

図 8 では、一例として、中間電圧 V_{mid} を V_{mid0} , V_{mid1} とし、3 分割転送の駆動を実行した場合の保持電荷数 Q_{mid0} , Q_{mid1} を示している。このように、中間電圧 V_{mid} の電圧値および数を設定することにより、任意の転送電荷単位、任意の分割数で、光電変換素子 2 1 に蓄積された電荷を転送し、その電荷に応じた信号を出力することができる。

【 0 0 6 5 】

3 分割転送の場合には、中間電圧 V_{mid0} , V_{mid1} が第 1 制御電圧となり、オン電圧 V_{on} が第 2 制御電圧となる。

20

【 0 0 6 6 】

(2 分割転送)

図 9 に、ある画素行における 2 分割転送の場合の駆動タイミング例を、図 1 0 に 2 分割転送の場合の動作説明図を示す。図 1 0 において、各動作 (1) ~ (7) は図 9 の各期間 (1) ~ (7) に対応している。2 分割転送の場合は、3 分割転送に比べて転送動作が 1 回少なくなるだけであり、基本的な動作は同じである。

【 0 0 6 7 】

2 分割転送の場合には、中間電圧 V_{mid0} が第 1 制御電圧となり、オン電圧 V_{on} が第 2 制御電圧となる。

【 0 0 6 8 】

(n 分割転送)

このことから明らかのように、転送動作の分割数は任意に設定可能である。そして、n 分割 (n は 2 以上の整数) の転送を実行する場合には、図 1 1 に示すように、n - 1 個の中間電圧 V_{mid0} , V_{mid1} , ... , $V_{mid(n-2)}$ と、オン電圧 V_{on} とを供給電圧制御回路 1 3 から転送トランジスタ 2 2 のゲート電極に印加して当該転送トランジスタ 2 2 を駆動するにすればよい。

【 0 0 6 9 】

n 分割転送の場合には、中間電圧 $V_{mid0} \sim V_{mid(n-2)}$ が第 1 制御電圧となり、オン電圧 V_{on} が第 2 制御電圧となる。

30

【 0 0 7 0 】

上述した 3 分割転送、2 分割転送等の n 分割転送による駆動の下に、画素行ごとに電荷の転送、リセット、画素選択が実行されることで、単位画素 2 0 からリセットレベルおよび信号レベルの各信号 (単位画素 2 0 の出力信号) が列並列に、即ち画素列単位で並列的に垂直信号線 1 1 1 に読み出され、当該垂直信号線 1 1 1 を通じてカラム回路 1 6 に供給される。

40

【 0 0 7 1 】

上記構成の CMOS イメージセンサ 1 0 において、単位画素 2 0 の各構成素子 (転送トランジスタ 2 2 、リセットトランジスタ 2 3 および選択トランジスタ 2 5) を駆動する垂直走査回路 1 2 は、一単位の蓄積期間中に光電変換素子 2 1 に蓄積された信号電荷の一部を当該光電変換素子 2 1 に保持したまま、その保持量を超えた蓄積電荷を転送トランジス

50

タ 2 2 によって転送する第 1 制御電圧を用いて転送トランジスタ 2 2 を駆動する第 1 駆動手段と、光電変換素子 2 1 に保持された信号電荷の全てを転送トランジスタ 2 2 によって転送する第 2 制御電圧を用いて転送トランジスタ 2 2 を駆動する第 2 駆動手段と、前記第 1 駆動手段による駆動と前記第 2 駆動手段による駆動とを順次実行して転送される信号電荷の各々を読み出すべく出力手段（リセットトランジスタ 2 3 および選択トランジスタ 2 5）を駆動する第 3 駆動手段を構成している。

【 0 0 7 2 】

[カラム回路]

以下に、カラム回路 1 6 の構成例について、実施例 1 ~ 実施例 3 として具体的に例を挙げて説明する。実施例 1 ~ 実施例 3 では、3 分割転送に対応した構成の場合を例に挙げて説明するものとする。

10

【 0 0 7 3 】

(実施例 1)

図 1 2 は、実施例 1 に係るカラム回路 1 6 A の構成例を示すブロック図であり、図中、図 1 と同等部分には同一符号を付して示している。ここでは、図面の簡略化のために、2 列分の単位画素 2 0 およびカラム回路 1 6 A を示している。

【 0 0 7 4 】

本実施例 1 に係るカラム回路 1 6 A は、ノイズ除去回路 1 6 1、出力信号選択回路 1 6 2、出力信号保持回路 1 6 3 および出力信号加算回路 1 6 4 を有する構成となっている。

【 0 0 7 5 】

20

ノイズ除去回路 1 6 1 は C D S 回路であり、単位画素 2 0 から順次供給される 1 回目、2 回目、3 回目のリセットレベルと信号レベルの差分を順にとることにより、リセットノイズや増幅トランジスタ 2 4 の閾値ばらつき等の画素固有の固定パターンノイズを除去する。

【 0 0 7 6 】

ここでは、ノイズ除去回路 1 6 1 を画素列毎に配置する構成の場合を例に挙げて示したが、ノイズ除去回路 1 6 1 を出力アンプ 3 0 の部位に設ける一方、リセットレベルと信号レベルを個別にカラム信号選択回路 1 7 によって選択し出力アンプ 3 0 のノイズ除去回路 1 6 1 に供給し、当該ノイズ除去回路 1 6 1 にて C D S 処理を実行する構成を採ることも可能である。

30

【 0 0 7 7 】

出力信号選択回路 1 6 2 は、1 回目、2 回目、3 回目の分割転送に対応してノイズ除去回路 1 6 1 から順に出力される出力信号を選択して出力信号保持回路 1 6 2 の保持部 1 6 3 - 1、1 6 3 - 2、1 6 3 - 3 に保持させる。出力信号加算回路 1 6 4 は、保持部 1 6 3 - 1、1 6 3 - 2、1 6 3 - 3 に保持された 1 回目、2 回目、3 回目の各出力信号を加算する。

【 0 0 7 8 】

ここでは、1 回目、2 回目、3 回目の分割転送に対応した各出力信号について、カラム回路 1 6 A において加算処理するとしたが、これら各出力信号を C M O S イメージセンサ 1 0 の外部に読み出した後、外部の信号処理系にて加算処理を実行する構成を採ることも可能である。

40

【 0 0 7 9 】

図 1 3 は、出力信号選択回路 1 6 2、出力信号保持回路 1 6 3 および出力信号加算回路 1 6 4 の具体的な回路例を示す回路図である。

【 0 0 8 0 】

出力信号選択回路 1 6 2 は、M O S トランジスタ 1 6 2 - 1、1 6 2 - 2、1 6 2 - 3 からなり、これら M O S トランジスタ 1 6 2 - 1、1 6 2 - 2、1 6 2 - 3 が 1 回目、2 回目、3 回目の分割転送に同期した選択パルス S 1、S 2、S 3 に応答して順次オン（導通）状態になることで、1 回目、2 回目、3 回目の各出力信号を選択する。

【 0 0 8 1 】

50

出力信号保持回路163の保持部163-1, 163-2, 163-3は、例えばMOSトランジスタ162-1, 162-2, 162-3に対して直列に接続された容量によって構成され、MOSトランジスタ162-1, 162-2, 162-3によって選択された各出力信号を保持する。

【0082】

出力信号加算回路164は、リセット電源V_{RST}と出力信号保持回路163の出力ノードの間に接続され、リセットパルスA_{DRST}にตอบสนองしてオン状態になるMOSトランジスタ164-1と、出力信号保持回路163の出力ノードにゲート電極が、電源V_dにドレイン電極がそれぞれ接続されたMOSトランジスタ164-2と、MOSトランジスタ164-2のソース電極とグランドの間に接続された電流源164-3とによって

10

【0083】

図14に、リセットパルスA_{DRST}および選択パルスS₁, S₂, S₃のタイミング関係を示す。

【0084】

上記構成のカラム回路16Aにおいて、リセットパルスA_{DRST}にตอบสนองしてMOSトランジスタ164-1がオンすることで加算回路164が初期状態になる。次に、1回目、2回目、3回目の分割転送による各出力信号に対して、選択パルスS₁, S₂, S₃にตอบสนองしてMOSトランジスタ162-1, 162-2, 162-3が順次オンすることで、これら出力信号が保持部163-1, 163-2, 163-3に保持される。そして、分割転送による全て各出力信号が出力信号保持回路163に保持された時点で、MOSトランジスタ164-2のソース電極から加算された出力信号が得られる。

20

【0085】

上述したように、一単位の蓄積期間中に単位画素20に蓄積された信号電荷をn分割転送にて転送し、当該分割転送に対応した各出力信号を加算することにより、飽和レベルを損なうことなく、高い変換効率にて蓄積電荷を読み出すことができるために、高感度なイメージセンサを実現できるとともに、出力レートが分割数nに比例して増加することがなくなるため、高フレームレート化を図ることが可能になる。

【0086】

因みに、高感度なイメージセンサを実現する方法として、浮遊拡散容量(電荷電圧変換部)26の寄生容量を減らすなどして変換効率を上げる方法や、読み出し回路の電圧増幅率を高めるなどの方法があるが、これらの方法では、光電変換素子21から電荷転送して読み出すことのできる最大電荷量を制限し、飽和レベルを損なうことになる。

30

【0087】

これに対して、本実施例1によれば、中間電圧V_{mid}を用いた転送駆動によって、任意の電荷量単位で任意の回数に分割することが可能であるため、浮遊拡散容量(電荷電圧変換部)26の容量や初期電圧に依らず、複数回の読み出しに分割して、光電変換素子21に蓄積した全電荷を読み出すことができる。

【0088】

(実施例2)

図15は、実施例2に係るカラム回路16Bの構成例を示すブロック図であり、図中、図12と同等部分には同一符号を付して示している。

40

【0089】

本実施例2に係るカラム回路16Bは、ノイズ除去回路161の後段にADC(アナログ-デジタル変換)回路165を有し、1回目、2回目、3回目の分割転送に対応してノイズ除去回路161から順に出力され、ADC回路165でデジタル化された出力信号を出力信号選択回路162で選択して出力信号保持回路162の保持部163-1, 163-2, 163-3に保持し、加算回路164で1回目、2回目、3回目の各デジタル出力信号を加算する構成を採っている。

【0090】

50

すなわち、1回目、2回目、3回目の分割転送による各出力信号について、実施例1に係るカラム回路16Aではアナログ処理にて加算処理を実行するのに対し、実施例2に係るカラム回路16Bではデジタル処理にて加算処理を実行する点で相違するだけであり、基本的な回路動作は同じである。

【0091】

(実施例3)

図16は、実施例3に係るカラム回路16Cの構成例を示すブロック図であり、図中、図12と同等部分には同一符号を付して示している。

【0092】

本実施例3に係るカラム回路16Cは、加算機能を持つADC回路166によって構成されている。このADC回路166は、加算機能に加えて、ノイズ除去(CDS処理)機能をも備えている。ただし、ADC回路166がノイズ除去機能を持つことは必須ではなく、実施例2の場合のように、ADC回路166の前段側にノイズ除去回路161を配置する構成を採ることも可能である。

10

【0093】

図17は、ADC回路166の具体的な構成例を示すブロック図である。図17に示すように、本例に係るADC回路166は、電圧比較器1661とカウンタ1662によって構成されている。

【0094】

電圧比較器1661は、ランプ(RAMP)波形の参照信号Vrefを反転(-)入力とし、垂直信号線111を通して供給される単位画素20の出力信号Voutを非反転(+)とし、出力信号Voutが参照信号Vrefよりも大きいときに比較結果Vcoを出力する。

20

【0095】

カウンタ1662はアップ/ダウンカウンタからなり、電圧比較器1661の比較結果Vcoが遷移するまでの期間、アップ/ダウン制御信号による制御の下に、クロックCKに同期してアップカウント/ダウンカウントのカウント動作を行なうことにより、カウント値を増減する。

【0096】

図18に、ランプ波形の参照信号Vrefおよび電圧比較器1661の比較結果Vcoの各波形とカウンタ1662のカウント値を示す。

30

【0097】

本例では、3分割転送による各出力信号に対して、1回目のリセットレベルの読み出しではカウンタ1662のカウント値を減じ、次の1回目の信号レベルの読み出しではカウンタ1662のカウント値を増やすことで、結果的にリセットレベルと信号レベルの差分に相当するカウント値を得る(ノイズ除去処理)。

【0098】

これにより、ノイズ除去処理をAD変換処理と同時に実行している。また、1回目のAD変換処理に引き続き、2回目のリセットレベルの読み出しではカウンタ1662のカウント値を減じ、2回目の信号レベルの読み出しではカウンタ1662のカウント値を増やすことで、2回目のノイズ除去処理後の結果を、1回目のノイズ除去処理結果に加算することができる(加算処理)。

40

【0099】

すなわち、3分割転送による各出力信号に対して、リセットレベルと信号レベルの差分に相当するカウント値を得る動作を繰り返すことにより、カウンタ1662のカウント値は増減を繰り返し、各分割転送の読み出しにおけるリセットレベルと信号レベルの差分を加算したデジタル出力信号を得ることができる。これにより、図12のノイズ除去回路161、出力信号保持回路163および出力信号加算回路164の各機能をADC回路166に持たせることができる。

【0100】

50

上述したように、加算機能を持つADC回路166によってカラム回路16Cを構成することにより、実施例1の作用効果に加えて、実施例2における出力信号保持回路163の保持部163-1, 163-2, 163-3が不要となり、しかも保持部163-1, 163-2, 163-3の数を分割転送の分割数に応じて増加させる必要もないため、カラム回路16Cの回路構成の簡略化を図ることができる。

【0101】

また、ADC回路166がノイズ除去機能をも持つ構成を採ることにより、ノイズ除去回路161も不要になるため、カラム回路16Cの回路構成のさらなる簡略化を図ることができる。

【0102】

<異なる変換精度のAD変換>

ここで、図18に示すように、 n 分割の全ての読み出しにおいて同じ変換精度でAD変換を行なうと、AD変換の実行時間および消費電力が分割数に比例して増加することになる。

【0103】

これに対して、 n 分割転送による各出力信号に対して、異なる変換精度でAD変換を施して加算することにより、画質を損なうことなく、AD変換の実行時間(変換速度)の向上や、消費電力の低減などの効果を得ることができる。このことについて、以下により具体的に説明する。

【0104】

図19は、3分割転送の際に異なる変換精度でAD変換を行なうときの処理の説明図である。この処理は、1回目に相対的に低い変換精度でAD変換を実行し、2回目、3回目の読み出しに対して順次変換精度を上げていく例である。このように、分割転送による n 回分の出力信号に対して、異なる変換精度のAD変換を施して加算することにより、輝度に応じて変換精度を切り替えたAD変換特性を得ることができる。

【0105】

これは、入射輝度が低い場合は光電変換素子21の蓄積電荷数が少ないため、最初の分割転送では出力が発生せず、中間電圧で決まる閾値を超える蓄積電荷を発生させるような輝度の場合のみ電荷が転送されることによる。

【0106】

図8に示す例のように3分割して転送した場合、保持電荷数 Q_{mid1} を下回る蓄積電荷を発生しているとき、即ち入射光輝度が低いときは、3回目の転送においてのみ出力信号が得られる。一方、保持電荷数 Q_{mid0} を超える蓄積電荷があるとき、即ち入射光輝度が高いときは、1回目の転送から電荷が転送されるために出力信号が得られる。

【0107】

これにより、図19に示すように、輝度が低い場合においては高いAD変換精度を適用し、輝度が高い場合においては、順次低いAD変換精度を混在させて適用した特性を得ることができる。

【0108】

ここで、出力信号のノイズレベルは、入射光輝度がない場合に回路等で発生する暗時ノイズと、入射光輝度に応じて入射光輝度の平方根のエネルギーで発生する光ショットノイズに大きく分けられる。それゆえ、図20に示すように、入射光輝度に比例する信号レベルに対して、ノイズレベルは、暗時ノイズに、信号レベルの平方根の特性を持つ光ショットノイズを加えた特性を有する。

【0109】

AD変換精度、即ちAD変換における最小検知単位はノイズレベルを下回っていることが好ましいため、低輝度では高い精度のAD変換が必要であるが、高輝度では光ショットノイズが支配的となり、低精度のAD変換を施してAD変換の量子化誤差を大きくしても画質を損なうことがほとんどない。

【0110】

10

20

30

40

50

<異なるAD変換精度を設定する具体例>

続いて、図17に示したADC回路166の構成にて、異なるAD変換精度を設定する具体例について、図21を用いて説明する。

【0111】

参照信号Vrefの傾きをN倍に大きくすることで、1カウントあたりの電圧値、即ちAD変換の最小検知量を荒くすることができる。例えば、図21に示すように、1回目の読み出しにおいて、参照信号Vrefの傾きを2回目の読み出しの2倍の傾きとすることで、1回目の読み出しに変換精度の低いAD変換を適用している。

【0112】

一方で、3分割転送による各出力信号の加算を実行する場合には、カウンタ1662を動作させるクロックCKの1クロックにおいて、カウント値をNカウントすることで、分割転送された出力信号を同じ重みで加算することができる。

【0113】

例えば、図21に示すように、参照信号Vrefを2倍の傾きとした場合には、1クロックあたり2カウントを増減することで、変換精度を落としながら同じ重みでの加算を実行している。

【0114】

また、敢えてカウント値をN倍せずに参照信号Vrefの傾きを変える、あるいは参照信号Vrefの傾きを変えずにカウント値をN倍することで、分割転送された出力信号にそれぞれ任意の重みを掛けて加算することも可能である。

【0115】

図22は、光電変換素子21の最大蓄積電荷量を10,000電子とした場合の、入射光強度(蓄積電荷)と読み出された信号のノイズレベルの関係を示す特性図である。ここでは、読み出しの固定パターンノイズを2e⁻相当、読み出しのランダムノイズを7e⁻相当、そして蓄積電荷に応じた光ショットノイズをノイズ成分として含めている。

【0116】

図22に示すように、蓄積電荷の少ない低輝度においては暗時ノイズレベルが支配的であるが、入射光強度が強くなり、蓄積電荷が多くなると、光ショットノイズが支配的となる。それゆえに、低輝度には高い変換精度のAD変換を適用すれば、高輝度には低い変換精度のAD変換を適用しても、例えば図22に示すように、AD変換の量子化誤差は支配的とならず、画質劣化をほとんど引き起こさない。

【0117】

この例では、12bit、10bit、8bitのAD変換の変換精度は1LSBあたり2.4e⁻、9.8e⁻、39.1e⁻となるため、図22に示すように、蓄積電荷を4分割して転送した場合に、各々に図22のような変換精度を適用すれば、1LSBに相当する電子数で決まる量子化誤差は、光ショットノイズなどのノイズ成分を大きく下回るため画質への影響がほとんどない。

【0118】

[変形例]

上記実施形態では、光電変換素子21の電荷を1つの転送トランジスタ22によって共通の浮遊拡散容量26にn分割転送し、共通の垂直信号線111に順次読み出す構成の単位画素20を有するCMOSイメージセンサに適用した場合を例に挙げて説明したが、これに限られるものではなく、種々の変形例が可能である。

【0119】

(変形例1)

図23は、変形例1に係る単位画素20Aの画素回路を示す回路図であり、図中、図2と同等部分には同一符号を付して示している。

【0120】

図23に示すように、本変形例1に係る単位画素20Aは、単一の光電変換素子21に対して、分割転送の分割数nだけ転送トランジスタ22-1~22-n、リセットラン

10

20

30

40

50

ジスタ 23 - 1 ~ 23 - n、増幅トランジスタ 24 - 1 ~ 24 - n、選択トランジスタ 25 - 1 ~ 25 - n および浮遊拡散容量 26 - 1 ~ 26 - n を有する構成となっている。

【0121】

この単位画素 20 A においては、光電変換素子 21 の電荷を転送トランジスタ 22 - 1 ~ 22 - n によって別々の浮遊拡散容量 26 - 1 ~ 26 - n に分割転送することにより、別々の出力回路（リセットトランジスタ 23 - 1 ~ 23 - n、増幅トランジスタ 24 - 1 ~ 24 - n、選択トランジスタ 25 - 1 ~ 25 - n）から n 系統の出力信号 $V_{out-1} \sim V_{out-n}$ として得られることになる。

【0122】

このように、転送トランジスタ 22 - 1 ~ 22 - n によって各々分割転送された電荷を別々の浮遊拡散容量 26 - 1 ~ 26 - n に転送し、個別の出力回路によって読み出す構成の単位画素 20 A を有する CMOS イメージセンサに対しても本発明を適用することが可能であり、個別の出力回路によって読み出された n 系統の出力信号 $V_{out-1} \sim V_{out-n}$ を加算することで、上記実施形態の場合と同様の作用効果を得ることができる。

【0123】

（変形例 2）

図 24 は、変形例 2 に係る単位画素 20 B の画素回路を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

【0124】

図 24 に示すように、本変形例 2 に係る単位画素 20 B は、増幅トランジスタ 24 に対して直列に接続された選択トランジスタ 25 のドレイン電極と電源 V_{dd} との間に電流源 31 を接続し、選択トランジスタ 25 のドレインノードから出力信号 V_{out} を導出する構成となっている。

【0125】

この単位画素 20 B において、浮遊拡散容量 26 での電荷電圧変換の変換効率は、浮遊拡散容量 26 と垂直信号線 111 の間の寄生容量の容量値 C_i で決まり、この寄生容量の容量値 C_i を浮遊拡散容量 26 の容量値 C_{fd} よりも小さくすることで、変換効率を上げることができる。

【0126】

ここで、浮遊拡散容量 26 の最大蓄積電荷量を $Q_{fd,max}$ 、寄生容量 C_i の最大蓄積電荷量を $Q_{i,max}$ とした場合、高変換効率の効果を得るには、

$$Q_{i,max} < Q_{fd,max}$$

が条件となる。このため、最大蓄積電荷量 $Q_{fd,max}$ よりも小さい最大蓄積電荷量 $Q_{i,max}$ を単位として光電変換素子 21 の蓄積電荷 Q_{pd} を分割転送する必要がある。

【0127】

このように、電荷電圧変換効率が高い、あるいは、電圧増幅率が高い単位画素 20 B を有する CMOS イメージセンサは、S/N において有利である一方で、1 回の読み出しで出力できる電荷量に制限が発生する場合がある。

【0128】

この単位画素 20 B を有する CMOS イメージセンサに対して、本発明に係る分割転送を適用し、光電変換素子 21 の電荷を任意に分割して転送することにより、光電変換素子 21 で発生した全ての電荷を、読み出し回路の出力範囲に応じて効率よく出力することができる。

【0129】

また、図 24 に示す単位画素 20 B の例では、リセット時の電荷電圧変換部（浮遊拡散容量 26）の電圧を読み出し回路の動作点に設定する必要があるが、本発明に係る分割転送を適用することにより、電荷電圧変換部の電位に依らず分割転送量を制御できる。

【0130】

（変形例 3）

図 25 は、変形例 3 に係る単位画素 20 C の画素回路を示す回路図であり、図中、図 2

10

20

30

40

50

と同等部分には同一符号を付して示している。

【0131】

図25に示すように、本変形例3に係る単位画素20Cは、増幅トランジスタ24に代えて、浮遊拡散容量26と選択トランジスタ25の間に反転増幅回路27を接続するとともに、当該反転増幅回路27に対してリセットトランジスタ23を並列に接続した構成となっている。このように、反転増幅回路27を画素内に持つことにより、信号レベルを増幅し、S/Nの改善を図ることができる。

【0132】

このように、反転増幅回路27を画素内に持つ単位画素20Cを有するCMOSイメージセンサでは、反転増幅回路27の増幅率を $-A$ とすると、浮遊拡散容量26に最大蓄積電荷量 $Q_{fd,max}$ が転送されたときの出力電圧 V_{out} の振幅 $-A \cdot Q_{fd,max} / C_{fd}$ が、出力電圧 V_{out} の出力可能範囲 $V_{out,pp}$ を超える場合がある。

10

【0133】

この場合、全ての電荷を信号出力するために、浮遊拡散容量26の最大蓄積電荷量 $Q_{fd,max}$ よりも小さい電荷 $Q_{mid} (< Q_{fd,max})$ を最大とした電荷量の単位で分割転送する必要がある。

【0134】

この単位画素20Cを有するCMOSイメージセンサに対して、本発明に係る分割転送を適用し、光電変換素子21の電荷を任意に分割して転送することにより、光電変換素子21で発生した全ての電荷を、出力電圧 V_{out} の出力可能範囲 $V_{out,pp}$ に応じて効率よく出力することができる。

20

【0135】

なお、上記実施形態では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明したが、本発明はCMOSイメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム回路を配置してなるカラム方式の固体撮像装置全般に対して適用可能である。

【0136】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

30

【0137】

さらに、本発明は、画素アレイ部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限らず、画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX-Yアドレス型の固体撮像装置に対しても適用可能である。

【0138】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

40

【0139】

また、本発明は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【0140】

[撮像装置]

図26は、本発明に係る撮像装置の構成の一例を示すブロック図である。図26に示す

50

ように、本発明に係る撮像装置 50 は、レンズ群 51 を含む光学系、固体撮像装置 52、カメラ信号処理回路である DSP 回路 53、フレームメモリ 54、表示装置 55、記録装置 56、操作系 57 および電源系 58 等を有し、DSP 回路 53、フレームメモリ 54、表示装置 55、記録装置 56、操作系 57 および電源系 58 がバスライン 59 を介して相互に接続された構成となっている。

【0141】

レンズ群 51 は、被写体からの入射光（像光）を取り込んで固体撮像装置 52 の撮像面上に結像する。固体撮像装置 52 は、レンズ群 51 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置 52 として、先述した実施形態に係る CMOS イメージセンサ 10 が用いられる。

10

【0142】

表示装置 55 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置からなり、固体撮像装置 52 で撮像された動画または静止画を表示する。記録装置 56 は、固体撮像装置 52 で撮像された動画または静止画を、ビデオテープや DVD (Digital Versatile Disk) 等の記録媒体に記録する。

【0143】

操作系 57 は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系 58 は、DSP 回路 53、フレームメモリ 54、表示装置 55、記録装置 56 および操作系 57 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

20

【0144】

上述したように、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置において、その固体撮像装置 52 として先述した実施形態に係る CMOS イメージセンサ 10 を用いることで、当該 CMOS イメージセンサ 10 では、飽和レベルを損なうことなく、高い変換効率にて蓄積電荷を読み出すことができるため、高感度な撮像装置を実現できる。

【図面の簡単な説明】

【0145】

【図 1】本発明の一実施形態に係る CMOS イメージセンサの構成を示すシステム構成図である。

30

【図 2】画素回路の構成の一例を示す回路図である。

【図 3】画素回路の構成の他の例を示す回路図である。

【図 4】供給電圧制御回路の回路構成の一例を示す回路図である。

【図 5】供給電圧制御回路の入出力のタイミング関係を示すタイミングチャートである。

【図 6】3 分割転送の場合の駆動タイミング例を示すタイミングチャートである。

【図 7】3 分割転送の場合の動作説明図である。

【図 8】TRG 駆動電圧と光電変換素子の保持電荷数の関係例として実験結果を示す図である。

【図 9】2 分割転送の場合の駆動タイミング例を示すタイミングチャートである。

【図 10】2 分割転送の場合の動作説明図である。

40

【図 11】n 分割転送の場合の駆動タイミング例を示すタイミングチャートである。

【図 12】実施例 1 に係るカラム回路の構成例を示すブロック図である。

【図 13】リセットパルス ADDRST および選択パルス S1, S2, S3 のタイミング関係を示すタイミングチャートである。

【図 14】出力信号選択回路、出力信号保持回路および出力信号加算回路の具体的な回路例を示す回路図である。

【図 15】実施例 2 に係るカラム回路の構成例を示すブロック図である。

【図 16】実施例 3 に係るカラム回路の構成例を示すブロック図である。

【図 17】実施例 3 に係る ADC 回路の具体的な構成例を示すブロック図である。

【図 18】参照信号 Vref および電圧比較器の比較結果 Vco の各波形とカウンタのカ

50

ウント値を示すタイミング波形図である。

【図 19】3分割転送の際に異なる変換精度でAD変換を行なうときの処理の説明図である。

【図 20】入射光輝度に比例する信号レベルとノイズレベルの関係を示す特性図である。

【図 21】異なるAD変換精度を設定する具体例の説明図である。

【図 22】入射光強度（蓄積電荷）と読み出された信号のノイズレベルの関係を示す特性図である。

【図 23】変形例1に係る単位画素の画素回路を示す回路図である。

【図 24】変形例2に係る単位画素の画素回路を示す回路図である。

【図 25】変形例3に係る単位画素の画素回路を示す回路図である。

【図 26】本発明に係る撮像装置の構成の一例を示すブロック図である。

【図 27】単位画素の構成の一例を示す回路図である。

【図 28】従来技術の課題の説明図（その1）である。

【図 29】従来技術の課題の説明図（その1）である。

【符号の説明】

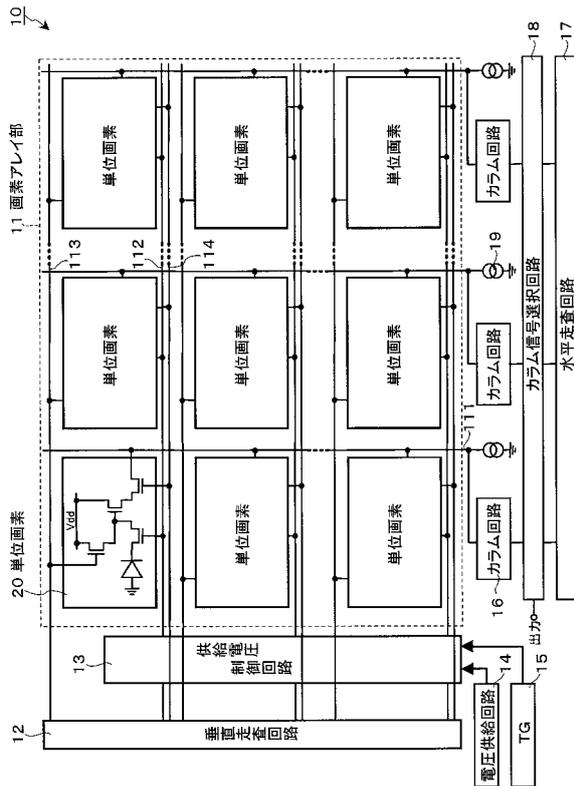
【0146】

10...CMOSイメージセンサ、11...画素アレイ部、12...垂直走査回路、13...供給電圧制御回路、14...電圧供給回路、15...タイミング発生回路(TG)、16(16A, 16B, 16C)...カラム回路、17...水平走査回路、18...カラム信号選択回路、20(20A, 20B, 20C)...単位画素、21...光電変換素子、22...転送トランジスタ、23...リセットトランジスタ、24...増幅トランジスタ、25...選択トランジスタ

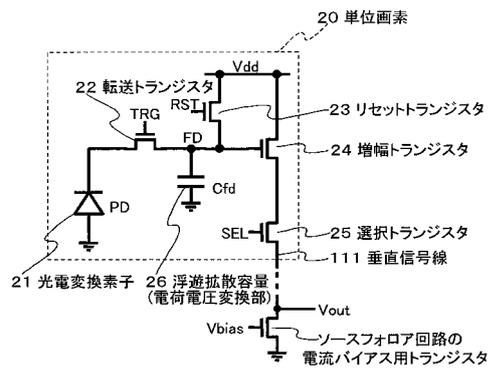
10

20

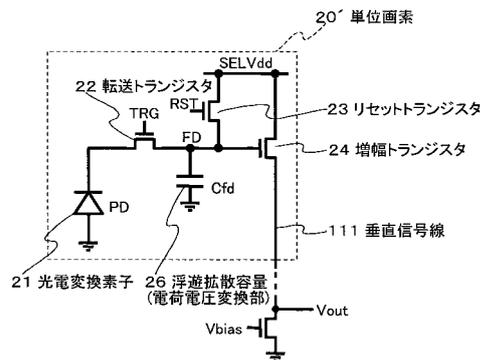
【図 1】



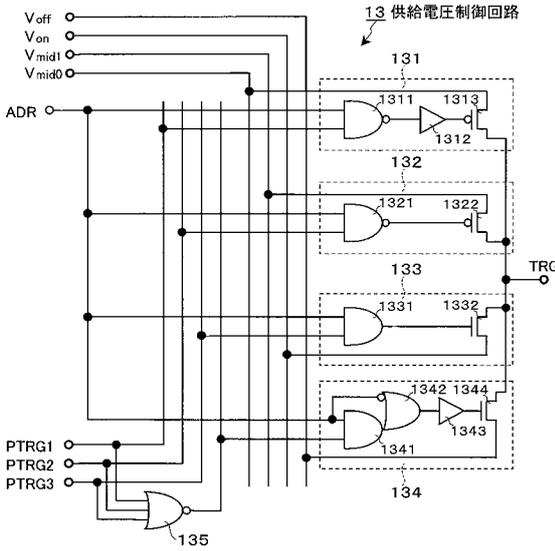
【図 2】



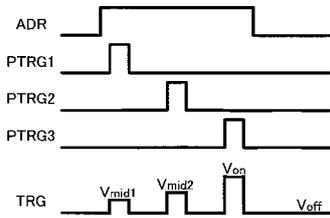
【図 3】



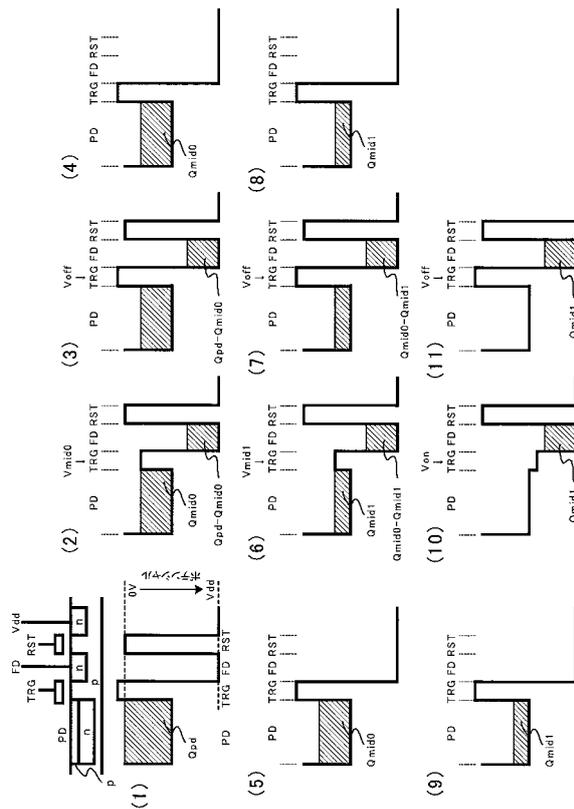
【図4】



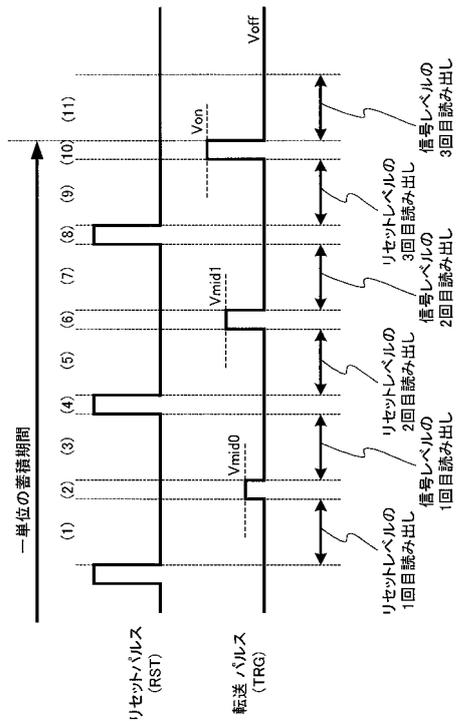
【図5】



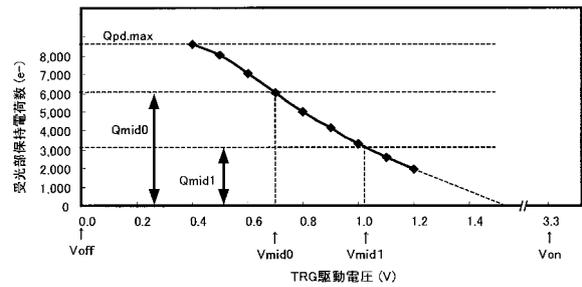
【図7】



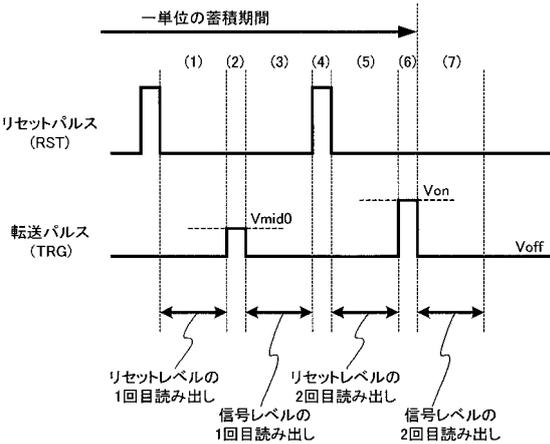
【図6】



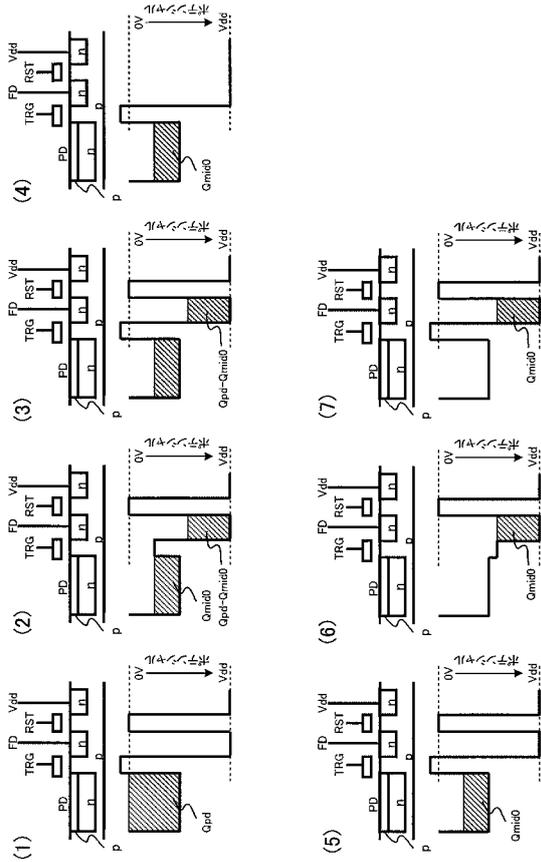
【図8】



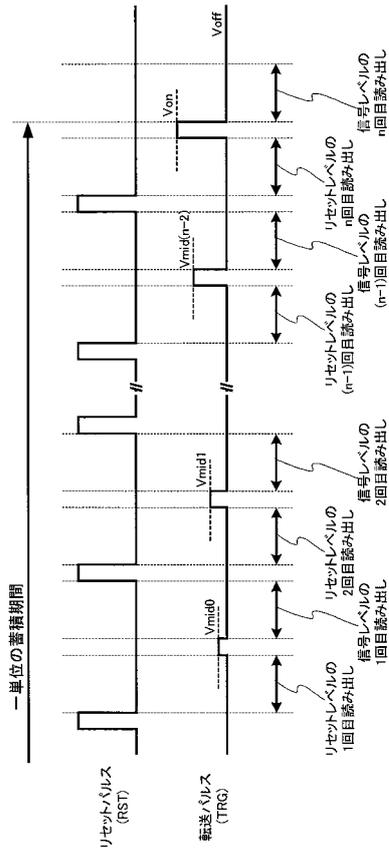
【図9】



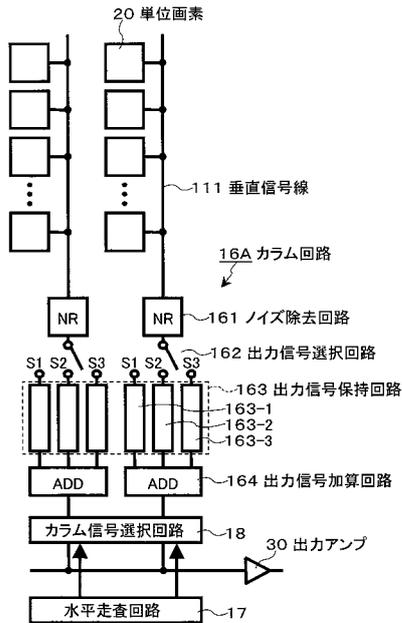
【図10】



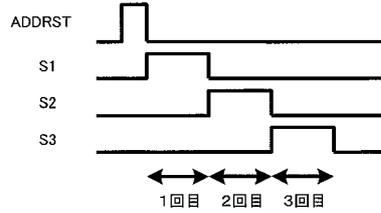
【図11】



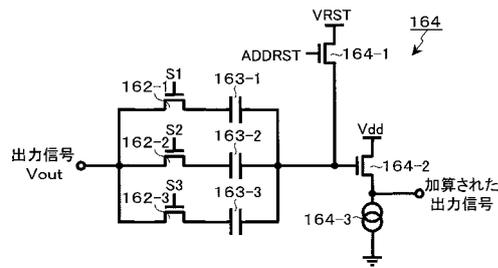
【図12】



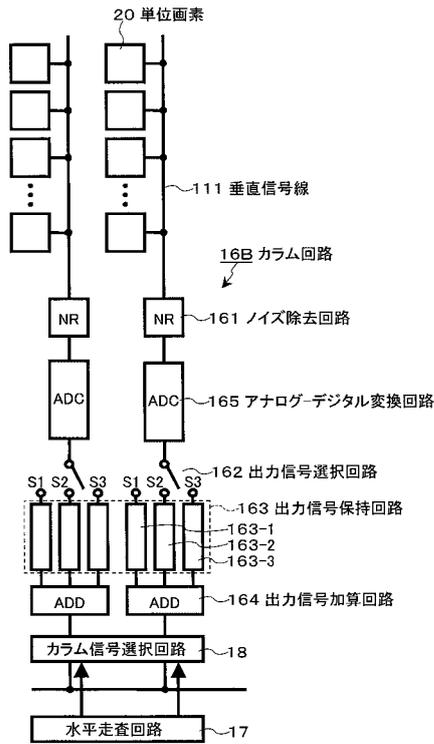
【図13】



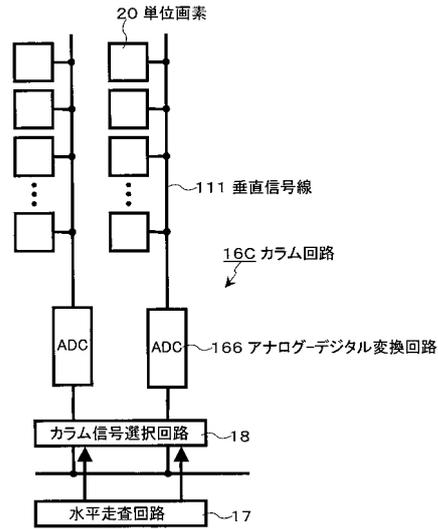
【図14】



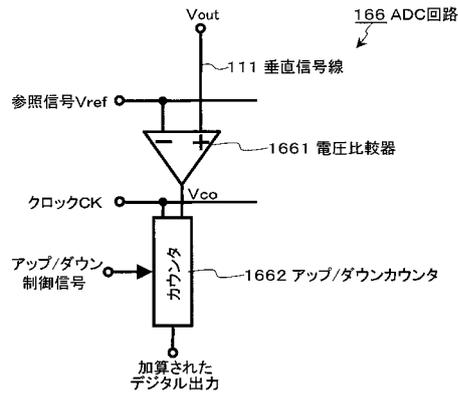
【図15】



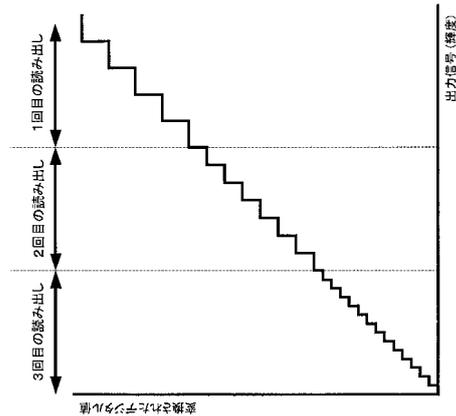
【図16】



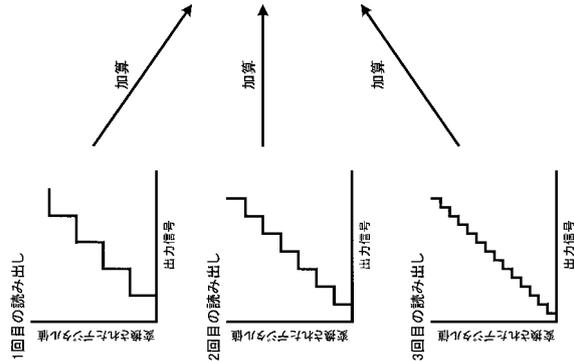
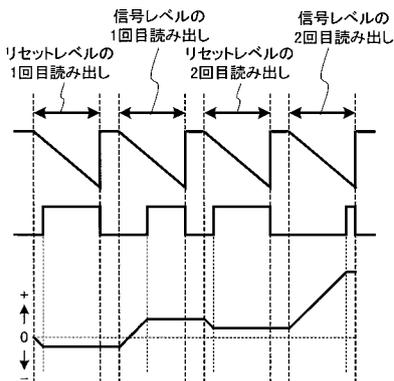
【図17】



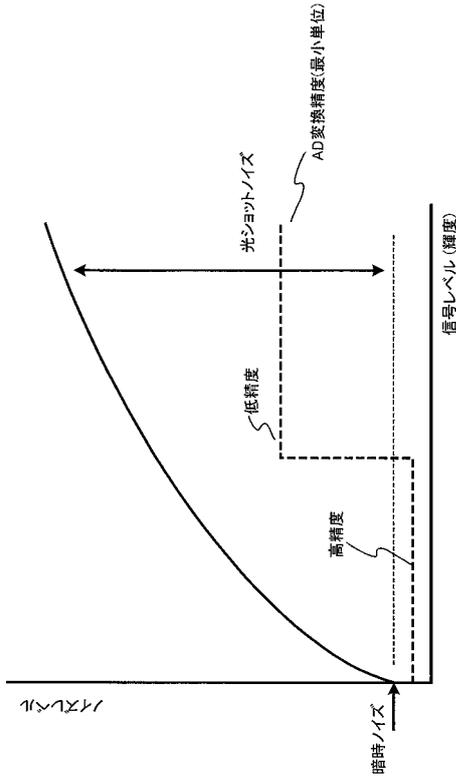
【図19】



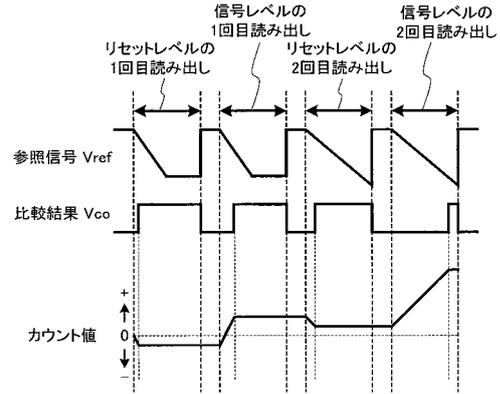
【図18】



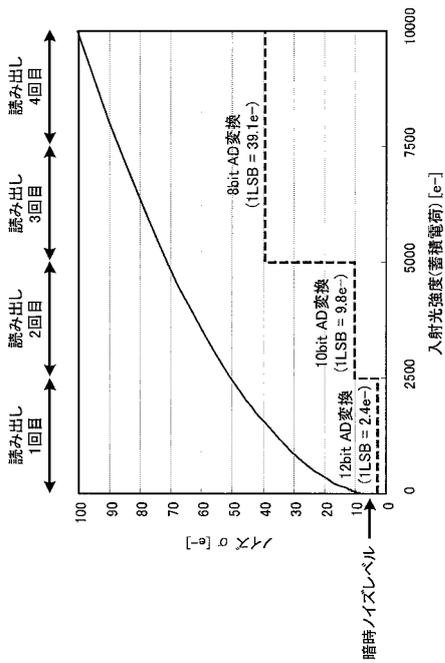
【図20】



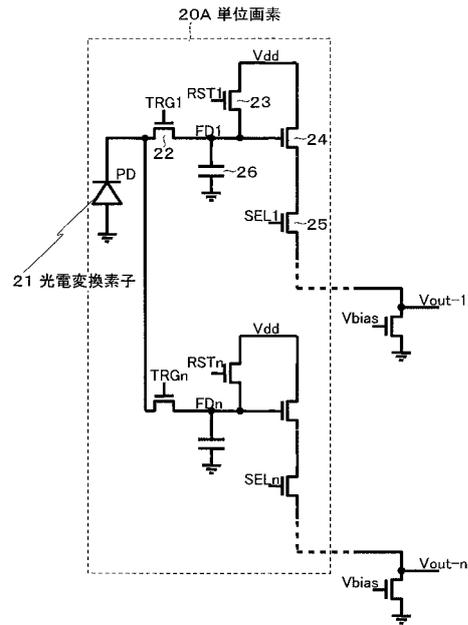
【図21】



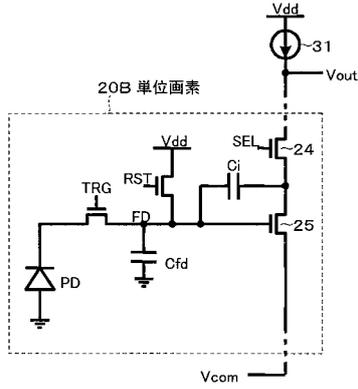
【図22】



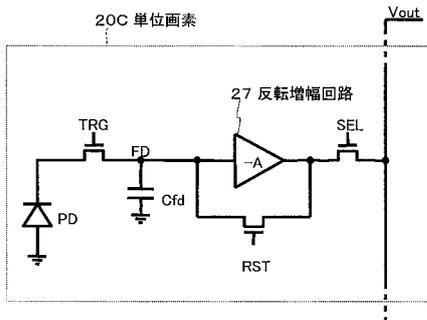
【図23】



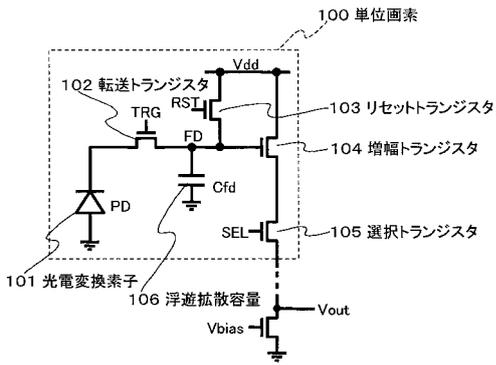
【図 24】



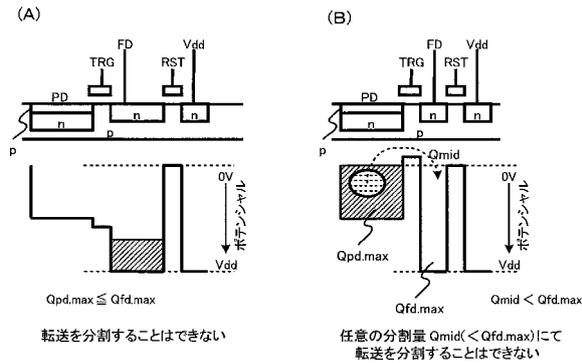
【図 25】



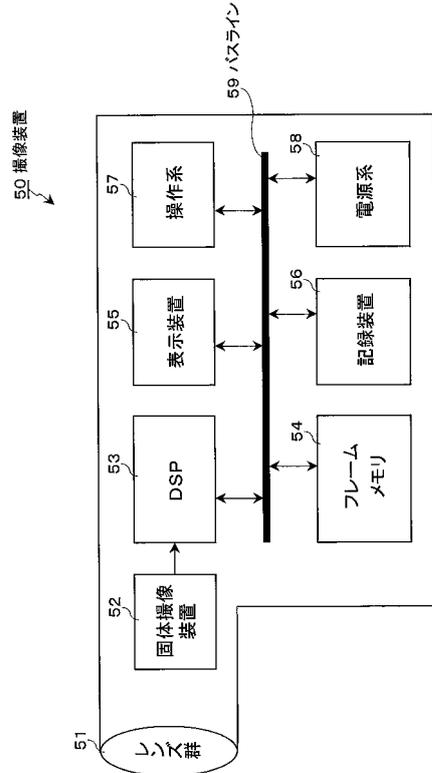
【図 27】



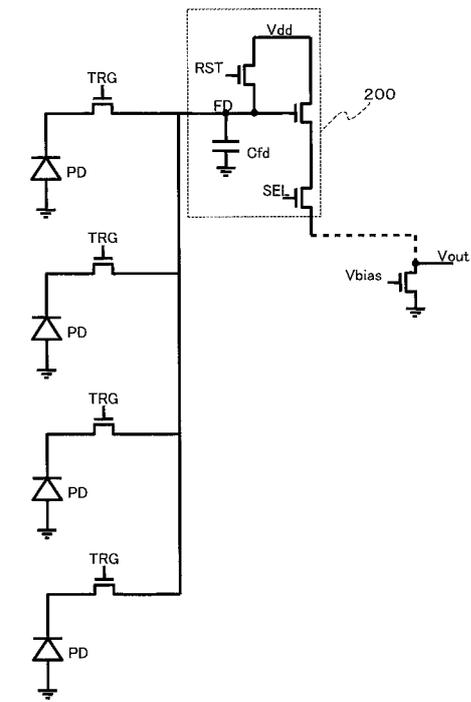
【図 28】



【図 26】



【図 29】



フロントページの続き

- (56)参考文献 特開平01 - 147972 (JP, A)
特開2001 - 177775 (JP, A)
特開2006 - 033453 (JP, A)
特開2006 - 050231 (JP, A)
特開2004 - 159274 (JP, A)
特開2001 - 008104 (JP, A)
特開平08 - 242408 (JP, A)
特開2006 - 197393 (JP, A)
特開2004 - 304246 (JP, A)
特開2008 - 124842 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762