

(21) 申請案號：101110323

(22) 申請日：中華民國 101 (2012) 年 03 月 26 日

(51) Int. Cl. : **G01R31/28 (2006.01)**

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION, INC. (TW)

新竹縣竹北市台元街 36 號 8 樓之 1

(72) 發明人：陳建基 CHEN, CHIEN CHI (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：19 項 圖式數：3 共 21 頁

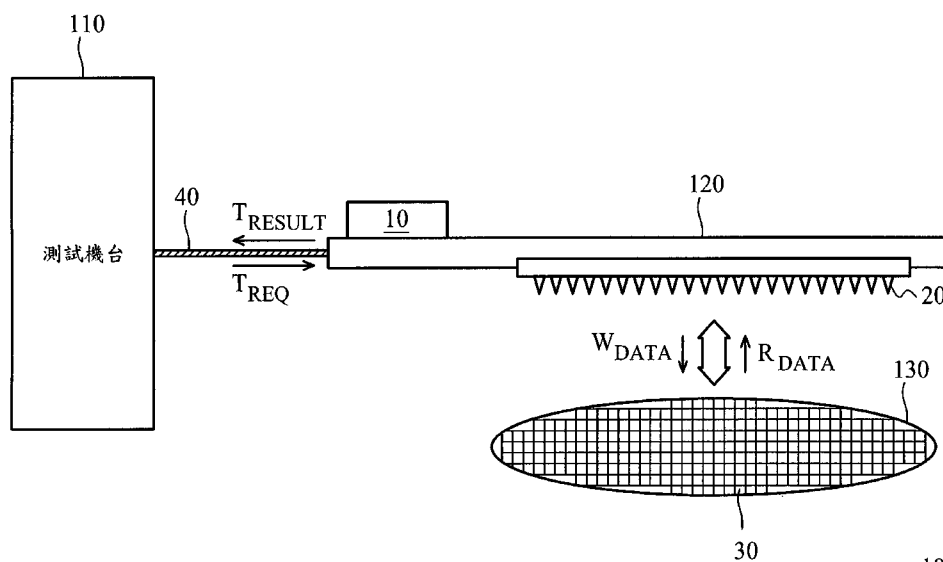
(54) 名稱

測試系統及其測試方法

TESTING SYSTEM AND TESTING METHOD THEREOF

(57) 摘要

一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓。上述測試系統包括一測試機台以及一探針卡。上述測試機台提供一測試請求。上述探針卡係經由一特定傳輸線耦接於上述測試機台。上述探針卡包括複數探針以及一控制器。上述探針接觸於上述晶圓之至少一上述快閃記憶體晶粒。上述控制器係根據上述測試請求，經由上述探針寫入一測試資料至上述快閃記憶體晶粒，並從上述快閃記憶體晶粒讀取出上述測試資料。上述控制器根據所讀取之上述測試資料，提供一測試結果至上述測試機台。



- 10：控制器
- 20：探針
- 30：快閃記憶體晶粒
- 40：傳輸線
- 100：測試系統
- 110：測試機台
- 120：探針卡
- 130：晶圓
- R_{DATA}：資料
- T_{REQ}：測試請求
- T_{RESULT}：測試結果
- W_{DATA}：資料

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101110323

※申請日：

101. 3. 26

※IPC 分類：G01R 31/28 (2006.01)

一、發明名稱：(中文/英文)

測試系統及其測試方法

TESTING SYSTEM AND TESTING METHOD
THEREOF

二、中文發明摘要：

一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓。上述測試系統包括一測試機台以及一探針卡。上述測試機台提供一測試請求。上述探針卡係經由一特定傳輸線耦接於上述測試機台。上述探針卡包括複數探針以及一控制器。上述探針接觸於上述晶圓之至少一上述快閃記憶體晶粒。上述控制器係根據上述測試請求，經由上述探針寫入一測試資料至上述快閃記憶體晶粒，並從上述快閃記憶體晶粒讀取出上述測試資料。上述控制器根據所讀取之上述測試資料，提供一測試結果至上述測試機台。

三、英文發明摘要：

A testing system for a wafer having a plurality of flash memory dies is provided. The testing system includes a testing apparatus and a probe card. The testing apparatus provides a testing requirement. The probe card is coupled

to the testing apparatus via a specific transmission line. The probe card includes a plurality of probes and a controller. The probes contact with at least one of the flash memory dies of the wafer. According to the testing requirement, the controller writes a testing data to the flash memory die and reads the testing data from the flash memory die via the probes. The controller provides a testing result to the testing apparatus according to the read testing data.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10～控制器；

20～探針；

30～快閃記憶體晶粒；

40～傳輸線；

100～測試系統；

110～測試機台；

120～探針卡；

130～晶圓；

T_{REQ}～測試請求；

T_{RESULT}～測試結果；以及

W_{DATA}、R_{DATA}～資料。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種測試系統，且特別有關於一種快閃記憶體晶片之測試系統。

【先前技術】

近年來，由於快閃記憶體(Flash Memory)具有資料非揮發性、省電、體積小以及無機械結構等的特性，因此適合使用在各種電子裝置上，尤其是可攜式電子產品。

一般而言，快閃記憶體儲存裝置內的快閃記憶體晶片(chip)會根據不同儲存容量而包括 1 個或多個快閃記憶體晶粒(die)。在快閃記憶體晶粒被封裝在快閃記憶體晶片之前，必須先進行晶圓分類測試(Wafer Sorting Test)，以便對晶圓上的各記憶體晶粒進行測試。在完成晶圓分類測試之後，好的記憶體晶粒才會被封裝在晶片內，例如進行多晶片封裝(Multi-Chip Package, MCP)。如果記憶體晶粒在進行多晶片封裝之前沒有被全部測試過，然後對記憶體晶片進行封裝最後測試(Package Final Test)時，才發現某些記憶體晶粒有缺陷，則該晶片最後必須被廢棄。因此，會造成該晶片內好的記憶體晶粒以及封裝成本的損失。

此外，在晶圓分類測試中所使用的測試設備是複雜以及昂貴的。傳統上，進行晶圓分類測試時，自動測試設備(automatic test equipment, ATE)會將大量的測試資料寫入至晶圓上的待測記憶體晶粒內，再將寫入至對待測記憶體晶粒的資料進行讀取。接著，自動測試設備會對所讀取的

資料進行錯誤檢查與校正(error checking and correcting, ECC)程序，以判斷待測之記憶體晶粒儲存是否有缺陷。由於需要對大量的資料進行錯誤檢查與校正程序，因此需要較高階的自動測試設備才能同時對多個記憶體晶粒進行測試。此外，若使用較低階的自動測試設備來進行測試，則無法同時對多個記憶體晶粒進行測試，因而會延長測試時間，而增加測試成本。

因此，需要一種能降低測試成本之測試裝置與方法。

【發明內容】

本發明提供一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓。上述測試系統包括：一測試機台，用以提供一測試請求；以及，一探針卡，經由一特定傳輸線耦接於上述測試機台。上述探針卡包括：複數探針，用以接觸於上述晶圓之至少一上述快閃記憶體晶粒；以及一控制器，用以根據上述測試請求，經由上述探針寫入一測試資料至上述快閃記憶體晶粒，並從上述快閃記憶體晶粒讀取出上述測試資料。上述控制器根據所讀取之上述測試資料，提供一測試結果至上述測試機台。

再者，本發明提供另一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓。上述測試系統包括：一測試機台，用以提供一測試請求；一集線器，經由一第一通用序列匯流排耦接於上述測試機台；以及，一探針卡，經由複數第二通用序列匯流排耦接於上述集線器。上述探針卡包括：複數探針，用以接觸於上述晶圓之上述複數快閃記憶

體晶粒；以及複數控制器，各經由對應之第二通用序列匯流排耦接於上述集線器。每一上述控制器係經由上述探針耦接於對應之上述快閃記憶體晶粒。每一上述控制器係根據上述測試請求，經由上述探針寫入一測試資料至對應之上述快閃記憶體晶粒，並從對應之上述快閃記憶體晶粒讀取出上述測試資料。每一上述控制器係根據所讀取之上述測試資料，提供一測試結果至上述測試機台。

再者，本發明提供一種測試方法，適用於具有複數快閃記憶體晶粒之一晶圓。藉由一控制器，得到來自一測試機台之一測試請求。藉由上述控制器，根據上述測試請求，而經由一探針卡之複數探針來寫入一測試資料至上述晶圓之上述快閃記憶體晶粒。藉由上述控制器，經由上述探針卡之上述探針，從上述晶圓之上述快閃記憶體晶粒讀取出上述測試資料。藉由上述控制器，根據所讀取之上述測試資料，提供一測試結果至上述測試機台。上述控制器係設置在上述探針卡。

【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

第 1 圖係顯示根據本發明一實施例所述之測試系統 100。測試系統 100 包括測試機台 110、探針卡 (probe card) 120 以及晶圓 (wafer) 130，其中晶圓 130 具有待測的複

數快閃記憶體晶粒(die)30。探針卡 120 係經由傳輸線 40 而耦接於測試機台 110。在此實施例中，傳輸線 40 可以是通用序列匯流排(Universal Serial Bus, USB)傳輸線或是通用非同步收發器 (Universal Asynchronous Receiver/Transmitter, UART)傳輸線，例如 RS232。此外，探針卡 120 包括控制器 10 以及複數探針 20，其中控制器 10 係設置在一積體電路內。探針卡 120 可透過探針 20 來接觸晶圓 130 中至少一快閃記憶體晶粒 30 的接點，使得控制器 10 能電性連接於快閃記憶體晶粒 30。首先，測試機台 110 會經由傳輸線 40 傳送測試請求 T_{REQ} 至探針卡 120 上的控制器 10。控制器 10 會根據測試請求 T_{REQ} ，經由探針 20 來寫入資料 W_{DATA} 至快閃記憶體晶粒 30。接著，控制器 10 會經由探針 20 從快閃記憶體晶粒 30 中讀取出先前所寫入之資料 R_{DATA} 。在得到資料 R_{DATA} 之後，控制器 10 會使用其錯誤檢查與校正 (ECC) 引擎來對所讀取之資料 R_{DATA} 執行錯誤檢查與校正程序，以得到測試結果 T_{RESULT} 。接著，控制器 10 會透過傳輸線 40 將測試結果 T_{RESULT} 傳送給測試機台 110。於是，測試機台 110 便可根據測試結果 T_{RESULT} 來判斷快閃記憶體晶粒 30 是否正常，並對缺陷之快閃記憶體晶粒 30 進行標記。藉由使用控制器 10 來執行錯誤檢查與校正程序並提供測試結果 T_{RESULT} ，可大幅減少測試機台 110 的運算量，因此可增加測試效率。此外，亦可使用低階的自動測試設備(ATE)來對晶圓 130 進行測試，以降低測試成本。在一實施例中，測試機台 110 可以是個人電腦(PC)。

第 2A 與 2B 圖係顯示根據本發明另一實施例所述之測試系統 200。測試系統 200 包括測試機台 210、探針卡 220、晶圓 230 以及集線器(HUB)240、250A 與 250B。晶圓 230 具有待測的複數快閃記憶體晶粒 30。集線器 240 係經由傳輸線 50 耦接於測試機台 210。集線器 240 亦分別經由傳輸線 60A 與 60B 耦接於集線器 250A 與 250B。探針卡 220 包括包括複數控制器 10A-10H 以及複數探針 20，其中控制器 10A-10H 係分別設置不同積體電路內。探針卡 220 可透過探針 20 來接觸晶圓 230 中複數個快閃記憶體晶粒 30 的接點，使得控制器 10A-10H 能分別電性連接於所對應之快閃記憶體晶粒 30。控制器 10A-10D 係分別透過傳輸線 70A-70D 而耦接於集線器 250A，而控制器 10E-10H 係分別透過傳輸線 70E-70H 而耦接於集線器 250B。在此實施例中，傳輸線 50、傳輸線 60A-60B 以及傳輸線 70A-70H 為通用序列匯流排傳輸線。在第 2A、2B 圖中，測試機台 210 會經由傳輸線 50、集線器 240、傳輸線 60A-60B、集線器 250A-250B 以及傳輸線 70A-70H 同時地傳送測試請求 T_{REQ} 至探針卡 220 上的控制器 10E-10H。接著，相應於測試請求 T_{REQ} ，控制器 10A-10H 會分別經由對應之探針 20 來寫入資料 W_{DATA_A} - W_{DATA_H} 至所對應的快閃記憶體晶粒 30。在此實施例中，資料 W_{DATA_A} - W_{DATA_H} 為相同的測試資料。在其他實施例中，資料 W_{DATA_A} - W_{DATA_H} 可以是不同的測試資料。接著，控制器 10A-10H 會分別經由對應之探針 20 從所對應的快閃記憶體晶粒 30 中讀取出先前所寫入之資料 R_{DATA_A} - R_{DATA_H} 。接著，每一控制器會使用其錯誤檢查

與校正引擎來對所讀取之資料執行錯誤檢查與校正程序，以得到測試結果。舉例來說，控制器 10A 會對所讀取之資料 R_{DATA_A} 執行錯誤檢查與校正程序以得到測試結果 T_{RESULT_A} ，而控制器 10B 會對所讀取之資料 R_{DATA_B} 執行錯誤檢查與校正程序以得到測試結果 T_{RESULT_B} 。接著，每一控制器會經由所對應之傳輸線以及集線器將測試結果傳送給測試機台 210。例如，控制器 10H 會經由傳輸線 70H、集線器 250B、傳輸線 60B、集線器 240 以及傳輸線 50，而將測試結果 T_{RESULT_H} 傳送給測試機台 210。於是，測試機台 210 便可根據測試結果 T_{RESULT_A} - T_{RESULT_H} 來分別判斷所對應的快閃記憶體晶粒 30 是否正常，並對缺陷之快閃記憶體晶粒 30 進行標記。在此實施例中，測試機台 210 可同時透過探針卡 210 上的複數控制器來對晶圓 230 上的多個快閃記憶體晶粒 30 進行測試，於是可減少整體的測試時間。此外，藉由使用控制器 10A-10H 來執行錯誤檢查與校正程序並提供測試結果 T_{RESULT_A} - T_{RESULT_H} ，可大幅減少測試機台 210 的運算量，因此可增加測試效率。此外，亦可使用低階的自動測試設備(ATE)來對晶圓 230 進行測試，以降低測試成本。在一實施例中，測試機台 210 可以是個人電腦。

第 3 圖係顯示根據本發明一實施例所述之測試方法，適用於具有複數快閃記憶體晶粒之一晶圓。首先，設置在一探針卡上的控制器會得到來自一測試機台之一測試請求(步驟 S310)。接著，根據測試請求，控制器會經由探針卡上的探針來寫入一測試資料至晶圓之至少一快閃記憶體晶

粒(步驟 S320)。接著，在步驟 S330，控制器會經由探針卡之探針，從該快閃記憶體晶粒讀取出先前所寫入之測試資料。接著，控制器會對所讀取之測試資料進行一錯誤檢查與校正程序，以得到一測試結果(步驟 S340)。接著，控制器會提供測試結果至測試機台，使得測試機台能根據測試結果來判斷該快閃記憶體晶粒是否正常(步驟 S350)。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中包括通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示根據本發明一實施例所述之測試系統；

第 2A 與 2B 圖係顯示根據本發明另一實施例所述之測試系統；以及

第 3 圖係顯示根據本發明一實施例所述之測試方法，適用於具有複數快閃記憶體晶粒之一晶圓。

【主要元件符號說明】

10～控制器；

20～探針；

30～快閃記憶體晶粒；

40、50、60A-60B、70A-70H～傳輸線；

100、200～測試系統；

110、210～測試機台；

120、220～探針卡；

130、230～晶圓；

240、250A-250B～集線器；

T_{REQ} ～測試請求；

T_{RESULT} 、 T_{RESULT_A} - T_{RESULT_H} ～測試結果；以及

W_{DATA} 、 W_{DATA_A} - W_{DATA_H} 、 R_{DATA} 、 R_{DATA_A} - R_{DATA_H}
～資料。

七、申請專利範圍：

1.一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓，包括：

一測試機台，用以提供一測試請求；以及

一探針卡，經由一特定傳輸線耦接於上述測試機台，包括：

複數探針，用以接觸於上述晶圓之至少一上述快閃記憶體晶粒；以及

一控制器，用以根據上述測試請求，經由上述探針寫入一測試資料至上述快閃記憶體晶粒，並從上述快閃記憶體晶粒讀取出上述測試資料；

其中上述控制器根據所讀取之上述測試資料，提供一測試結果至上述測試機台。

2.如申請專利範圍第 1 項所述之測試系統，其中上述控制器對所讀取之上述測試資料進行一錯誤檢查與校正程序，以得到上述測試結果。

3.如申請專利範圍第 2 項所述之測試系統，其中上述測試機台係根據上述測試結果來判斷上述快閃記憶體晶粒是否正常。

4.如申請專利範圍第 1 項所述之測試系統，其中上述特定傳輸線為一通用序列匯流排。

5.如申請專利範圍第 1 項所述之測試系統，其中上述特定傳輸線為一通用非同步收發器傳輸線。

6.如申請專利範圍第 1 項所述之測試系統，其中上述控制器係設置在一積體電路內。

7.如申請專利範圍第 1 項所述之測試系統，其中上述測試機台為一個人電腦。

8.一種測試系統，適用於具有複數快閃記憶體晶粒之一晶圓，包括：

一測試機台，用以提供一測試請求；

一集線器，經由一第一通用序列匯流排耦接於上述測試機台；以及

一探針卡，經由複數第二通用序列匯流排耦接於上述集線器，包括：

複數探針，用以接觸於上述晶圓之上複數快閃記憶體晶粒；以及

複數控制器，各經由對應之第二通用序列匯流排耦接於上述集線器，其中每一上述控制器係經由上述探針耦接於對應之上複數快閃記憶體晶粒，以及每一上述控制器係根據上述測試請求，經由上述探針寫入一測試資料至對應之上複數快閃記憶體晶粒，並從對應之上複數快閃記憶體晶粒讀取出上述測試資料；

其中每一上述控制器係根據所讀取之上複數測試資料，提供一測試結果至上述測試機台。

9.如申請專利範圍第 8 項所述之測試系統，其中每一上述控制器係對所讀取之上複數測試資料進行一錯誤檢查與校正程序，以得到上述測試結果。

10.如申請專利範圍第 9 項所述之測試系統，其中上述測試機台係根據每一上述控制器所提供之上複數測試結果，來判斷對應之上複數快閃記憶體晶粒是否正常。

11.如申請專利範圍第 8 項所述之測試系統，其中每一上述控制器係設置在一積體電路內。

12.如申請專利範圍第 8 項所述之測試系統，其中上述測試機台為一個人電腦。

13.一種測試方法，適用於具有複數快閃記憶體晶粒之一晶圓，包括：

藉由一控制器，得到來自一測試機台之一測試請求；

藉由上述控制器，根據上述測試請求，而經由一探針卡之複數探針來寫入一測試資料至上述晶圓之上述快閃記憶體晶粒；

藉由上述控制器，經由上述探針卡之上述探針，從上述晶圓之上述快閃記憶體晶粒讀取出上述測試資料；以及

藉由上述控制器，根據所讀取之上述測試資料，提供一測試結果至上述測試機台；

其中上述控制器係設置在上述探針卡。

14.如申請專利範圍第 13 項所述之測試方法，其中根據所讀取之上述測試資料，提供上述測試結果至上述測試機台之步驟更包括：

藉由上述控制器，對所讀取之上述測試資料進行一錯誤檢查與校正程序，而得到上述測試結果。

15.如申請專利範圍第 14 項所述之測試方法，其中上述測試機台係根據上述測試結果來判斷上述快閃記憶體晶粒是否正常。

16.如申請專利範圍第 13 項所述之測試方法，其中上述測試機台係經由一通用序列匯流排而耦接於上述探針

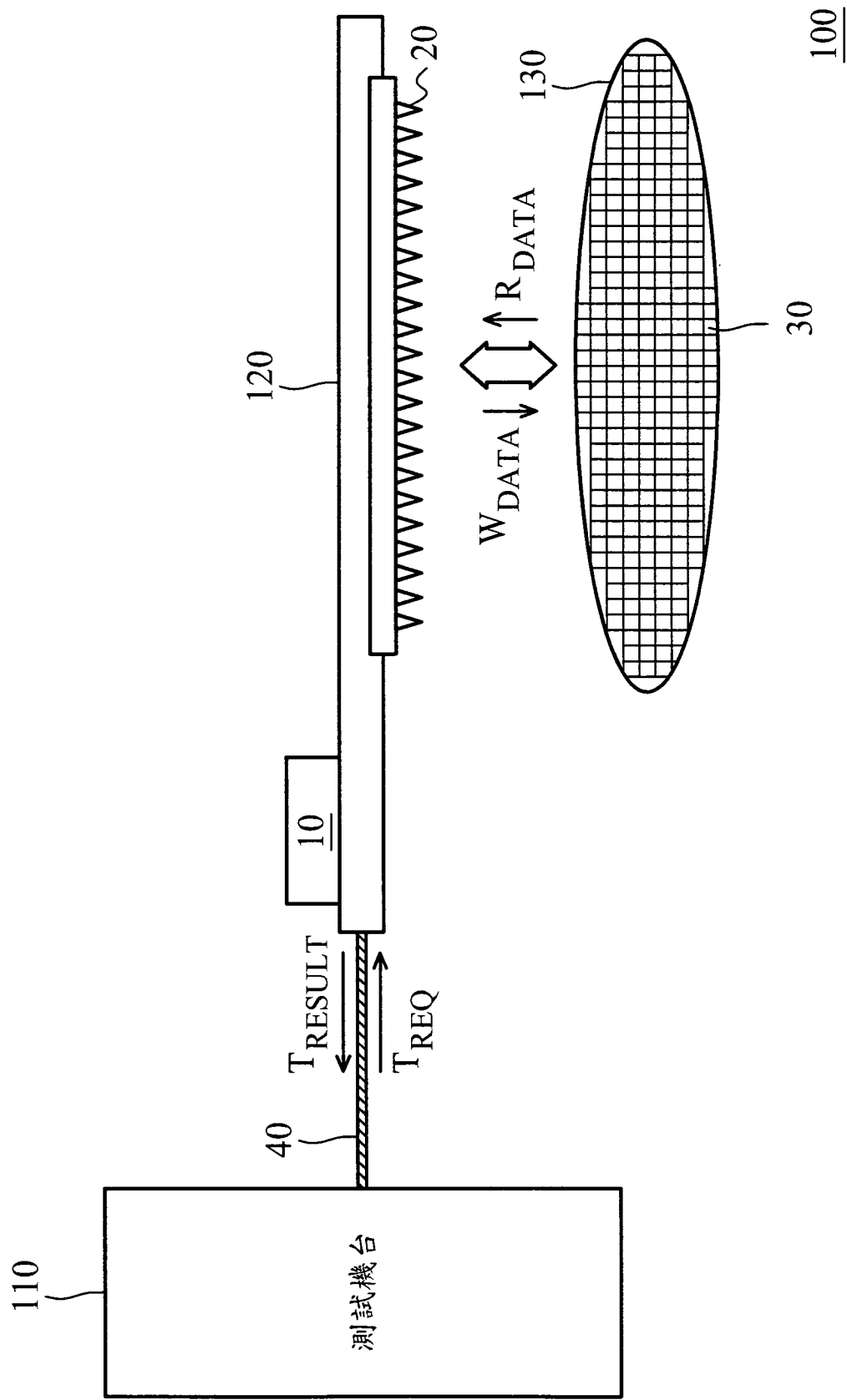
卡。

17.如申請專利範圍第 13 項所述之測試方法，其中上述測試機台係經由一通用非同步收發器傳輸線而耦接於上述探針卡。

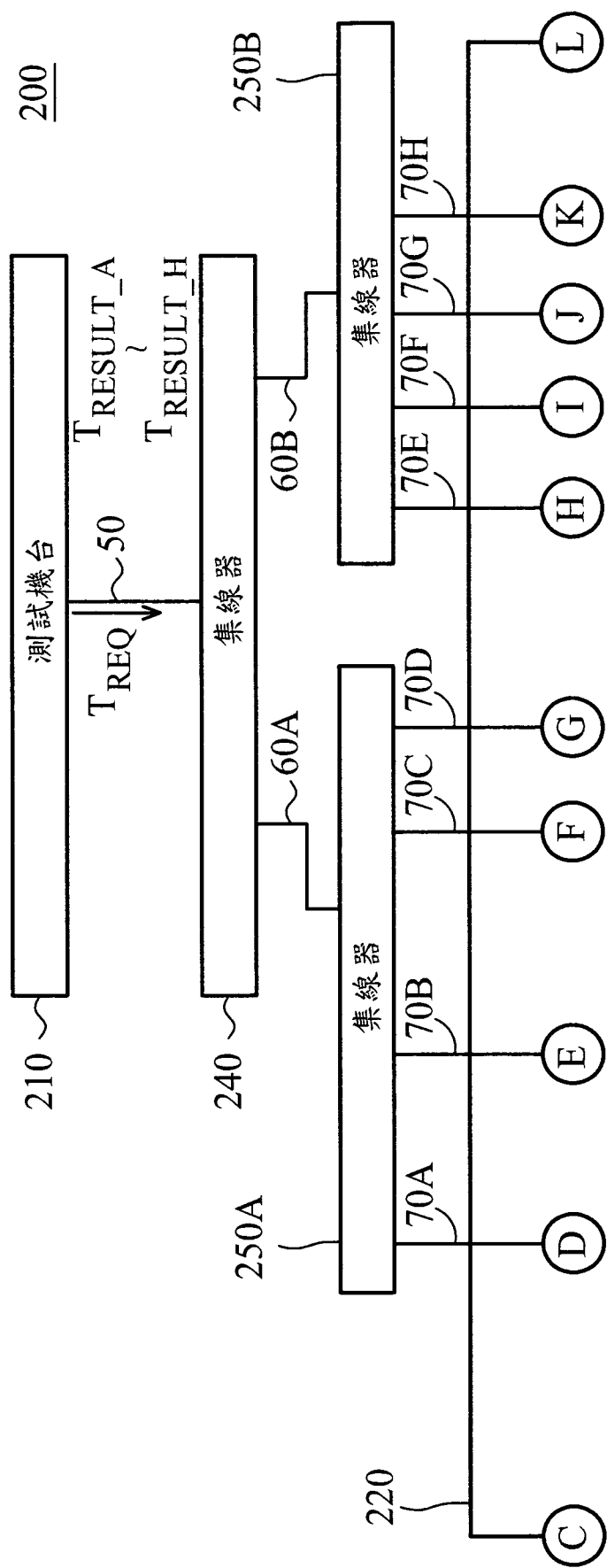
18.如申請專利範圍第 13 項所述之測試方法，其中上述控制器係設置在一積體電路內。

19.如申請專利範圍第 13 項所述之測試方法，其中上述測試機台為一個人電腦。

八、圖式：



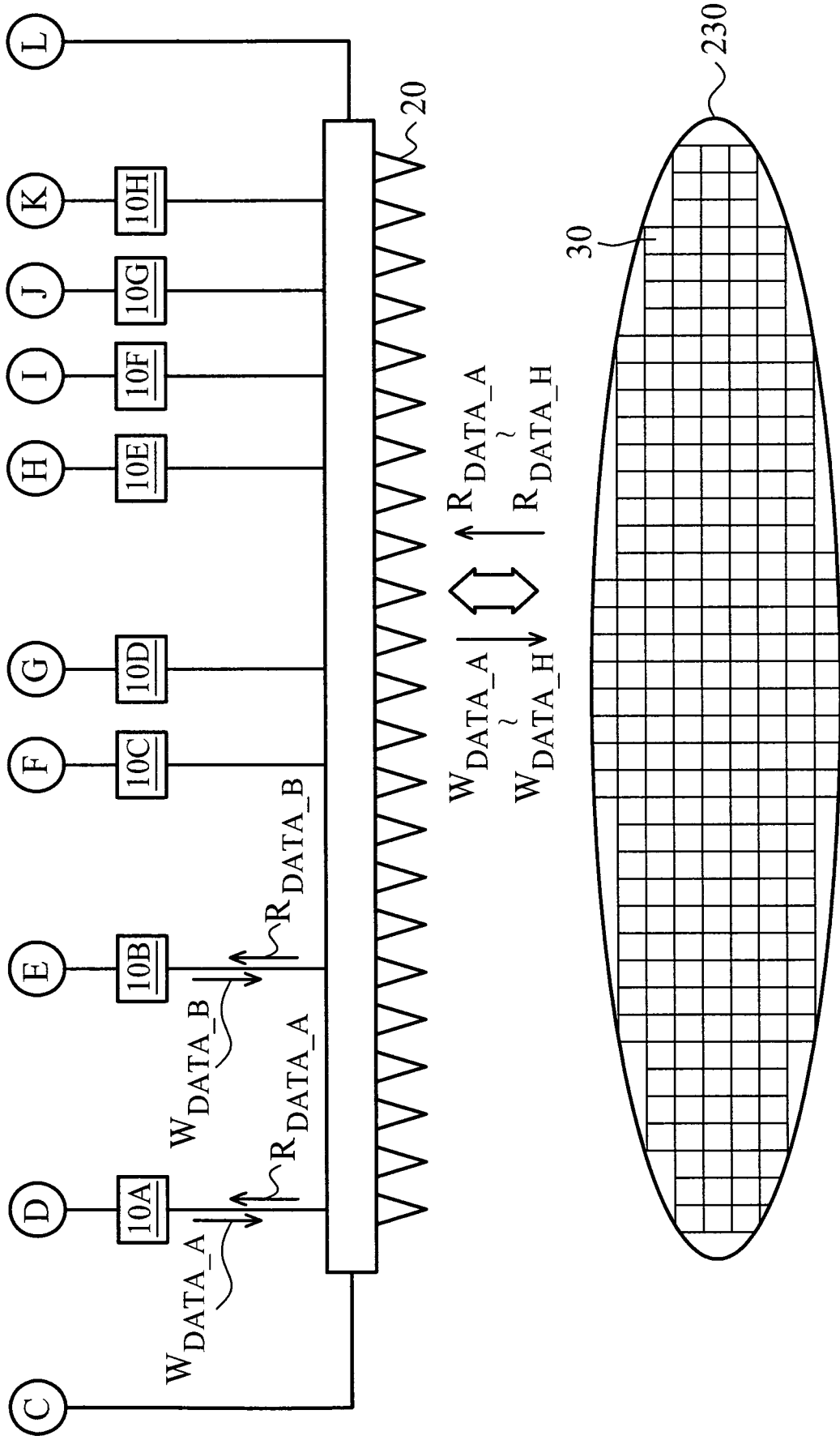
第 1 圖



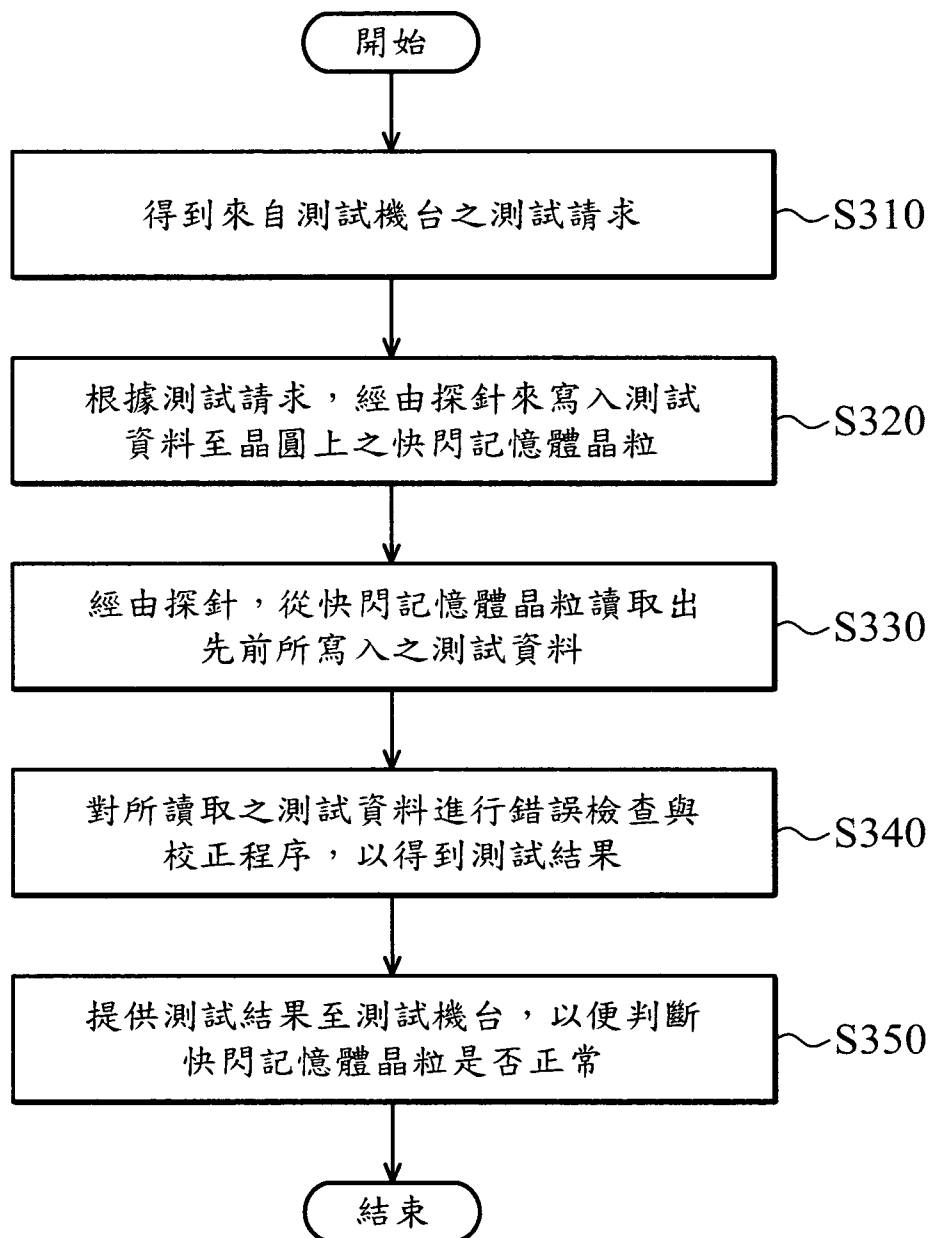
第 2A 圖

第 2B 圖

第 2A 圖



第 2B 圖



第 3 圖