



(12) 发明专利

(10) 授权公告号 CN 102832338 B

(45) 授权公告日 2015. 10. 07

(21) 申请号 201210328341. 2

CN 102637823 A, 2012. 08. 15,

(22) 申请日 2012. 09. 06

CN 101019191 A, 2007. 08. 15,

(73) 专利权人 中国科学院上海微系统与信息技术研究所

审查员 张虹

地址 200050 上海市长宁区长宁路 865 号

(72) 发明人 任堃 饶峰 宋志棠

(74) 专利代理机构 上海光华专利事务所 31219
代理人 余明伟

(51) Int. Cl.

H01L 45/00(2006. 01)

H01L 27/24(2006. 01)

G11C 11/56(2006. 01)

(56) 对比文件

US 2010/0163822 A1, 2010. 07. 01,

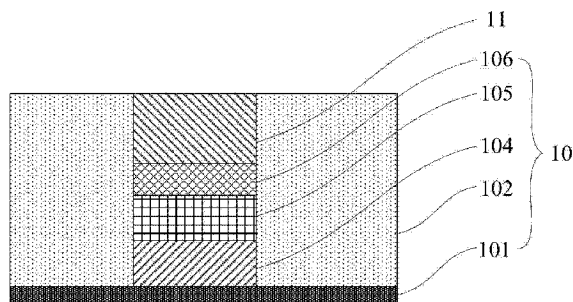
权利要求书3页 说明书10页 附图7页

(54) 发明名称

一种限制结构相变存储器及其制作方法

(57) 摘要

本发明提供一种限制结构相变存储器及其制作方法,所述限制结构相变存储器包括相变存储阵列、具有阈值电压开关特性的硫系化合物开关层、以及分别连接于相变存储阵列及硫系化合物开关层的字线及位线。所述硫系化合物开关层在达到阈值电压之前处于高电阻状态,起到关电路的作用,当电压超过阈值电压之后,材料进入低电阻态,起到开启电路的作用。这种硫系化合物做成薄膜之后仍然具有阈值电压开关特性,并且这类薄膜的制备工艺与现有的CMOS工艺兼容。利用硫系化合物材料薄膜作为选通开关的相变存储器的制备具有步骤少,工艺简单的特点。同时,利用硫系化合物薄膜制备的选通开关所占体积小,有利于提高芯片的存储密度,提高信息容量和降低成本。



1. 一种限制结构相变存储器,其特征在于,至少包括:
由多个相变存储单元组成的相变存储阵列,用于存储信息;
连接所述相变存储阵列中各该相变存储单元的多条字线及位线,用于定位被操作的相变存储单元;

连接于所述限制结构相变存储单元中的相变材料与位线之间的选通开关,所述选通开关为具有阈值电压开关特性的硫系化合物开关层;

其中,所述相变存储单元中的相变材料和所述硫系化合物开关层均被限制于绝缘凹槽中;在电场作用下,通过所述相变材料及所述硫系化合物开关层的电流为平行且分布均匀的电流。

2. 根据权利要求 1 所述的限制结构相变存储器,其特征在于:所述相变存储单元至少包括:

基底,具有金属层及覆盖于所述金属层上的绝缘层,所述绝缘层中具有一深度直达所述金属层的绝缘凹槽;

钨电极,填充于所述绝缘凹槽内,并结合于所述金属层表面;

相变材料,填充于所述绝缘凹槽内,并结合于所述钨电极表面;

中间金属层,填充于所述绝缘凹槽内并结合于所述相变材料表面,且所述钨电极、相变材料及中间金属层的厚度之和小于所述绝缘凹槽的深度。

3. 根据权利要求 2 所述的限制结构相变存储器,其特征在于:所述绝缘凹槽为圆孔状槽,所述绝缘凹槽的直径为 40 ~ 70nm。

4. 根据权利要求 3 所述的限制结构相变存储器,其特征在于:所述钨电极的形状为与所述绝缘凹槽孔径相等的圆柱形,且所述钨电极的厚度为 10 ~ 500nm。

5. 根据权利要求 4 所述的限制结构相变存储器,其特征在于:所述相变材料的形状为与所述钨电极的直径相等的圆柱形,且所述相变材料的厚度为 20 ~ 200nm。

6. 根据权利要求 5 所述的限制结构相变存储器,其特征在于:所述中间金属层的形状为与所述相变材料直径相等的圆柱形,且所述中间金属层的厚度为 10 ~ 200nm。

7. 根据权利要求 3 所述的限制结构相变存储器,其特征在于:所述硫系化合物开关层填充于所述绝缘凹槽内,形状为与所述绝缘凹槽孔径相等的圆柱形,且所述硫系化合物开关层的厚度为 10 ~ 200nm。

8. 根据权利要求 1 ~ 7 任意一项所述的限制结构相变存储器,其特征在于:所述相变材料为利用多晶态和非晶态体现出的低高电阻来存储信息的相变电阻。

9. 根据权利要求 1 ~ 7 任意一项所述的限制结构相变存储器,其特征在于:所述硫系化合物开关层为含 Ge、Al、As、Sb、Te、S、Se 元素中至少两种元素的硫系化合物薄膜材料。

10. 根据权利要求 9 所述的限制结构相变存储器,其特征在于:所述硫系化合物开关层为 GeTe_4 、 $\text{Al}_5\text{As}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Se}_3$ 、 $\text{Al}_5\text{Sb}_2\text{S}_3$ 、 $\text{GeAl}_5\text{As}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Se}_3$ 、及 $\text{GeAl}_5\text{Sb}_2\text{S}_3$ 中的任意一种。

11. 根据权利要求 1 ~ 7 任意一项所述的限制结构相变存储器,其特征在于:所述选通开关的两端电势差未超过阈值电压时,其处于关闭所述相变材料与位线之间通路的状态;所述选通开关的两端电势差超过阈值电压时,其处于导通所述相变材料与位线之间通路的状态。

12. 根据权利要求 11 所述的限制结构相变存储器,其特征在于:所述选通开关处于关闭所述相变材料与位线之间通路的状态下,其电阻值高于与其相连的相变材料在高阻值状态下的电阻值。

13. 根据权利要求 1~7 任意一项所述的限制结构相变存储器,其特征在于:所述硫系化合物开关层可在电信号的作用下进行高低阻值之间的挥发性的可逆转变,所述相变材料可在电信号的作用下进行高低阻值之间的非挥发性的可逆转变。

14. 一种限制结构相变存储器的制作方法,其特征在于,所述制作方法至少包括以下步骤:

- 1) 提供一具有金属层及覆盖于所述金属层上的绝缘层的基底;
- 2) 刻蚀所述绝缘层直至所述金属层,在所述基底上形成直达所述金属层的绝缘凹槽;
- 3) 于所述基底上沉积钨电极,并使所述钨电极填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;
- 4) 利用抛光工艺将覆盖于所述绝缘层的上表面的钨电极抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的钨电极,使所述钨电极厚度小于所述绝缘凹槽的深度;
- 5) 于所述绝缘凹槽内的钨电极表面沉积相变材料,使所述相变材料填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;
- 6) 利用抛光工艺将覆盖于所述绝缘层的上表面的相变材料抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的相变材料,使所述相变材料及所述钨电极的厚度之和小于所述绝缘凹槽的深度;
- 7) 于所述绝缘凹槽内的相变材料表面沉积中间金属层,使所述中间金属层填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;
- 8) 利用抛光工艺将覆盖于所述绝缘层的上表面的中间金属层抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的中间金属层,使所述相变材料、所述钨电极及所述中间金属层的厚度之和小于所述绝缘凹槽的深度;
- 9) 于所述绝缘凹槽内的相变材料表面沉积硫系化合物开关层,使所述硫系化合物开关层填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;
- 10) 利用抛光工艺将覆盖于所述绝缘层的上表面的硫系化合物开关层抛除,使沉积于所述绝缘凹槽内的硫系化合物开关层的顶面与所述绝缘层的上表面共平面;
- 11) 制作连接于所述金属层的字线及连接于所述硫系化合物开关层位线,以完成所述限制结构相变存储器的制作;

在电场作用下,通过所述相变材料及所述硫系化合物开关层的电流为平行且分布均匀的电流。

15. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:于所述步骤 1) 中,所述绝缘层为 SiO_2 ,所述绝缘层的厚度为 50 ~ 1000nm。

16. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:于所述步骤 2) 中,在所述基底上刻蚀形成的绝缘凹槽为圆孔状槽,所述圆孔状槽的孔径为 40 ~ 70nm,且所述圆孔状槽的深度等于所述绝缘层的厚度。

17. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:于所述步骤 3) 中,其特点在于,通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉

积所述钨电极,其中,通过化学气相沉积法 CVD 沉积所述钨电极的反应方程为: $WF_6(g)+3H_2(g) \rightarrow W(s)+6HF(g)$;通过原子层沉积法 ALD 沉积所述钨电极的反应方程为: $W(CH_3)_6(g)+3H_2(g) \rightarrow W(s)+6CH_4(g)$ 。

18. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:所述钨电极的形状为圆柱形,且所述钨电极的厚度为 10 ~ 500nm。

19. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:通过物理气相沉积法 PVD、化学气相沉积法 CVD、原子层沉积法 ALD、电镀、溶胶凝胶法或金属有机物沉积法制备所述相变材料,所述相变材料的形状为圆柱形,且所述相变材料的厚度为 10 ~ 200nm。

20. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:所述中间金属层为通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉积的钛、钨或氮化钛材料,其中,通过化学气相沉积法 CVD 沉积钛材料的反应方程为: $TiCl_4(g)+2H_2(g) \rightarrow Ti(s)+4HCl(g)$,通过化学气相沉积法 CVD 沉积钨材料的反应方程为: $WF_6(g)+3H_2(g) \rightarrow W(s)+6HF(g)$,通过化学气相沉积法 CVD 沉积氮化钛材料的反应方程为: $TiCl_4(g)+2H_2(g)+12N_2(g) \rightarrow TiN(s)+4HCl(g)$,通过原子层沉积法 ALD 沉积钛材料的反应方程为: $2Ti(CH_3)_3(g)+9H_2(g) \rightarrow 2Ti(s)+6CH_4(g)$,通过原子层沉积法 ALD 沉积钨材料的反应方程为: $W(CH_3)_6(g)+3H_2(g) \rightarrow W(s)+6CH_4(g)$;通过原子层沉积法 ALD 沉积氮化钛材料的反应方程为: $Ti(CH_3)_3(g)+NH_3(g) \rightarrow TiN(s)+3CH_4(g)$ 。

21. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:所述中间金属层的形状为圆柱形,且所述中间金属层的厚度为 10 ~ 200nm。

22. 根据权利要求 14 所述的限制结构相变存储器的制作方法,其特征在于:所述硫系化合物开关层的形状为圆柱形,且所述硫系化合物开关层的厚度为 10 ~ 200nm。

一种限制结构相变存储器及其制作方法

技术领域

[0001] 本发明涉及一种半导体存储设备及其制作方法,特别是涉及一种限制结构相变存储器及其制作方法。

背景技术

[0002] 存储器是目前半导体市场的重要组成部分,是信息技术的基石,无论在生活中还是在国民经济中发挥着重要的作用。信息量伴随着社会发展急剧增加,高数据存储密度的存储器的研发成为存储器研究者的重要任务。其中,相变存储器单元由于具有高速读取、高可擦写次数、非易失性、元件尺寸小、功耗低、抗强震动和抗辐射等优点,被国际半导体工业协会认为最有可能取代目前的闪存存储器而成为未来存储器主流产品的器件和最先成为商用产品的器件。

[0003] 相变存储器单元的读、写、擦操作就是在器件单元上施加不同宽度和高度的电压或电流脉冲信号;对于擦操作(RESET),是施加一个短且强的脉冲信号使器件单元中的相变材料温度升高到熔化温度以上后,再经过快速冷却从而实现相变材料多晶态到非晶态的转换,即“1”态到“0”态的转换;对于写操作(SET),则是施加一个长且中等强度的脉冲信号使相变材料温度升到熔化温度之下、结晶温度之上后,并保持一段时间促使晶核生长,从而实现非晶态到多晶态的转换,即“0”态到“1”态的转换;对于读操作,则是施加一个对相变材料的状态不会产生影响的很弱的脉冲信号,通过测量器件单元的电阻值来读取它的状态。

[0004] 大部分存储器单元都是由两部分组成:一部分是存储信息的介质;另一部分是用来决定存储介质是否可操作的选通开关。而选通开关在电路中所占的体积直接影响到存储器的存储密度。相变存储器中的存储介质在尺寸缩小到纳米尺度时仍具有信息存储能力,这意味着相变存储器在高密度信息存储方面的巨大潜力。

[0005] 为了提高存储器的存储密度,需要设计更小的选通开关来替代现在的传统开关,以便于与相变存储器匹配来实现高密度存储。在现有技术中,在以MOS晶体管为选通开关的电路中,配对MOS选择开关的尺寸都大于 $8F^2$ (F 是某种工艺水平下的特征尺寸),不利于减小芯片体积;另外一种是利用晶态二极管作为选择开关,开关尺寸也仅仅是将芯片减小到接近 $5F^2$ 。因而,前面提到的两种选择开关都需要占用硅片中的较大体积,减小了芯片体积的利用效率。

发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种限制结构相变存储器及其制作方法,用于解决现有技术中相变存储器的选通开关的体积过大导致器件集成度、存储密度以及存储容量降低的问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种限制结构相变存储器,至少包括:

- [0008] 由多个相变存储单元组成的相变存储阵列,用于存储信息;
- [0009] 连接所述相变存储阵列中各该相变存储单元的多条字线及位线,用于定位被操作的相变存储单元;
- [0010] 连接于所述限制结构相变存储单元中的相变材料与位线之间的选通开关,所述选通开关为具有阈值电压开关特性的硫系化合物开关层;
- [0011] 其中,所述相变存储单元中的相变材料和所述硫系化合物开关层均被限制于绝缘凹槽中。
- [0012] 在本发明的限制结构相变存储器中,所述相变存储单元至少包括:
- [0013] 基底,具有金属层及覆盖于所述金属层上的绝缘层,所述绝缘层中具有一深度直达所述金属层的绝缘凹槽;
- [0014] 钨电极,填充于所述绝缘凹槽内,并结合于所述金属层表面;
- [0015] 相变材料,填充于所述绝缘凹槽内并结合于所述钨电极表面;
- [0016] 中间金属层,填充于所述绝缘凹槽内并结合于所述相变材料表面,且所述钨电极、相变材料及中间金属层的厚度之和小于所述绝缘凹槽的深度。
- [0017] 在本发明的限制结构相变存储器中,所述绝缘凹槽为圆孔状槽,所述绝缘凹槽的直径为 40~70nm。
- [0018] 进一步地,所述钨电极的形状为与所述绝缘凹槽直径相等的圆柱形,且所述钨电极的厚度为 10~500nm。
- [0019] 更进一步地,所述相变材料的形状为与所述钨电极的直径相等的圆柱形,且所述相变材料的厚度为 20~200nm。
- [0020] 更进一步地,所述中间金属层的形状为与所述相变材料直径相等的圆柱形,且所述中间金属层的厚度为 10~200nm。
- [0021] 更进一步地,所述硫系化合物开关层填充于所述绝缘凹槽内,形状为与所述绝缘凹槽孔径相等的圆柱形,且所述硫系化合物开关层的厚度为 10~200nm。
- [0022] 在本发明的限制结构相变存储器中,在电场作用下,通过所述相变材料及所述硫系化合物开关层的电流为平行且分布均匀的电流。
- [0023] 在本发明的限制结构相变存储器中,所述相变材料为利用多晶态和非晶态体现出的低高电阻来存储信息的相变电阻。
- [0024] 在本发明的限制结构相变存储器中,所述硫系化合物开关层为含 Ge、Al、As、Sb、Te、S、Se 元素中至少两种元素的硫系化合物薄膜材料。
- [0025] 优选地,所述硫系化合物开关层为 GeTe_4 、 $\text{Al}_5\text{As}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Se}_3$ 、 $\text{Al}_5\text{Sb}_2\text{S}_3$ 、 $\text{GeAl}_5\text{As}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Se}_3$ 、及 $\text{GeAl}_5\text{Sb}_2\text{S}_3$ 中的任意一种。
- [0026] 在本发明的限制结构相变存储器中,所述选通开关的两端电势差未超过阈值电压时,其处于关闭所述相变材料与位线之间通路的状态;所述选通开关的两端电势差超过阈值电压时,其处于导通所述相变材料与位线之间通路的状态。
- [0027] 进一步地,所述选通开关处于关闭所述相变材料与位线之间通路的状态下,其电阻值高于与其相连的相变材料在高阻值状态下的电阻值。
- [0028] 在本发明的限制结构相变存储器中,所述硫系化合物开关层可在电信号的作用下进行高低阻值之间的挥发性的可逆转变,所述相变材料可在电信号的作用下进行高低阻值

之间的非挥发性的可逆转变。

[0029] 本发明还提供一种限制结构相变存储器的制作方法,所述制作方法至少包括以下步骤:

[0030] 1) 提供一具有金属层及覆盖于所述金属层上的绝缘层的基底;

[0031] 2) 刻蚀所述绝缘层直至所述金属层,在所述基底上形成直达所述金属层的绝缘凹槽;

[0032] 3) 于所述基底上沉积钨电极,并使所述钨电极填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;

[0033] 4) 利用抛光工艺将覆盖于所述绝缘层的上表面的钨电极抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的钨电极,使所述钨电极厚度小于所述绝缘凹槽的深度;

[0034] 5) 于所述绝缘凹槽内的钨电极表面沉积相变材料,使所述相变材料填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;

[0035] 6) 利用抛光工艺将覆盖于所述绝缘层的上表面的相变材料抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的相变材料,使所述相变材料及所述钨电极的厚度之和小于所述绝缘凹槽的深度;

[0036] 7) 于所述绝缘凹槽内的相变材料表面沉积中间金属层,使所述中间金属层填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;

[0037] 8) 利用抛光工艺将覆盖于所述绝缘层的上表面的中间金属层抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽内的中间金属层,使所述相变材料、所述钨电极及所述中间金属层的厚度之和小于所述绝缘凹槽的深度;

[0038] 9) 于所述绝缘凹槽内的相变材料表面沉积硫系化合物开关层,使所述硫系化合物开关层填满所述绝缘凹槽并覆盖于所述绝缘层的上表面;

[0039] 10) 利用抛光工艺将覆盖于所述绝缘层的上表面的硫系化合物开关层抛除,使沉积于所述绝缘凹槽内的硫系化合物开关层的顶面与所述绝缘层的上表面共平面;

[0040] 11) 制作连接于所述金属层的字线及连接于所述硫系化合物开关层位线,以完成所述限制结构相变存储器的制作。

[0041] 在本发明的限制结构相变存储器的制作方法中,于所述步骤 1) 中,所述绝缘层为 SiO_2 ,所述绝缘层的厚度为 50~1000nm。

[0042] 在本发明的限制结构相变存储器的制作方法中,于所述步骤 2) 中,在所述基底上刻蚀形成的绝缘凹槽为圆孔状槽,所述圆孔状槽的孔径为 40~70nm,且所述圆孔状槽的深度等于所述绝缘层的厚度。

[0043] 在本发明的限制结构相变存储器的制作方法中,于所述步骤 3) 中,通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉积所述钨电极,其中,通过化学气相沉积法 CVD 沉积所述钨电极的反应方程为: $\text{WF}_6(\text{g}) + 3\text{H}_2(\text{g}) \rightarrow \text{W}(\text{s}) + 6\text{HF}(\text{g})$;通过原子层沉积法 ALD 沉积所述钨电极的反应方程为: $\text{W}(\text{CH}_3)_6(\text{g}) + 3\text{H}_2(\text{g}) \rightarrow \text{W}(\text{s}) + 6\text{CH}_4(\text{g})$ 。

[0044] 在本发明的限制结构相变存储器的制作方法中,所述钨电极的形状为圆柱形,且所述钨电极的厚度为 10~500nm。

[0045] 在本发明的限制结构相变存储器的制作方法中,通过物理气相沉积法 PVD、化学气相沉积法 CVD、原子层沉积法 ALD、电镀、溶胶凝胶法或金属有机物沉积法制备所述相变材

料,所述相变材料的形状为圆柱形,且所述相变材料的厚度为 10~200nm。

[0046] 在本发明的限制结构相变存储器的制作方法中,所述中间金属层为通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉积的钛、钨或氮化钛材料,其中,通过化学气相沉积法 CVD 沉积钛材料的反应方程为: $TiCl_4(g)+2H_2(g) \rightarrow Ti(s)+4HCl(g)$,通过化学气相沉积法 CVD 沉积钨材料的反应方程为: $WF_6(g)+3H_2(g) \rightarrow W(s)+6HF(g)$,通过化学气相沉积法 CVD 沉积氮化钛材料的反应方程为: $TiCl_4(g)+2H_2(g)+12N_2(g) \rightarrow TiN(s)+4HCl(g)$,通过原子层沉积法 ALD 沉积钛材料的反应方程为: $2Ti(CH_3)_3(g)+9H_2(g) \rightarrow 2Ti(s)+6CH_4(g)$,通过原子层沉积法 ALD 沉积钨材料的反应方程为: $W(CH_3)_6(g)+3H_2(g) \rightarrow W(s)+6CH_4(g)$;通过原子层沉积法 ALD 沉积氮化钛材料的反应方程为: $Ti(CH_3)_3(g)+NH_3(g) \rightarrow TiN(s)+3CH_4(g)$ 。

[0047] 在本发明的限制结构相变存储器的制作方法中,所述中间金属层的形状为圆柱形,且所述中间金属层的厚度为 10~200nm。

[0048] 在本发明的限制结构相变存储器的制作方法中,所述硫系化合物开关层的形状为圆柱形,且所述硫系化合物开关层的厚度为 10~200nm。

[0049] 如上所述,本发明的限制结构相变存储器及其制作方法,具有以下有益效果:本发明包括相变存储阵列、具有阈值电压开关特性硫系化合物开关层、以及分别连接于相变存储阵列及硫系化合物开关层的字线及位线。所述硫系化合物开关层在达到阈值电压之前处于高电阻状态,起到关电路的作用,当电压超过阈值电压之后,材料进入低电阻态,起到开启电路的作用。这种硫系化合物做成薄膜之后仍然具有阈值电压开关特性,并且这类薄膜的制备工艺与现有的 CMOS 工艺兼容。利用硫系化合物材料薄膜作为选通开关的相变存储器的制备具有步骤少,工艺简单的特点。同时,利用硫系化合物薄膜制备的选通开关所占体积小,有利于提高芯片的存储密度,提高信息容量和降低成本。

附图说明

[0050] 图 1 显示为本发明的限制结构相变存储器电路结构示意图。

[0051] 图 2 显示为本发明的限制结构相变存储器的相变存储单元及选通开关的结构示意图。

[0052] 图 3 显示为本发明的限制结构相变存储器的制作方法步骤 1) 所呈现的结构示意图。

[0053] 图 4 显示为本发明的限制结构相变存储器的制作方法步骤 2) 所呈现的结构示意图。

[0054] 图 5 显示为本发明的限制结构相变存储器的制作方法步骤 3) 所呈现的结构示意图。

[0055] 图 6~ 图 7 显示为本发明的限制结构相变存储器的制作方法步骤 4) 所呈现的结构示意图。

[0056] 图 8 显示为本发明的限制结构相变存储器的制作方法步骤 5) 所呈现的结构示意图。

[0057] 图 9~ 图 10 显示为本发明的限制结构相变存储器的制作方法步骤 6) 所呈现的结构示意图。

[0058] 图 11 显示为本发明的限制结构相变存储器的制作方法步骤 7) 所呈现的结构示意图。

图。

[0059] 图 12~ 图 13 显示为本发明的限制结构相变存储器的制作方法步骤 8) 所呈现的结构示意图。

[0060] 图 14 显示为本发明的限制结构相变存储器的制作方法步骤 9) 所呈现的结构示意图。

[0061] 图 15 显示为本发明的限制结构相变存储器的制作方法步骤 10) 所呈现的结构示意图。

[0062] 图 16 显示为本发明的限制结构相变存储器在操作过程中器件内部的电场和温度场分布模拟图。

[0063] 图 17 显示为现有技术的相变存储器在操作过程中器件内部的电场和温度场分布模拟图。

[0064] 元件标号说明

[0065]	10	相变存储单元
[0066]	11	硫系化合物开关层
[0067]	12	字线
[0068]	13	位线
[0069]	101	金属层
[0070]	102	绝缘层
[0071]	103	绝缘凹槽
[0072]	104	钨电极
[0073]	105	相变材料
[0074]	106	中间金属层

具体实施方式

[0075] 以下通过特定的具体实例说明本发明的实施方式, 本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用, 本说明书中的各项细节也可以基于不同观点与应用, 在没有背离本发明的精神下进行各种修饰或改变。

[0076] 请参阅图 1~ 图 15。需要说明的是, 本实施例中所提供的图示仅以示意方式说明本发明的基本构想, 遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制, 其实际实施时各组件的型态、数量及比例可为一种随意的改变, 且其组件布局型态也可能更为复杂。

[0077] 实施例 1

[0078] 如图 1~ 图 2 所示, 本实施例提供一种限制结构相变存储器, 至少包括:

[0079] 由多个相变存储单元 10 组成的相变存储阵列, 用于存储信息;

[0080] 连接所述相变存储阵列中各该相变存储单元 10 的多条字线 12 及位线 13, 用于定位被操作的相变存储单元 10;

[0081] 连接于所述限制结构相变存储单元 10 中的相变材料与位线 13 之间的选通开关, 所述选通开关为具有阈值电压开关特性的硫系化合物开关层 11;

[0082] 其中,所述相变存储单元 10 中的相变材料 105 和所述硫系化合物开关层 11 均被限制于绝缘凹槽 103 中。

[0083] 多个相变存储单元 10 组成相变存储阵列,各该相变存储单元 10 中具有用于存储信息的相变材料 105,所述相变材料 105 为利用多晶态和非晶态体现出的低高电阻来存储信息的相变电阻。具体地所述相变电阻由相变材料 105 所形成,是相变存储器单元的核心部件,当其受到不同宽度和高度的电压或电流脉冲信号作用时,其阻值会发生相应变化,根据其阻值的变化可实现数据的读写或擦除等操作。

[0084] 所述字线 12 及位线 13 连接所述相变存储阵列中各该相变存储单元 10,用于定位被操作的相变存储单元 10,具体地,所述的操作指针对相变存储单元 10 的读操作、写操作以及擦操作。

[0085] 在本实施例中,调节选中相变存储单元 10 所对应的字线 12 和位线 13 (我们称选中的字线 12 和位线 13,其他字线 12 和位线 13 称为未选中的字线 12 和位线 13)的电势,使两者电势差大于目标操作所需的电势差。调节除未选中的字线 12 和位线 13 电势,使得除选中的字线 12 和位线 13,其他任何两线之间的电势差小于选通开关件所需的电势差。需要说明的是,各字线 12 和位线 13 的电势及相互之间的电势差在不同的操作中(读、写、擦操作)可能不同。

[0086] 所述选通开关连接于所述相变存储单元 10 中的相变材料 105 与位线 13 之间,所述选通开关和相变材料 105 介在电路中处于串联状态,所述选通开关为具有阈值电压开关特性的材料可以是含 Al、As、Sb、Te、S、Se 元素中至少两种元素的硫系化合物薄膜材料或其他材料,所述硫系化合物薄膜材料为 GeTe_4 、 $\text{Al}_5\text{As}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Se}_3$ 、 $\text{Al}_5\text{Sb}_2\text{S}_3$ 、 $\text{GeAl}_5\text{As}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Se}_3$ 、及 $\text{GeAl}_5\text{Sb}_2\text{S}_3$ 中的任意一种。

[0087] 所述硫系化合物开关层 11 可在电信号的作用下进行高低阻值之间的挥发性的可逆转变,所述相变材料 105 可在电信号的作用下进行高低阻值之间的非挥发性的可逆转变。具体地,所述选通开关的两端电势差未超过阈值电压时,其处于关闭所述相变材料 105 与位线 13 之间通路的状态;所述选通开关的两端电势差超过阈值电压时,其处于导通所述相变材料 105 与位线 13 之间通路的状态。所述选通开关处于关闭所述相变材料 105 与位线 13 之间通路的状态下,其电阻值高于与其相连的先变材料在高阻值状态下的电阻值。

[0088] 如图 2 所示,所述相变存储单元 10 至少包括:

[0089] 基底,具有金属层 101 及覆盖于所述金属层 101 上的绝缘层 102,所述绝缘层 102 中具有一深度直达所述金属层 101 的绝缘凹槽 103;

[0090] 钨电极 104,填充于所述绝缘凹槽 103 内,并结合于所述金属层 101 表面;

[0091] 相变材料 105,填充于所述绝缘凹槽 103 内并结合于所述钨电极 104 表面;

[0092] 中间金属层 106,填充于所述绝缘凹槽 103 内并结合于所述相变材料 105 表面,且所述钨电极 104、相变材料 105 及中间金属层 106 的厚度之和小于所述绝缘凹槽 103 的深度。

[0093] 所述绝缘凹槽 103 为圆孔状槽,所述绝缘凹槽 103 的直径为 40~70nm。所述绝缘凹槽 103 的深度等于所述绝缘层 102 的深度,所述绝缘凹槽 103 的深度为 50~1000nm。所述钨电极 104 的形状为与所述绝缘凹槽 103 直径相等的圆柱形,且所述钨电极 104 的厚度为 10~500nm。所述相变材料 105 的形状为与所述钨电极 104 的直径相等的圆柱形,且所述

相变材料 105 的厚度为 20~200nm。所述中间金属层 106 的形状为与所述相变材料 105 直径相等的圆柱形,且所述中间金属层 106 的厚度为 10~200nm。

[0094] 所述绝缘凹槽 103 内还填充有硫系化合物开关层 11,其形状为与所述绝缘凹槽 103 孔径相等的圆柱形,且所述硫系化合物开关层 11 的厚度为 10~200nm,其上表面与所述绝缘层 102 的上表面共平面,其材料可以是含 Al、As、Sb、Te、S、Se 元素中至少两种元素的硫系化合物薄膜材料或其他材料,在本实施例中,所述硫系化合物开关层 11 的材料为 GeTe_4 、 $\text{Al}_5\text{As}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Te}_3$ 、 $\text{Al}_5\text{Sb}_2\text{Se}_3$ 、 $\text{Al}_5\text{Sb}_2\text{S}_3$ 、 $\text{GeAl}_5\text{As}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Te}_3$ 、 $\text{GeAl}_5\text{Sb}_2\text{Se}_3$ 、及 $\text{GeAl}_5\text{Sb}_2\text{S}_3$ 中的任意一种。由于所述相变材料 105 及所述硫系化合物开关层 11 均被限制于所述绝缘凹槽 103 内,不仅保证了相变材料 105 的加热效率,减少其热量的损失,而且减少了选通开关所占的体积,有效增加了存储器的集成度、存储密度及存储容量。

[0095] 实施例 2

[0096] 本实施例提供一种限制结构相变存储器的制作方法,所述制作方法至少包括以下步骤:

[0097] 如图 3 所示,首先进行步骤 1),提供一具有金属层 101 及覆盖于所述金属层 101 上的绝缘层 102 的基底。

[0098] 在本实施例中,所述绝缘层 102 为 SiO_2 ,所述绝缘层 102 的厚度为 50~1000nm。但并不局限于此,在其他的实施方式中,所述绝缘层 102 亦可为如氮化硅等其他绝缘材料,所述金属层 101 可为钨、金等具有导电性能金属材料。

[0099] 如图 4 所示,然后进行步骤 2),刻蚀所述绝缘层 102 直至所述金属层 101,在所述基底上形成直达所述金属层 101 的绝缘凹槽 103。

[0100] 在所述基底上刻蚀形成的绝缘凹槽 103 为圆孔状槽,所述圆孔状槽的孔径为 40~70nm,且所述圆孔状槽的深度等于所述绝缘层 102 的厚度。在本实施例中,采用光刻刻蚀工艺制作所述绝缘凹槽 103,具体为进行涂胶、光刻,显影,刻蚀,去胶操作,对 SiO_2 层进行开孔,孔径为 40~70nm,在一具体的实施过程中,所述孔径为 60nm。

[0101] 如图 5 所示,接着进行步骤 3),于所述基底上沉积钨电极 104,并使所述钨电极 104 填满所述绝缘凹槽 103 并覆盖于所述绝缘层 102 的上表面。

[0102] 通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉积所述钨电极 104,其中,通过化学气相沉积法 CVD 沉积所述钨电极 104 的反应方程为: $\text{WF}_6(\text{g})+3\text{H}_2(\text{g})\rightarrow\text{W}(\text{s})+6\text{HF}(\text{g})$;通过原子层沉积法 ALD 沉积所述钨电极 104 的反应方程为: $\text{W}(\text{CH}_3)_6(\text{g})+3\text{H}_2(\text{g})\rightarrow\text{W}(\text{s})+6\text{CH}_4(\text{g})$ 。所述钨电极 104 的形状为圆柱形,其直径等于所述绝缘凹槽 103 的孔径。

[0103] 如图 6~图 7 所示,4) 利用抛光工艺将覆盖于所述绝缘层 102 的上表面的钨电极 104 抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽 103 内的钨电极 104,使所述钨电极 104 厚度小于所述绝缘凹槽 103 的深度。在本实施例中,所述钨电极 104 的厚度为 10~500nm。

[0104] 如图 8 所示,接着进行步骤 5),于所述绝缘凹槽 103 内的钨电极 104 表面沉积相变材料 105,使所述相变材料 105 填满所述绝缘凹槽 103 并覆盖于所述绝缘层 102 的上表面。通过物理气相沉积法 PVD、化学气相沉积法 CVD、原子层沉积法 ALD、电镀、溶胶凝胶法或金属有机物沉积法制备所述相变材料 105,在本实施例中,采用化学气相沉积法沉积所述相变

材料 105。所述相变材料 105 的形状为与所述绝缘凹槽 103 孔径相等的圆柱形。

[0105] 如图 9~图 10 所示,接着进行步骤 6),利用抛光工艺将覆盖于所述绝缘层 102 的上表面的相变材料 105 抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽 103 内的相变材料 105,使所述相变材料 105 及所述钨电极 104 的厚度之和小于所述绝缘凹槽 103 的深度。在本实施例中,所述相变材料 105 的厚度为 10~200nm。

[0106] 如图 11 所示,接着进行步骤 7),于所述绝缘凹槽 103 内的相变材料 105 表面沉积中间金属层 106,使所述中间金属层 106 填满所述绝缘凹槽 103 并覆盖于所述绝缘层 102 的上表面。

[0107] 所述中间金属层 106 为通过化学气相沉积法 CVD 或者原子层沉积法 ALD 沉积的钛、钨或氮化钛材料,其中,通过化学气相沉积法 CVD 沉积钛材料的反应方程为: $TiCl_4(g)+2H_2(g) \rightarrow Ti(s)+4HCl(g)$,通过化学气相沉积法 CVD 沉积钨材料的反应方程为: $WF_6(g)+3H_2(g) \rightarrow W(s)+6HF(g)$,通过化学气相沉积法 CVD 沉积氮化钛材料的反应方程为: $TiCl_4(g)+2H_2(g)+12N_2(g) \rightarrow TiN(s)+4HCl(g)$,通过原子层沉积法 ALD 沉积钛材料的反应方程为: $2Ti(CH_3)_3(g)+9H_2(g) \rightarrow 2Ti(s)+6CH_4(g)$,通过原子层沉积法 ALD 沉积钨材料的反应方程为: $W(CH_3)_6(g)+3H_2(g) \rightarrow W(s)+6CH_4(g)$;通过原子层沉积法 ALD 沉积氮化钛材料的反应方程为: $Ti(CH_3)_3(g)+NH_3(g) \rightarrow TiN(s)+3CH_4(g)$ 。在本实施例中,通过化学气相沉积法制作所述中间金属层 106,且所述中间金属层 106 的材料为钨。所述中间金属层 106 的形状为与所述绝缘凹槽 103 孔径相等的圆柱形。

[0108] 如图 12~图 13 所示,接着进行步骤 8),利用抛光工艺将覆盖于所述绝缘层 102 的上表面的中间金属层 106 抛除,然后利用光刻刻蚀工艺刻蚀填充于所述绝缘凹槽 103 内的中间金属层 106,使所述相变材料 105、所述钨电极 104 及所述中间金属层 106 的厚度之和小于所述绝缘凹槽 103 的深度。在本实施例中,所述中间金属层 106 的厚度为 10~200nm。

[0109] 如图 14 所示,接着进行步骤 9),于所述绝缘凹槽 103 内的相变材料 105 表面沉积硫系化合物开关层 11,使所述硫系化合物开关层 11 填满所述绝缘凹槽 103 并覆盖于所述绝缘层 102 的上表面;

[0110] 如图 15 所示,接着进行步骤 10),利用抛光工艺将覆盖于所述绝缘层 102 的上表面的硫系化合物开关层 11 抛除,使沉积于所述绝缘凹槽 103 内的硫系化合物开关层 11 的顶面与所述绝缘层 102 的上表面共平面。

[0111] 所述硫系化合物开关层 11 的形状为与所述中间金属层 106 直径相等的圆柱形,且所述硫系化合物开关层 11 的厚度为 10~200nm,其上表面与所述绝缘层 102 的上表面共平面,其材料可以是含 Al、As、Sb、Te、S、Se 元素中至少两种元素的硫系化合物薄膜材料或其他材料,在本实施例中,所述硫系化合物开关层 11 的材料为 $GeTe_4$ 、 $Al_5As_2Te_3$ 、 $Al_5Sb_2Te_3$ 、 $Al_5Sb_2Se_3$ 、 $Al_5Sb_2S_3$ 、 $GeAl_5As_2Te_3$ 、 $GeAl_5Sb_2Te_3$ 、 $GeAl_5Sb_2Se_3$ 、及 $GeAl_5Sb_2S_3$ 中的任意一种。由于所述相变材料 105 及所述硫系化合物开关层 11 均被限制于所述绝缘凹槽 103 内,不仅保证了相变材料 105 的加热效率,减少其热量的损失,而且减少了选通开关所占的体积,有效增加了存储器的集成度、存储密度及存储容量。

[0112] 最后进行步骤 11),制作连接于所述金属层 101 的字线 12 及连接于所述硫系化合物开关层 11 位线 13,以完成所述限制结构相变存储器的制作。

[0113] 以上为制作一个相变存储单元 10 的实施例,而在实际的操作过程中,依据上述方

法可同时制备多个相变存储单元 10 形成相变存储阵列,具体可依据上述方法在绝缘层 102 上同时形成多个绝缘凹槽 103、于多个绝缘凹槽 103 内依次形成多个钨电极 104、多个相变材料 105、多个中间金属层 106 及多个硫系化合物开关层 11,然后依据相变存储单元 10 的位置刻蚀位于绝缘层 102 低面的金属层 101 以隔出多个与各该存储单元对应的相互独立的金属层 101 电极,最后制作位线 13 和字线 12 完成制作。

[0114] 为了进一步说明本发明的有益效果,请参阅图 16 及图 17,图 16 显示了本专利提出的限制结构相变存储器在操作过程中器件内部的电场和温度场分布模拟图。穿过存储介质相变材料的电场线之间相互平行,反应出平行电场特性。这意味着电流是以平行的方式流经存储介质的。图 17 显示了传统平面结构相变存储器存储部分在操作时的电场及温度分布模拟图。电场自 W 电极到上电极呈发散状态。图 16 所示结构中相变存储介质被限制在凹槽中,改变存储状态时所需相变的材料体积小,相变所需能量少。同时由于结构对电流方向的限制,使电流平行流经相变存储介质,提高了电流的加热效率,从而提高了能量的利用率。而图 17 中所示的相变区域不受结构限制,体积大于图 16 中所需相变的区域,呈蘑菇型。同时发散型电流降低了电流密度,降低了加热效率。因此,本专利提出的结构相比传统结构能有效降低相变存储器的操作功耗。通过模拟发现,图 16 所示结构由于电流加热区域相比图 17 更集中,温度在被加热区域分布相对更均匀。而均匀的温度分布能提高元素分布的均匀性,减少元素偏析的可能性。存储介质除上下与电极接触,四周均被 SiO_2 包裹,有效抑制了元素朝四周扩散。传统器件中被加热相变材料四周均为相同的相变材料,而这些相变材料并不能起到防止元素扩散的作用。对每个相变单元中存储介质相变材料的限制不仅能降低功耗抑制扩散,而且能提高不同单元之间操作参数的稳定性和一致性。由于不同单元之间中存储媒介的相变区域受限制,因此不同单元中材料相变所需的能量更相近,对应的操作信号更一致。限制结构所带来的操作信号一致性的增强和元素扩散的抑制都有利于器件的循环操作能力的提高。在传统的 T 型相变存储器中,发散的电流意味着电流密度不均匀。不均匀的电流密度会使开关层在电流密度大的区域提前进入导通状态,体现出低电阻值。由于开关层局部出现低电阻值的导电通路,这部分区域的电流密度将进一步增加,出现局部高温区域。局部高温区域的出现会增加开关层材料微观原子排布遭到破坏的情况的可能性,即在高温下开关层将局部晶化或产生元素偏析情况,使该区域始终处于低电阻状态,导致该区域开关功能的丧失。连接开关层上下两端的局部低电阻区域的存在将为电流提供一直存在的通道,进而使开关层失去开关作用,导致选通器失效。而在限制结构相变存储器中,电流流向受到约束,使流经开关层的电流为平行均匀电流。平行均匀电流能使开关层减少局部导通现象出现的可能性,避免局部高温导致的开关层失效的产生。局部导通现象得到抑制,开关打开时开关层内导通区域固定,这有利于选通开关所需电信号的稳定性,使选通开关更易控制,更易准确选中。因此,限制型结构具有保护开关层,确保开关层循环使用寿命的作用。对比传统结构,限制结构提供的平行均匀电场和固定体积的相变区域不仅增强了操作信号一致性和抑制了元素扩散,同时增强了选通开关所需电信号的稳定性,使选通开关更易控制,更易准确选中。操作参数稳定性和一致性的提高,相变材料和开关层内电流分布和热分布更均匀都有利于器件的循环操作能力的提高。

[0115] 综上所述,本发明提供一种限制结构相变存储器及其制作方法。本发明的限制结构相变存储器包括相变存储阵列、具有阈值电压开关特性硫系化合物开关层 11、以及分别

连接于相变存储阵列及硫系化合物开关层 11 的字线 12 及位线 13。所述硫系化合物开关层 11 在达到阈值电压之前处于高电阻状态,起到关电路的作用,当电压超过阈值电压之后,材料进入低电阻态,起到开启电路的作用。这种硫系化合物做成薄膜之后仍然具有阈值电压开关特性,并且这类薄膜的制备工艺与现有的 CMOS 工艺兼容。利用硫系化合物材料薄膜作为选通开关的相变存储器的制备具有步骤少,工艺简单的特点。同时,利用硫系化合物薄膜制备的选通开关所占体积小,有利于提高芯片的存储密度,提高信息容量和降低成本。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0116] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

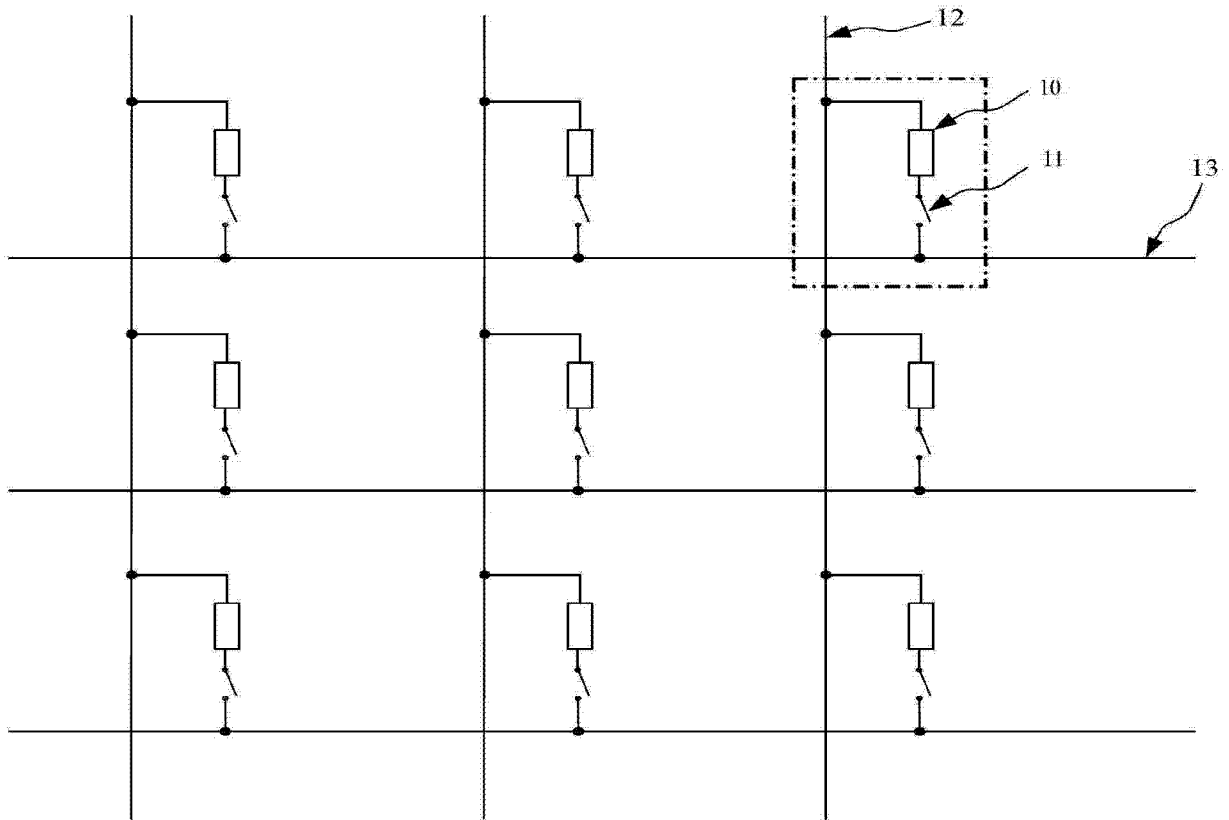


图 1

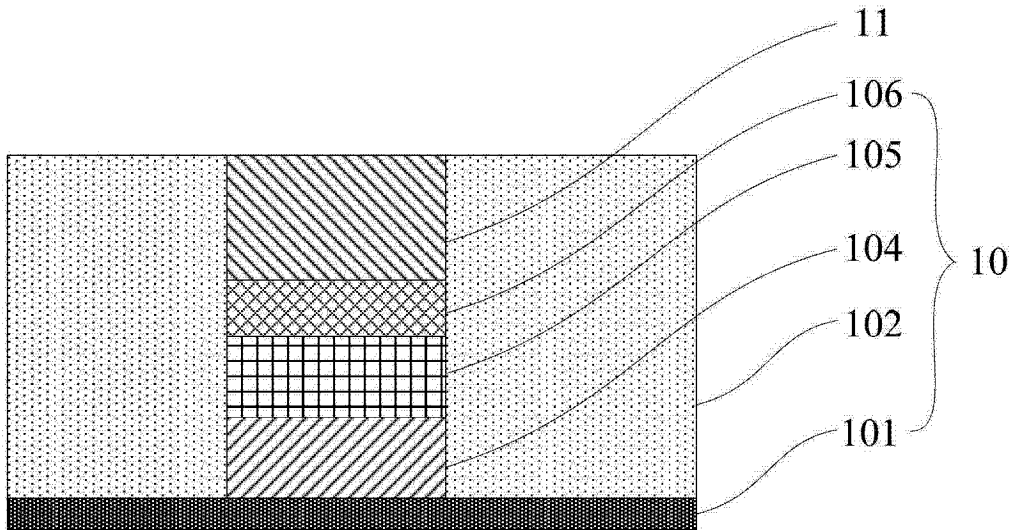


图 2

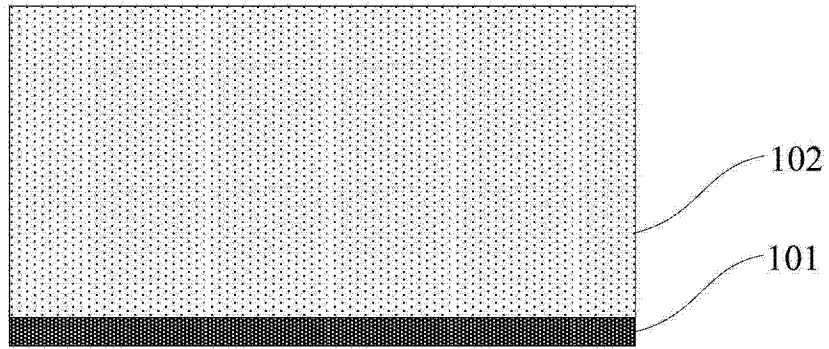


图 3

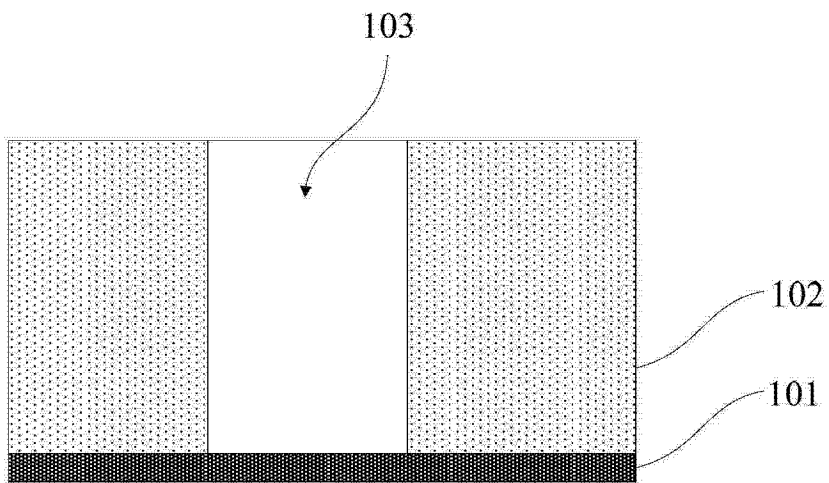


图 4

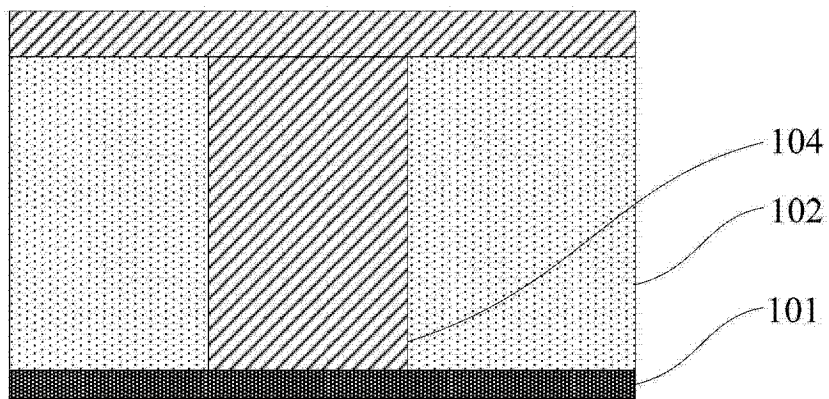


图 5

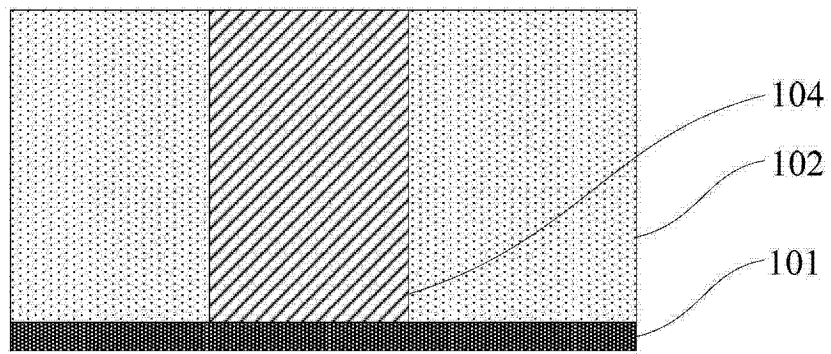


图 6

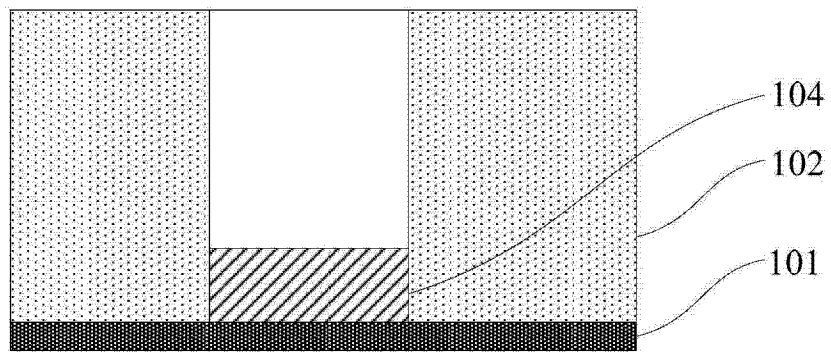


图 7

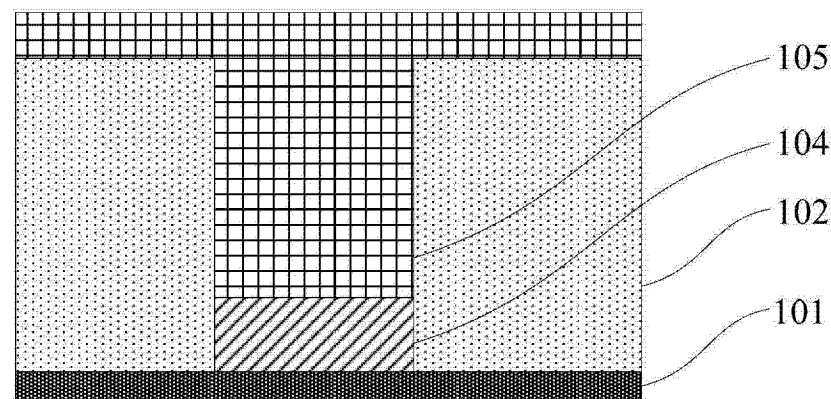


图 8

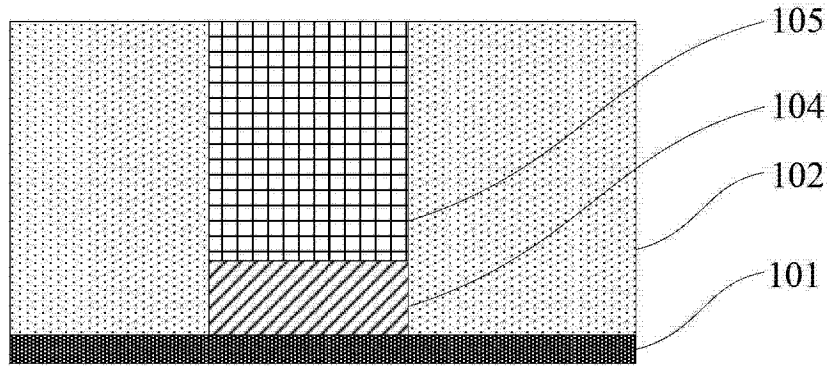


图 9

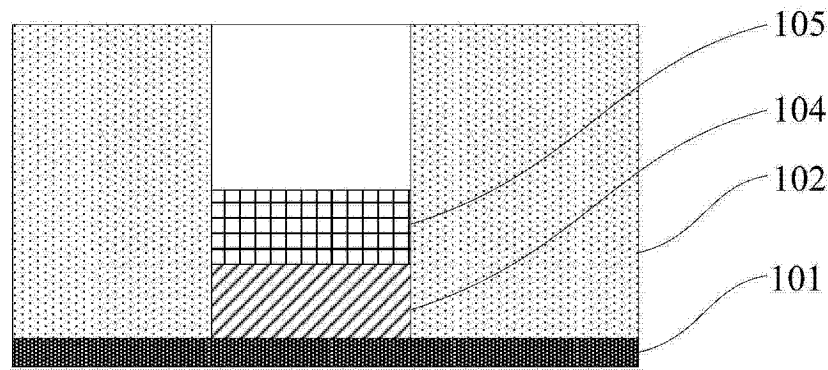


图 10

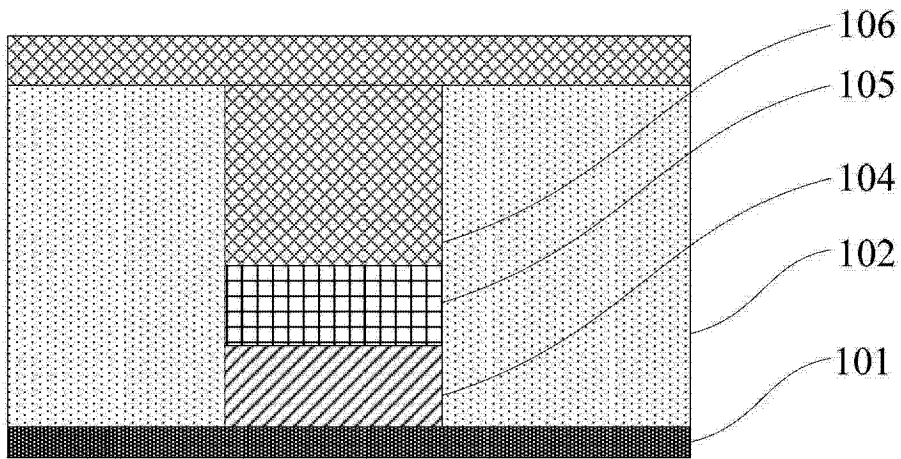


图 11

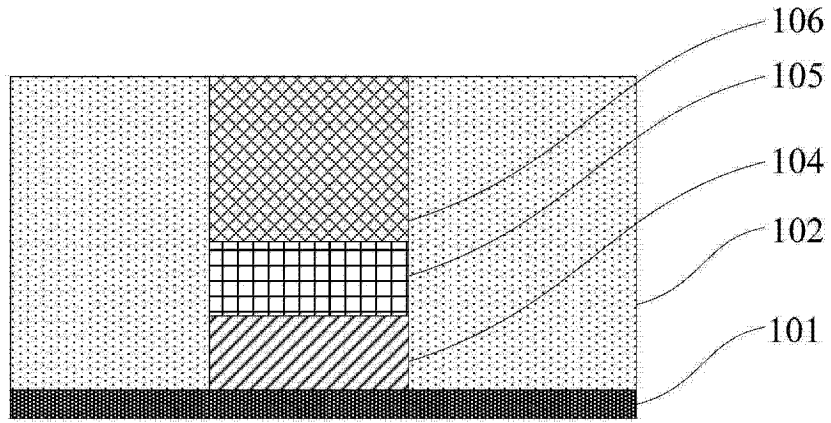


图 12

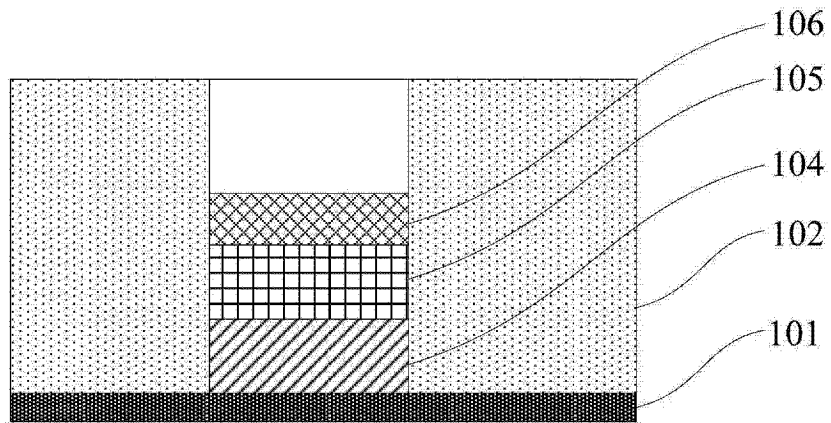


图 13

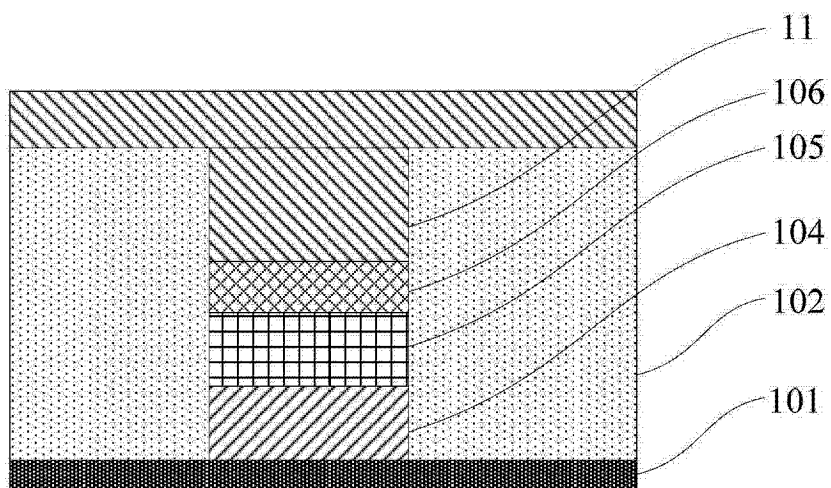


图 14

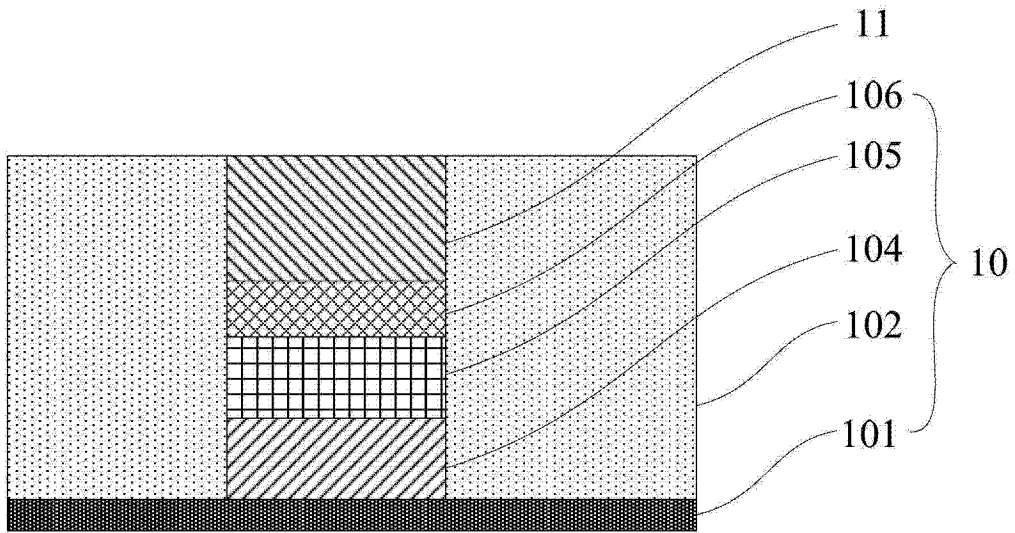


图 15

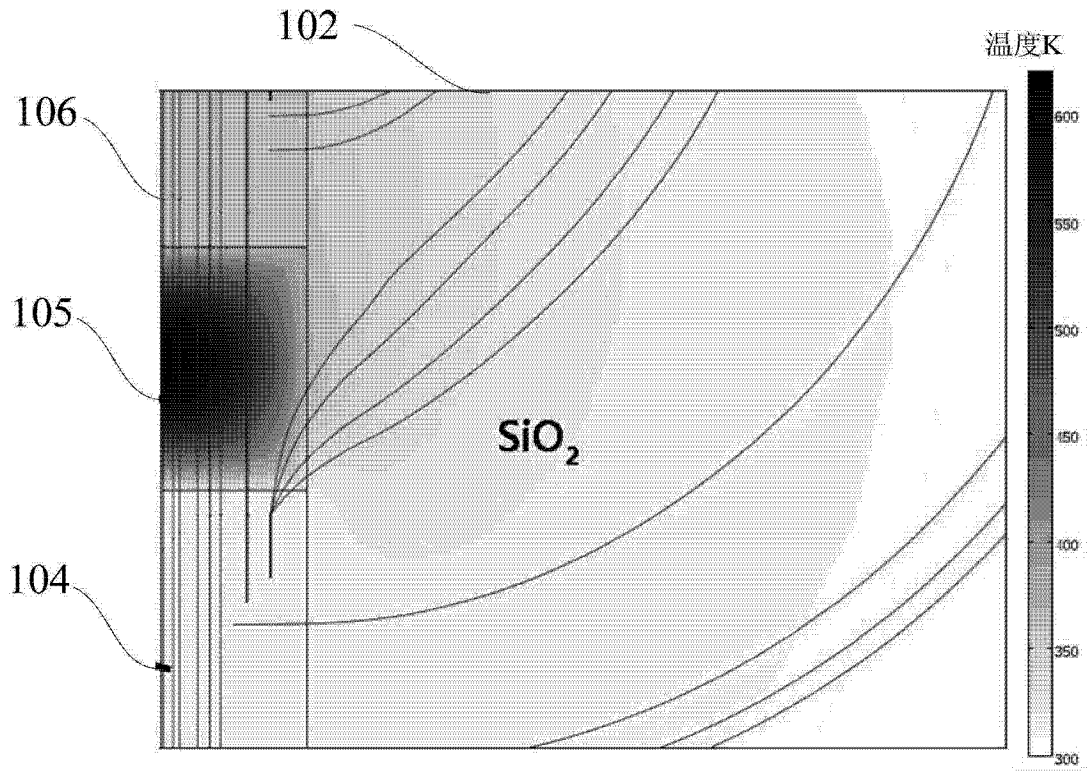


图 16

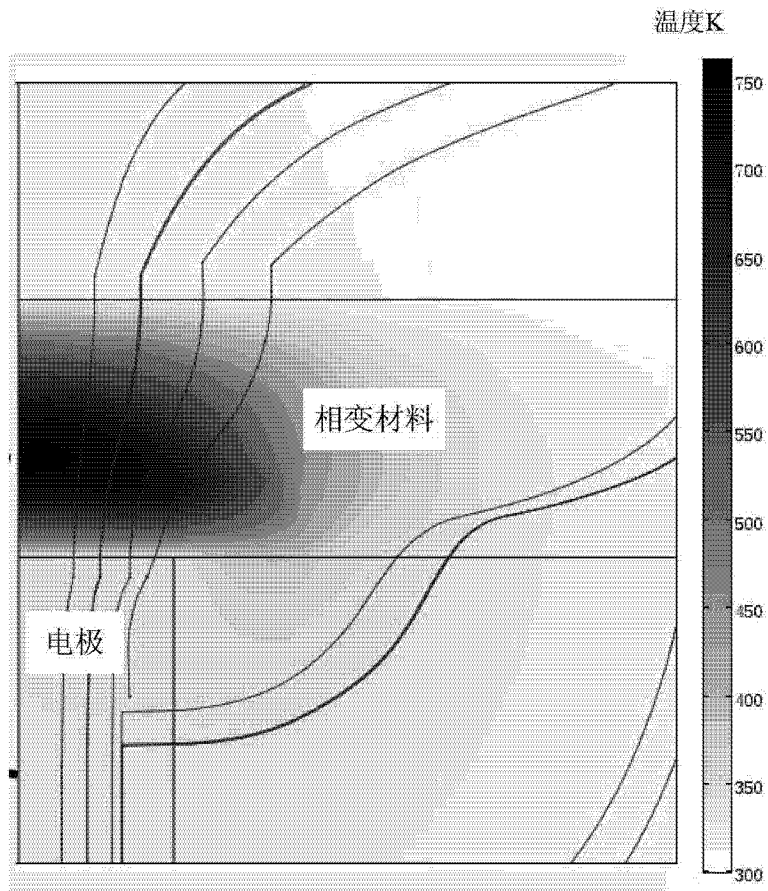


图 17