(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G06F 13/00

(45) 공고일자 2004년12월03일
(11) 등록번호 10-0460101
(24) 등록일자 2004년11월25일

(21) 출원번호 10-2003-0021287
(22) 출원일자 2003년04월04일

(65) 공개번호 10-2004-0087047
(43) 공개일자 2004년10월13일

(73) 특허권자 (주)젠코아
서울특별시 서초구 양재동 275-6 삼호물산빌딩비동 5층

(72) 발명자 배종홍
서울특별시광진구광장동극동아파트8동1302호

전영욱
서울특별시송파구잠실동249-10302호

(74) 대리인 이창훈

심사관 : 임영희

(54) 마이크로프로세서 개발시스템의 기능을 지원하기 위한회로구조

요약

본 발명은 MDS에서 요구하는 기능들을 에바-칩이 아닌 단일 칩에 의해 지원할 수 있도록 한 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조에 관한 것으로서, 이는 마이크로 프로세서 개발시스템을 지원하기 위한 회로에 있어서, 입출력모듈을 통해 발생되는 디지털 및 아날로그 입출력 신호 중에서 FPGA에서 구현하기 힘든 아날로그 입출력신호만을 사용하기 위해 상기 입출력모듈과 아날로그 버스로 연결되는 MCU 칩을 갖는 MCU 모듈부와; 코드메모리, 그 코드메모리로부터 페치 가능한 버스를 통해 프로그램 코드를 페치(fetch)하고 상기 입출력모듈을 통해 발생되는 디지털신호를 디지털 버스(D2, D3)를 통해 매핑하는 FPGA(field programmable gate array)로 이루어진 MDS로 구성되며; 상기 MCU 칩에서 상기 FPGA로 구현할 수 없는 아날로그 신호처리 및 디지털 처리부분과의 인터페이스를 수행하기 위한 MDS 지원모듈이 MCU 내에 더 포함되는 것에 의해 달성된다.
이에 따라, 별도의 에바-칩 없이도 MDS의 기능을 효율적으로 제공할 수 있어, 에바-칩의 개발비용을 절감할 수 있음은 물론, 개발시간을 단축할 수 있는 기대가 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 에바-칩을 이용한 MDS 지원회로를 보인 구성도,
도 2는 본 발명의 실시예에 따른 마이크로프로세서 개발시스템의 기능을 지원하기 위한 지원모듈을 보인 구성도,
도 3은 도 2의 마이크로프로세서 개발시스템의 기능을 지원하기 위한 MCU의 내부 지원모듈을 보인 구성도이다.
* 도면의 주요 부분에 대한 부호의 설명*

102 : MCU 칩, 104 : 입출력 모듈,
110 : MDS, 132 : MDS 모드설정부,
134 : 디코더부.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조에 관한 것으로서, 보다 상세하게는 별도의 개발 칩(Eva-chip)을 사용하지 않고 단일 칩만으로 마이크로프로세서 개발시스템(Microprocessor Development System : 이하 MDS라 칭함)을 지원할 수 있도록 한 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조에 관한 것이다.
최근, 반도체 기술의 발전으로 초대규모집적회로(VLSI)의 집적도가 향상됨에 따라 대부분의 칩은 내부에 소정 용량의 메모리를 갖는 다량의 코드 롬(Code ROM)이 포함되어 설계가 이루어지고 있다.
그리고, 상기 메모리를 갖는 구조의 MCU 및 MPU와 관련된 시스템을 개발하기 위해서 사용되는 MDS는 개발 목적에 맞는 에바-칩(Eva-Chip)을 별도로 요구하고 있는데, 상기 에바-칩은 MCU의 프로그램 롬(ROM)에 이식될 프로그램을 외부의 롬 또는 램에서 페치하는 것을 가능하게 하고, 또한 MCU 내부의 데이터 상태를 제공하여 디버깅을 할 수 있도록 한다.
도 1은 종래기술에 따른 에바-칩을 이용한 MDS 지원회로를 보인 구성도이다.
이에 도시된 바와 같이, 입출력모듈을 통해 임의의 제어신호를 입력받아 외부의 롬(ROM) 또는 램(RAM)으로부터 코드를 페치하는 에바-칩(10)과, 내부 클럭신호와 동기된 상태에서, 상기 에바 칩(10)으로부터 상기 페치한 데이터를 입력받고 프로그램 코드를 생성하기 위한 FPGA(22)를 갖는 MDS(20)로 구성된다.
상기 FPGA(22)는 호스트(30)와 인터페이스된다.
미설명부호 24는 코드메모리, 40은 입출력모듈이다.
상기 에바-칩(10)을 이용한 MDS 지원회로에서 그 에바-칩(10)은 MCU 칩의 롬에 이식될 프로그램을 외부의 롬 또는 램에서 페치하게 되며, 상기 롬 또는 램은 제어신호에 응답하여 소정 비트의 명령코드를 에바-칩(10)으로 전송한다.
그러나, 종래 기술에 따르면 MDS 지원회로를 제공하기 위해서는 기존의 입출력 핀 이외에도 어드레스버스, 데이터버스, 및 제어신호 들을 위한 핀 구성이 추가로 이루어져야 하며, 시스템 개발 후에는 에바-칩에 의해 구성된 칩을 별도로 설계해야 하기 때문에 에바-칩의 설계에 따른 시간 지연 및 경제적인 비용이 증가되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기한 문제점을 해결하기 위해 안출된 것으로서, MDS에서 요구하는 기능들을 에바-칩이 아닌 단일 칩에 의해 지원할 수 있도록 한 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조를 제공함에 그 목적이 있다.
또한, 본 발명은 디지털 및 아날로그 신호처리를 메인 칩과 외부의 FPGA에서 분리하여 구동되도록 하고, MDS 모드인 경우 메인칩의 디지털 신호처리가 내부 버스신호를 이용하여 외부 디지털 처리부와 연계시켜 동작되도록 하는데 다른 목적이 있다.
상기한 목적을 달성하기 위한 본 발명의 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조는, 마이크로 프로세서 개발시스템을 지원하기 위한 회로에 있어서, 입출력모듈을 통해 발생되는 디지털 및 아날로그 입출력 신호 중에서 FPGA에서 구현하기 힘든 아날로그 입출력신호만을 사용하기 위해 상기 입출력모듈과 아날로그 버스로 연결되는 MCU 칩을 갖는 MCU 모듈부와; 코드메모리, 그 코드 메모리로부터 페치 가능한 버스를 통해 프로그램 코드를 페치(fetch)하고 상기 입출력모듈을 통해 발생되는 디지털신호를 디지털 버스(D2, D3)를 통해 매핑(Mapping)하는 FPGA(field programmable gate array)로 이루어진 MDS로 구성되며; 상기 MCU 칩에서 상기 FPGA로 구현할 수 없는 아날로그 신호처리 및 디지털 처리부분과의 인터페이스를 수행하기 위한 MDS 지원모듈이 MCU 내에 더 포함되는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
도 2는 본 발명의 실시예에 따른 마이크로프로세서 개발시스템의 기능을 지원하기 위한 지원모듈을 보인 구성도, 도 3은 도 2의 마이크로프로세서 개발시스템의 기능을 지원하기 위한 MCU의 내부 지원모듈을 보인 구성도이다.
도 2에 도시된 바와 같이, 입출력모듈(104)을 통해 발생되는 디지털 및 아날로그 입출력 신호 중에서 FPGA(112)에

서 구현하기 힘든 아날로그 입출력신호만을 사용하기 위해 상기 입출력모듈(104)과 아날로그 신호로 사용되는 어드레스 버스로 연결되는 MCU 칩(102)을 갖는 MCU 모듈부(100)와; 코드메모리(114), 그 코드메모리(114)로부터 프로그램 코드를 페치(fetch)하고 상기 입출력모듈(104)을 통해 발생되는 디지털신호로 사용되는 데이터 버스(D1, D2, D3)를 통해 매핑하는 FPGA(field programmable gate array)로 이루어진 MDS(110) 및; 상기 FPGA(112)와 인터페이스되는 호스트(120)로 구성된다.

상기 FPGA(112)는 MCU 코어부분과 MDS 인터페이스 부분을 구비하며, 또한 MDS(110)는 MCU 칩(102)으로부터 데이터 및 어드레스, 그리고 이를 처리하기 위한 제어신호를 입력받아 레지스터에 저장되어 있는 데이터를 액세스하고 소정 프로그램을 설계하는 기능을 제공한다.

또한, 도 3에 도시된 바와 같이 MCU의 내부 지원모듈은 MCU 칩에서 상기 FPGA에서 구현할 수 없는 아날로그 블록(예컨대 ADC)과 MDS 인터페이스 부분이 포함된 것으로, 이는 외부크리스탈 입력(XIN)을 받아 내부 클럭신호를 생성하는 클럭패드(CLK PAD)(130), 상기 MCU 칩을 MDS 용도로 사용할 경우 외부 입력을 받아 MDS 모드로 셋팅해주는 MDS 모드 설정부(MDS_MODE)(132), MCU 칩(102)과 FPGA(112)부에서 수행하는 디지털 신호와 아날로그 신호에 대한 데이터를 서로 연결해주는 인터페이스에서 아날로그 주소를 나타내는 어드레스인 SFR_AD 신호들을 입력받아 디코딩하고, 제어하고자 하는 아날로그 블록을 선택하도록 제어신호를 발생하는 디코더부(Decorder block)(134), 상기 MDS 모드설정부(132)에 의해 MDS 모드가 활성화될 때 MCU 코어의 해당 기능이 정지됨과 아울러 아날로그 신호처리를 위한 부분과 MDS 인터페이스에 해당되는 부분만 활성화되는 MCU 코어(136), 상기 SFR_AD 신호에 의해 SFR_DB 버스를 이용하여 SFR_WR 또는 SFR_RD에 따라 상기 선택된 아날로그 블록에 데이터를 쓰거나 저장된 데이터를 읽을 수 있도록 제공되는 하나 이상의 아날로그 블록부(140-140n)가 포함되어 구성된다.

본 발명의 실시예에서는 상기 아날로그 블록부(140)를 A/D 변환장치로 설정하여 설명하기로 하며, 그와 관련된 아날로그 입력신호는 AD[7:0]가 제공된다.

그와 같이 구성된 본 발명의 작용을 도 2 및 도 3을 참조하여 설명하기로 한다.

먼저, MCU 칩(102)은 아날로그 신호만을 처리하기 위해 아날로그 입출력 단자가 제공되며, 그 아날로그 입출력 단자 및 아날로그 버스로 연결된 입출력모듈을 통해 후술하는 아날로그 신호에 대한 데이터의 입출력을 수행한다.

이와 반면에 프로그램 코드를 페치하고, MCU 칩(102)의 디지털 신호의 입출력에 대한 신호처리, 그리고 MCU 코어(136)와 관련된 부분은 FPGA(112)에서 처리하게 된다.

상기 FPGA(112)는 입출력모듈을 통해 발생되는 디지털 신호처리와 관련되어 디지털 신호를 위한 디지털 버스(D2, D3)를 이용하여 디지털 신호를 처리하고, 또한 코드메모리(114)와 직접 연결된 페치 가능한 버스를 통해 프로그램 코드를 페치하게 된다.

한편, MDS를 지원하기 위한 MCU 내부 지원모듈의 동작을 설명하면, 우선 MCU 칩(102)과 FPGA(112) 상호간의 인터페이스를 위해 특수기능레지스터(SFR)와 관련된 어드레스 버스와 데이터버스를 제어하기 위한 제어신호 즉, SFR_AD[7:0]과 SFR_DB[7:0]을 사용하게 된다.

이때, MDS 모드설정부(132)의 셋팅에 따라 MCU 칩(102)이 MDS을 위한 용도로 변환되면, MCU 코어(136)는 현재 수행중인 기능을 중지하고, 아날로그 신호처리 부분과 FPGA(112)의 디지털 신호처리부분과의 인터페이스에 관련된 부분만이 활성화 된다. 예컨대 MDS 모드로 동작할 경우에는 디지털 신호들의 내부 버스 신호는 외부 디지털 처리부와 연결되어 동작된다.

계속해서, 상기 SFR_AD[7:0] 신호 중 아날로그 주소를 나타내는 소정 어드레스와 관련된 제어신호가 발생되면, 그 제어신호는 디코더부(134)에서 상기 SFR_AD 신호를 디코딩 처리한 후 어느 하나의 아날로그 블록(140-140n)을 선택한다.

상기 어느 하나의 아날로그 블록이 선택된 다음에는 그 해당 아날로그 블록에 대한 데이터를 리드(read) 하거나 라이트(write)하는 작업이 수행되는데, SFR_WR 신호 또는 SFR_RD신호에 따라 해당 블록을 제어하게 된다. 이때 상기 제어신호는 SFR_DB07:0] 버스를 통해 해당 블록에 대한 리드 또는 라이트 작업을 수행한다.

예컨대, 상기 아날로그 블록이 아날로그-디지털 변환기의 기능을 수행한다고 했을 때, MDS 모드 설정이 이루어지지 않는 경우에는 MCU 칩(102)은 아날로그-디지털 변환기능을 디스에이블(disable) 하는 반면, MDS 모드로 설정되면 SFR_AD 신호의 디코딩 과정후 대응되는 ADC 블록(140)을 선택하고, SFR 버스를 통한 제어신호에 따라 데이터를 저장하거나 액세스하게 된다.

한편, 본 발명의 실시예에 따르면 아날로그 블록이 아날로그-디지털 변환기에 국한되어 하나의 실시예로 설명하고 있지만, 이외에도 SFR_BUS를 통해 제어되는 다양한 아날로그 블록 등이 적용될 수 있기 때문에, 본 발명에서 기재된 내용과 다른 변형된 실시예들이 돌출된다고 하더라도 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안되며, 본 발명에 첨부된 청구범위안에 속한다 해야 할 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 에바-칩의 설계를 하지 않아도 MDS에서 요구하는 기능들을 제공할 수 있기 때문에, 개발 비용을 절감할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

마이크로 프로세서 개발시스템을 지원하기 위한 회로에 있어서,

입출력모듈을 통해 발생되는 디지털 및 아날로그 입출력 신호 중에서 FPGA에서 구현하기 힘든 아날로그 입출력신호만을 사용하기 위해 상기 입출력모듈과 아날로그 버스로 연결되는 MCU 칩을 갖는 MCU 모듈부와; 코드메모리, 그 코드메모리로부터 페치 가능한 버스를 통해 프로그램 코드를 페치(fetch)하고 상기 입출력모듈을 통해 발생되는 디지털신호를 디지털 버스(D2, D3)를 통해 매핑하는 FPGA(field programmable gate array)로 이루어진 MDS로 구성되며;

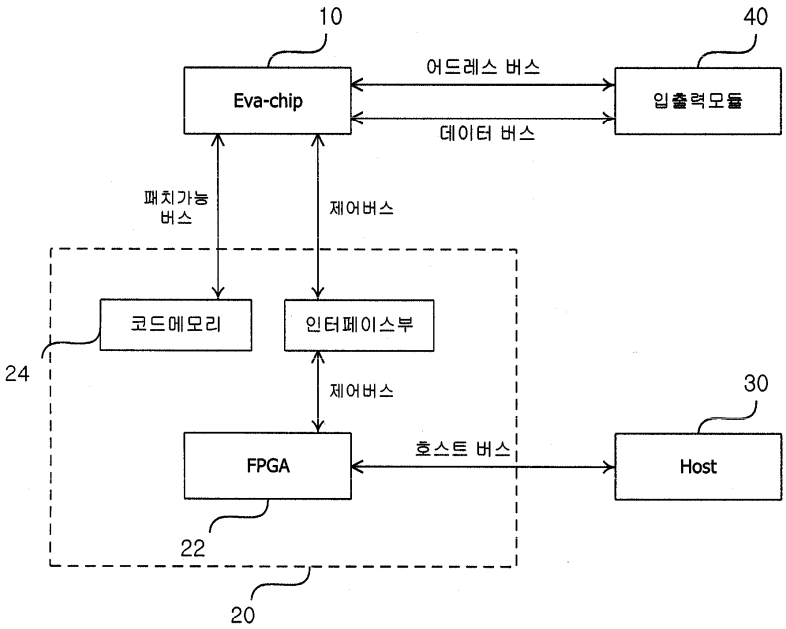
상기 MCU 칩에서 상기 FPGA로 구현할 수 없는 아날로그 신호처리 및 디지털 처리부분과의 인터페이스를 수행하기 위해, 외부크리스탈 입력(XIN)을 받아 내부 클럭신호를 생성하는 클럭패드(CLK PAD), 상기 MCU 칩을 MDS 용도로 사용할 경우 외부 입력을 받아 MDS 모드로 셋팅해주는 MDS 모드 설정부(MDS_MODE), MCU 칩과 FPGA부에서 수행하는 디지털 신호와 아날로그 신호에 대한 데이터를 서로 연결해주는 인터페이스에서 아날로그 주소를 나타내는 어드레스인 SFR_AD 신호들을 입력받아 디코딩하고, 제어하고자 하는 아날로그 블록을 선택하도록 제어신호를 발생하는 디코더부(Decorder block), 상기 MDS 모드설정부에 의해 MDS 모드가 활성화될 때 MCU 코어의 해당 기능이 정지됨과 아울러 아날로그 신호처리를 위한 부분과 MDS 인터페이스에 해당되는 부분만 활성화되는 MCU 코어부, 상기 SFR_AD 신호에 의해 SFR_DB 버스를 이용하여 SFR_WR 또는 SFR_RD에 따라 상기 선택된 아날로그 블록에 데이터를 쓰거나 저장된 데이터를 읽을 수 있도록 제공되는 하나 이상의 아날로그 블록부가 구비되는 MDS 지원회로가 상기 MCU 내부에 더 포함되어 구성되는 것을 특징으로 하는 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조.

청구항 2.

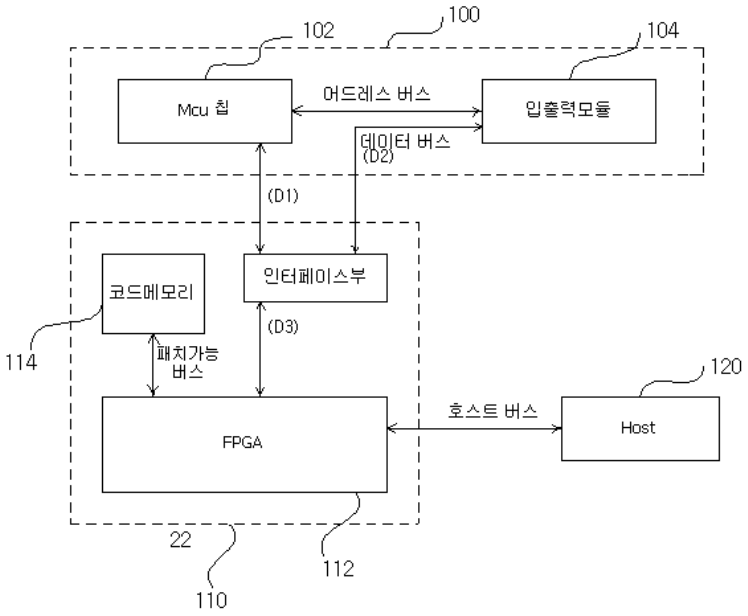
제 1항에 있어서, 상기 아날로그 블록과 FPGA의 디지털 부분과의 인터페이스를 위해 SFR_AD[7:0] 신호 및, SFR_DB[7:0] 버스와 관련된 제어신호가 제공되는 것을 특징으로 하는 마이크로프로세서 개발시스템의 기능을 지원하기 위한 회로구조.

도면

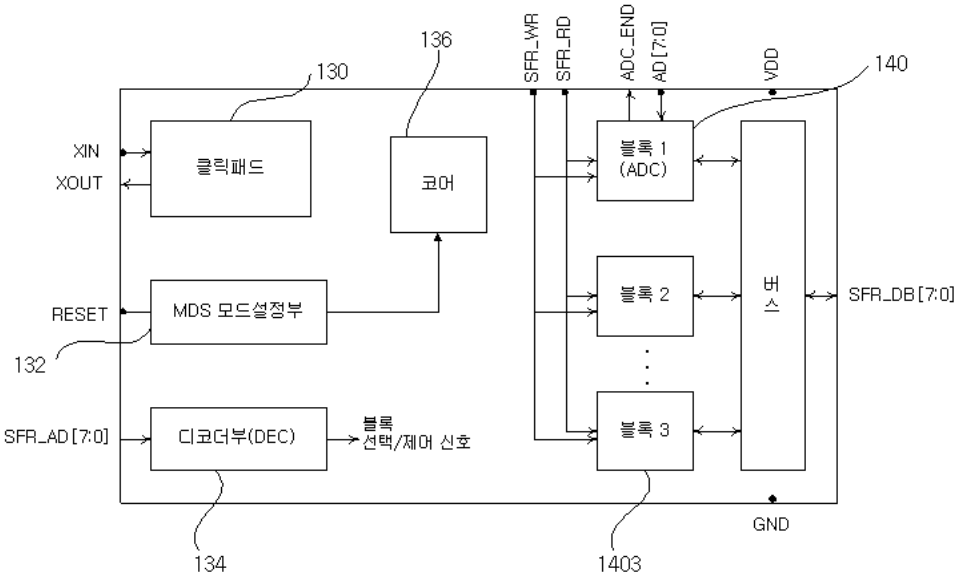
도면1



도면2


100
102
104
Mcu 칩
어드레스 버스
입출력모듈
데이터 버스
(D2)
(D1)
코드메모리
인터페이스부
(D3)
114
패치가능
버스
120
호스트 버스
FPGA
Host
22
110
112

도면3


SFR_WR
SFR_RD
ADC_END
AD[7:0]
VDD
136
130
140
XIN
XOUT
클럭패드
코어
블록 1
(ADC)
RESET
MDS 모드설정부
블록 2
버
스
SFR_DB[7:0]
132
SFR_AD[7:0]
디코더부(DEC)
블록
선택/제어 신호
블록 3
GND
134
1403