

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3826458号

(P3826458)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12

F

H O 1 L 21/52 (2006.01)

H O 1 L 21/52

C

請求項の数 4 (全 9 頁)

(21) 出願番号	特願平8-343460	(73) 特許権者	000004455
(22) 出願日	平成8年12月24日(1996.12.24)		日立化成工業株式会社
(65) 公開番号	特開平10-189798		東京都新宿区西新宿2丁目1番1号
(43) 公開日	平成10年7月21日(1998.7.21)	(74) 代理人	100083806
審査請求日	平成15年7月28日(2003.7.28)		弁理士 三好 秀和
		(72) 発明者	中村 英博
			茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内
		(72) 発明者	湯佐 正己
			茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内
		(72) 発明者	坪松 良明
			茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内

最終頁に続く

(54) 【発明の名称】 ダイボンディング材を接着する方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性支持基板上に作製された複数の半導体チップ搭載用基板の半導体チップ搭載領域部にダイボンディング材を接着する方法であって、

離型性シートの片面に所定形状の膜状体ダイボンディング材が複数形成されたダイボンディング材転写用フィルムと、前記絶縁性支持基板とを、複数の前記膜状体ダイボンディング材が複数の前記半導体チップ搭載領域部の各々に対向するように位置合わせして重ね、熱圧着する工程、および前記離型性を剥離する工程、を備えることを特徴とする、絶縁性支持基板上に作製された複数の半導体チップ搭載用基板の半導体チップ搭載領域部にダイボンディング材を接着する方法。

【請求項2】

前記離型性シートの、前記膜状体ダイボンディング材が形成される面の表面エネルギーが  $20 \sim 50 \text{ erg/cm}^2$  である、請求項1に記載の方法。

【請求項3】

前記膜状体ダイボンディング材は、粘度が  $100 \sim 1000$  ポイズのダイボンディング材ワニスを用いて前記離型性シートの片面にパターンニングして形成される、請求項1または2に記載の方法。

【請求項4】

前記位置合わせは、前記ダイボンディング材転写用フィルムおよび前記絶縁性支持基板の所定位置にガイド穴を設け、該ガイド穴をガイドピン付き治具のガイドピンに通して行

10

20

うことを特徴とする、請求項 1～3 のいずれか 1 項に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体パッケージ用チップ支持基板の製造法、半導体パッケージ、半導体パッケージの製造法、半導体パッケージ用チップ支持基板の製造用絶縁材転写用シートに関する。

【0002】

【従来の技術】

半導体の集積度が向上するに従い、入出力端子数が増加している。従って、多くの入出力端子数を有する半導体パッケージが必要になった。一般に、入出力端子はパッケージの周辺に一直列配置するタイプと、周辺だけでなく内部まで多列に配置するタイプがある。前者は、QFP (Quad Flat Package) が代表的である。これを多端子化する場合は、端子ピッチを縮小することが必要であるが、0.5mmピッチ以下の領域では、配線板との接続に高度な技術が必要になる。後者のアレイタイプは比較的大きなピッチで端子配列が可能のため、多ピン化に適している。従来、アレイタイプは接続ピンを有するPGA (Pin Grid Array) が一般的であるが、配線板との接続は挿入型となり、表面実装には適していない。このため、表面実装可能なBGA (Ball Grid Array) と称するパッケージが開発されている。

【0003】

一方、電子機器の小型化に伴って、パッケージサイズの更なる小型化の要求が強くなってきた。この小型化に対応するものとして、半導体チップとほぼ同等サイズの、いわゆるチップサイズパッケージ (CSP; Chip Size Package) が提案されている。これは、半導体チップの周辺部でなく、実装領域内に外部配線基板との接続部を有するパッケージである。具体例としては、バンプ付きポリイミドフィルムを半導体チップの表面に接着し、チップと金リード線により電気的接続を図った後、エポキシ樹脂などをポッティングして封止したもの (NIKKEI MATERIALS & TECHNOLOGY 94.4, No. 140, p18-19) や、仮基板上に半導体チップ及び外部配線基板との接続部に相当する位置に金属バンプを形成し、半導体チップをフェースダウンボンディング後、仮基板上でトランスファーモールドしたもの (Smallest Flip-Chip-Like Package CSP; The Second VLSI Packaging Workshop of Japan, p46-50, 1994) などがある。

従来提案されている半導体パッケージの多くは、小型で高集積度化に対応できかつパッケージクラックを防止し信頼性に優れしかも生産性に優れるものではない。

また、バンプ付きポリイミドフィルム等のチップ搭載用基板に半導体チップを接着し実装するダイボンディング材を、チップ搭載用基板に接着する必要がある。従来は、液状体ダイボンディング材をデイスペンサで塗布するか、膜状体 (フィルム状) ダイボンディング材を熱圧着している。

【0004】

【発明が解決しようとする課題】

このような方法は、複雑なシーケンス制御や画像位置合わせなど装置の精密化が要求され、さらには、個片貼り付けが多くタクトタイムの削減に制限がある。膜状体 (フィルム状) ダイボンディング材は仮置きや貼り付けを個片で行うため、特に圧着時間を大きくすればあいにタクト時間増大となるため、圧着条件は容易に変更できない。

本発明は、パッケージクラックを防止し信頼性に優れる小型の半導体パッケージの製造を可能とする半導体パッケージ用チップ支持基板を提供するものであり、ダイボンディング材のチップ搭載用基板への接着において安価にタクトタイムを短縮する方法を与えるものである。

【0005】

10

20

30

40

50

## 【課題を解決するための手段】

本発明の半導体パッケージ用チップ支持基板の製造法は、

A．半導体チップ実装用端子、引き回し配線及び外部接続用端子を備えた導電体が形成された絶縁性支持基板を準備する工程、

B．離型性シートの所定箇所に接着性と絶縁性を確保した所定形状の絶縁材層が形成された絶縁材転写用シートを準備する工程、

C．前記絶縁性支持基板の半導体チップ搭載領域部に、前記絶縁材転写用シートの前記所定形状の絶縁材層を対向させ、前記絶縁性支持基板と前記絶縁材転写用シートとを加圧し、前記所定形状の絶縁材層を前記離型性シートから前記絶縁性支持基板の半導体チップ搭載領域部に転写する工程、

D．前記離型性シートを剥離する工程  
を備えることを特徴とするものである。

10

## 【0006】

本発明の半導体パッケージ用チップ支持基板の製造法では、導電体は半導体チップ搭載領域を備えたものであり、絶縁性支持基板の半導体チップ搭載領域部には前記導電体の半導体チップ搭載領域が含まれるようにすることができる。

## 【0007】

また本発明の半導体パッケージ用チップ支持基板の製造法では、絶縁性支持基板の半導体チップ搭載領域部にベントホールが設けられており、絶縁材転写用シートの前記ベントホールに対向した箇所にベントホールより大きい切り欠きが設けられているようにすることができる。

20

## 【0008】

本発明の半導体パッケージは、本発明の方法で製造された半導体パッケージ用チップ支持基板の絶縁材層を介して半導体チップを搭載させた半導体パッケージである。

## 【0009】

本発明の半導体パッケージの製造法は、

a．半導体チップ実装用端子、引き回し配線及び外部接続用端子を備えた導電体が形成された絶縁性支持基板を準備する工程、

b．離型性シートの所定箇所に接着性と絶縁性を確保した所定形状の絶縁材層が形成された絶縁材転写用シートを準備する工程、

c．前記絶縁性支持基板の半導体チップ搭載領域部に、前記絶縁材転写用シートの前記所定形状の絶縁材層を対向させ、前記絶縁性支持基板と前記絶縁材転写用シートとを加圧し、前記所定形状の絶縁材層を前記離型性シートから前記絶縁性支持基板の半導体チップ搭載領域部に転写する工程、

d．前記離型性シートを剥離する工程

e．前記絶縁性支持基板の半導体チップ搭載領域部に転写された前記所定形状の絶縁材層を介して半導体チップを搭載させる工程、

を備えるとともに、

前記離型性シートを剥離する工程(d)を

前記絶縁性支持基板の半導体チップ搭載領域部に転写された前記所定形状の絶縁材層を介して半導体チップを搭載させる工程(e)の直前に行うことを特徴とする半導体パッケージの製造法。

30

40

## 【0010】

本発明の半導体パッケージ用チップ支持基板の製造用絶縁材転写用シートは、離型性シートの所定箇所に接着性と絶縁性を確保した所定形状の液状絶縁材層を形成し、後に絶縁性支持基板に転写するため接着性を著しく損なわないまでに乾燥した絶縁材転写用シートである。

## 【0011】

## 【発明の実施の形態】

本発明が適用できる半導体パッケージ用チップ支持基板(チップ搭載用基板)の具体例の

50

断面図を図 1、2 に示す。これらは、少なくともインナー接続部（半導体チップ実装用端子）とアウター接続部（外部接続用端子）への引き回し配線を備えた導電体 1 とこれと導通したアウター接続部（外部接続用端子）が設けられる絶縁性支持基板 2 からなる。3 は半導体チップ搭載領域部であり、図 1、2 は半導体パッケージ用チップ支持基板（チップ搭載用基板）の構成 1 単位 4 となる。

図 1 は、導電体 1 が半導体チップ搭載領域部 3 の周辺に配置され、一般に知られる P G A（Pin Grid Array）、B G A（Ball Grid Array）がこれに対応する。一方、図 2 は半導体チップ搭載領域部 3 に導電体 1 のアウター接続部への引き回し配線を配置した構造であり、図 1 と比べてパッケージ寸法を縮小できる。すなわちこの導電体は、半導体チップ実装用端子、引き回し配線及び外部接続用端子、半導体チップ搭載領域を備えたものである。この構造は C S P（Chip Size Package）をもくろむ構造である。

10

#### 【0012】

本発明は、図 3 に示す様にチップ搭載用基板が多面で作製された基板を前提とする。すなわち、本発明は図 1、2 に示す半導体パッケージ用チップ支持基板（チップ搭載用基板）の構成 1 単位 4 が多数作製された基板に好適に適用される。このチップ搭載用基板が多面で作製された基板の所定位置にガイド穴 5 を設ける。図 3 に示すガイド穴 5 を設けかつチップ搭載用基板の構成 1 単位が多面付けされた基板を以下配線基板 6 と呼ぶ。

次に、図 4 に示す望ましくは透明の離型性シート 7 に膜状体ダイボンディング材 8 を例えば印刷法によりパターンニング及び熱処理して形成し、配線基板 6 のガイド穴 5 に対向したのガイド穴 9 を設ける。この図 4 に示すガイド穴 9 を設けた膜状体ダイボンディング材 8 付き離型シートを以下 D / B 材転写フィルム 10 と呼ぶ。D / B 材転写フィルム 10 のガイド穴 9 を配線基板 6 のガイド穴 5 と対向させ、かつ配線基板 6 の半導体チップ搭載領域部 3 と D / B 材転写フィルム 10 のダイボンディング材 8 側が接着する様に配置して熱圧着する。この工程を以下 D / B 材フィルム仮貼り転写と呼ぶ。

20

#### 【0013】

##### 【実施例】

図 5、6 により本発明の 1 実施例を説明する。まず図 5 により D / B 材転写フィルム作製方法を説明する。

離型性シート 10 として P E T フィルム、O P P フィルム（延伸ポリプロピレンフィルム）、T P X（メチルペンテンコポリマ）フィルムなど、表面エネルギーが  $20 \sim 50 \text{ erg/cm}^2$  で、望ましくは透明性のあるフィルムを所定の大きさ（縦  $250 \text{ mm}$ 、横  $300 \text{ mm}$ 、厚さ  $50 \mu\text{m}$ ）に切り出す（図 5（a））。離型性シート 10 の片面に D / B 材ワニス（粘度  $100 \sim 1000$  ポイズ：E 型 粘度計 1 回転 / 分）をスクリーンメッシュ或いは望ましくはメタルマスクを用いて所定のパターン 11 を印刷する。このとき、ガイド穴 9 と場合により追加して後述するベントホール対向穴を穴明けするための基準となる K および K' とよぶマークパターン 12 も印刷する（図 5（b））。これをガラスエポキシ基板にのせ、4 隅をマイラテープで固定し、乾燥する。この後、K、K' をパンチング穴明けする。13 はパンチング穴（直径  $3.15 \text{ mm}$ ）である（図 5（c））。このパンチング穴 13 を基準にして N C 穴明け装置でガイド穴 9、場合によりベントホール対向穴を穴明けする。これにより、D / B 材転写フィルムができる（図 5（d））。

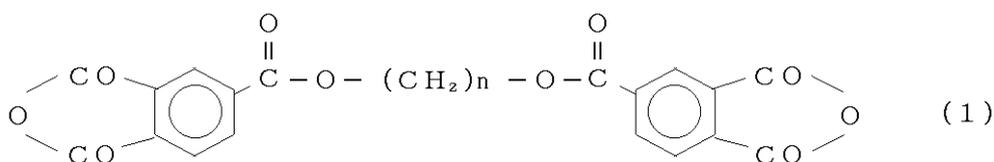
30

40

#### 【0014】

D / B 材ワニスとしては、例えば

##### 【化 1】



(ただし、 $n = 2 \sim 20$ の整数を示す。)

で表されるテトラカルボン酸二無水物(1)の含量が全テトラカルボン酸二無水物の70  
 モル%以上であるテトラカルボン酸二無水物と、ジアミンを反応させて得られるポリアミ  
 ド酸、ポリアイミド樹脂、更にエポキシ樹脂等の熱硬化性樹脂を必要に応じて有機溶媒に溶  
 解させたワニスがある。更にこれにシリカ、アルミナ、等の無機物質フィラーを含有させ  
 ることもできる。またソルダ用絶縁材として市販されているもの、例えば太陽インク製商  
 品名PSR-400AUS5等の使用できる。

#### 【0015】

図6により、D/B材フィルム仮貼り転写工程を説明する。

D/B材仮貼り転写では、まずD/B材転写フィルムの切り出しを行う(図6(a))。  
 配線基板とD/B材転写フィルムの大きさが対応していればこの切り出しは必要ない。次  
 に(図6(b))に示す転写フィルム治具固定ではガイドピン付き治具14に厚さ2.5  
 mmのシリコンゴム15、厚さ1.0mmのシリコン板16の順に設置しておく。この上  
 にガイド穴を通す様に、D/B材転写フィルム9をD/B材を上にして設置する。この後  
 、(図6(c))に示すように配線基板6の半導体チップ搭載領域部を下にして、ガイド  
 穴を通す様に配線基板6を設置する。そして上下を0.1厚のテフロンシート17で挟み  
 込む。この後、この構成品を熱圧着する。この時に構成品の下側は常温の平坦な金属板に  
 設置し、上側は熱源を有する表面が平坦な金属により加圧する。圧着後、構成品を解体し  
 、配線基板6に転写されたD/B材転写フィルムの離型性シート10を剥離する(図6  
 (d))。最後に、D/B材の残溶剤量を調整するため乾燥する(図6(e))。構成品の  
 熱圧着は口-ルでも良い。

#### 【0016】

このようにして作製された、チップ搭載用基板の断面を図7、8に示す。18は配線基板  
 に転写されたD/B材である。特に図8に示す様に、半導体チップ搭載領域を備えた2以  
 上の導電体が形成されておりこの2以上の導電体の半導体チップ搭載領域にわたって半導  
 体チップが搭載される場合、すなわち半導体チップ搭載領域を備えた2以上の導電体にわ  
 たって半導体チップ搭載領域部が構成されるチップ搭載用基板の場合には、圧着条件によ  
 り所定配線間(導電体間)に間隙を持たせたままテント状にD/B材を形成できる他、埋  
 め込み率を容易に制御できる。

すなわち、所定配線の端面(導電体の端面)と絶縁性支持基板表面と転写形成されたD/  
 B材下面とで空隙が形成されるように、テント状にD/B材を形成するようにすることが  
 できる。また前記空隙にD/B材が所定量埋め込まれるように埋め込み率を容易に制御す  
 ることができる。

#### 【0017】

図9にベントホール19を有する場合のチップ搭載用基板の断面図を示す。20は外部接  
 続のためのはんだボールを接続するための接続穴、21はD/B材を支持するためのダミ  
 -パターンを示す。この図からも推察できるが、はんだボールを接続するリフローやマザ  
 ーボードに実装する際のリフロー信頼性は、前記空隙の間隙率が高いほど膨張蒸気の逃げ  
 道となる有効体積が大となり大きくなる。図10は、図9のチップ搭載用基板の平面図で  
 ある。

所定配線間の絶縁性が充分に確保されない場合においては、前記空隙の間隙の埋め込み率  
 を圧着条件により変えることができる。埋め込み率を高くすると、図11に示す様に、チ

10

20

30

40

50

ップ（図示せず）とD/B材18界面に間隙が残りベントホール19による蒸気の逃げ道がなくなる。そこで図12に示すようにベントホール19と対向した箇所D/B材転写フィルム9を、図5(d)のガイド穴明け工程で穴明けしておく。この時の転写位置関係を図12に示す。D/B材フィルム仮貼り転写により図13の断面を持つチップ搭載用基板が得られる。この場合は、所定配線間の絶縁性が十分に確保されるように空隙間隙の埋め込み率を高くしかつベントホール19による蒸気の逃げ道も確保することができる。

【0018】

【発明の効果】

以上の発明により個々の膜状体ダイボンディング材の接着において大幅なタクトタイム短縮が可能となる。

10

【図面の簡単な説明】

【図1】本発明が適用できる半導体パッケージ用チップ支持基板（チップ搭載用基板）の具体例を示す断面図。

【図2】本発明が適用できる半導体パッケージ用チップ支持基板（チップ搭載用基板）の具体例を示す断面図。

【図3】半導体パッケージ用チップ支持基板（チップ搭載用基板）の構成1単位4が多数作製された基板の平面図。

【図4】D/B材転写フィルムの断面図。

【図5】D/B材転写フィルム作製工程を説明する断面図。

【図6】D/B材フィルム仮貼り転写工程を説明する断面図。

20

【図7】本発明の半導体パッケージ用チップ支持基板（チップ搭載用基板）の断面図。

【図8】本発明の半導体パッケージ用チップ支持基板（チップ搭載用基板）の断面図。

【図9】本発明の半導体パッケージ用チップ支持基板（チップ搭載用基板）の断面図。

【図10】図9の半導体パッケージ用チップ支持基板（チップ搭載用基板）の平面図。

【図11】ベントホール部を拡大した半導体パッケージ用チップ支持基板（チップ搭載用基板）の断面図。

【図12】ベントホールと対向したD/B材転写フィルムの位置関係を示すの断面図。

【図13】本発明の半導体パッケージ用チップ支持基板（チップ搭載用基板）の断面図。

【符号の説明】

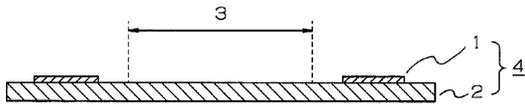
1. 導電体
2. 絶縁性支持基板
3. 半導体チップ搭載領域部
4. 半導体パッケージ用チップ支持基板の構成1単位
5. ガイド穴
6. 配線基板
7. 離型性シート
8. 膜状体ダイボンディング材
9. ガイド穴
10. D/B材転写フィルム
11. 所定のパターン
12. マークパターン
13. パンチング穴
14. ガイドピン付き治具
15. シリコンゴム
16. シリコン板
17. テフロンシート
18. 転写されたD/B材
19. ベントホール
20. ボール用接続穴
21. ダミ - パタ - ン

30

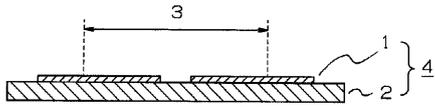
40

50

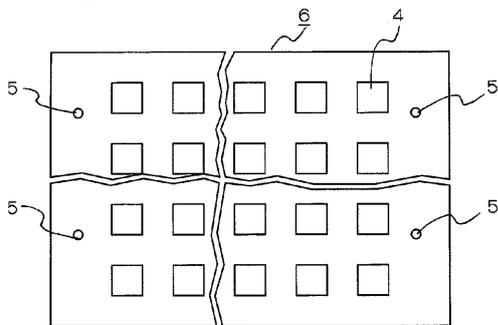
【 図 1 】



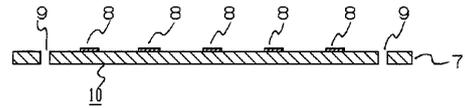
【 図 2 】



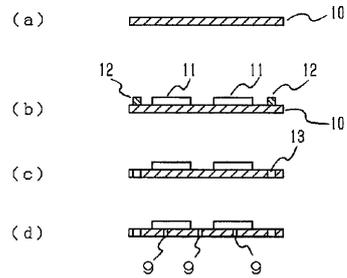
【 図 3 】



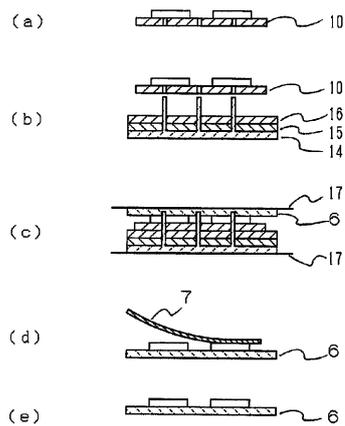
【 図 4 】



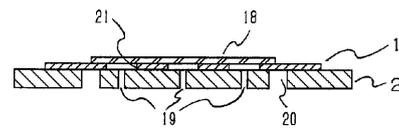
【 図 5 】



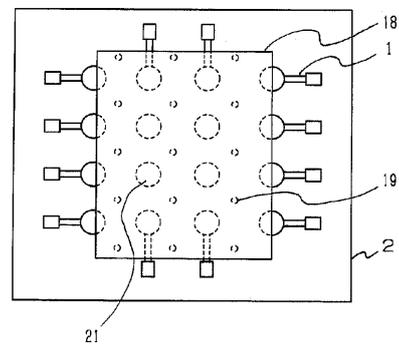
【 図 6 】



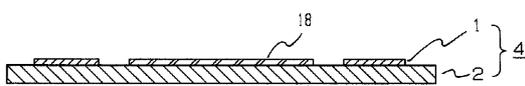
【 図 9 】



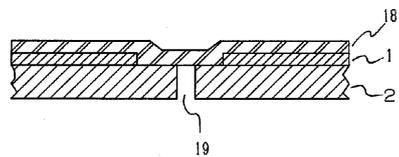
【 図 10 】



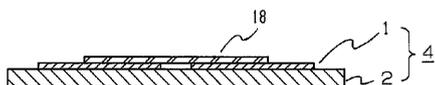
【 図 7 】



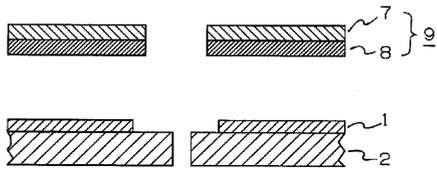
【 図 11 】



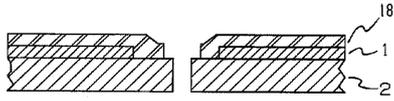
【 図 8 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

- (72)発明者 岩崎 順雄  
茨城県下館市大字小川1500番地 日立化成工業株式会社 下館研究所内
- (72)発明者 井上 文男  
茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内
- (72)発明者 市村 茂樹  
茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内
- (72)発明者 阿波野 康彦  
茨城県つくば市和台48 日立化成工業株式会社 筑波開発研究所内

審査官 菅野 智子

- (56)参考文献 特開平06-168981(JP,A)  
実開昭64-022744(JP,U)  
特開平02-256251(JP,A)  
特開平10-107049(JP,A)  
特開平08-167623(JP,A)  
特開平10-189820(JP,A)  
特開平10-135247(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/60

H01L 21/52