



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 28 807 A1** 2004.01.15

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 28 807.0**
(22) Anmeldetag: **27.06.2002**
(43) Offenlegungstag: **15.01.2004**

(51) Int Cl.7: **H01L 21/336**

(71) Anmelder:
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
US**

(72) Erfinder:
**Mazur, Martin, 01896 Pulsnitz, DE; Hartig, Carsten,
08393 Meerane, DE; Sulzer, Georg, 01109 Dresden,
DE**

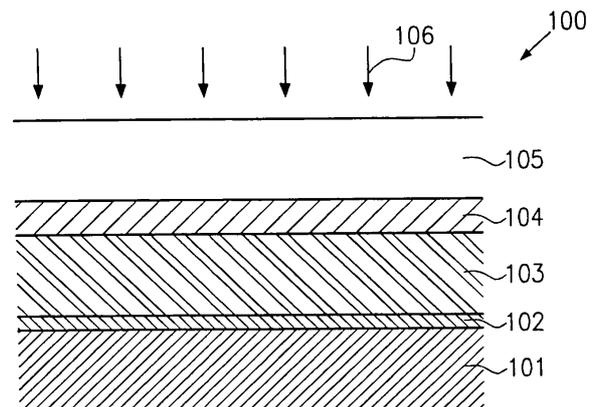
(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80538 München**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zum Definieren der Abmessung von Schaltungselementen unter Verwendung von Abscheidetechniken für Abstandselemente**

(57) Zusammenfassung: Durch Anwenden herkömmlicher Abstandselements- und Ätzverfahren können Mikrostrukturelemente, wie etwa Linien und Kontaktöffnungen von integrierten Schaltungen, mit Abmessungen hergestellt werden, die im Wesentlichen durch die Schichtdicke der Abstandsschicht bestimmt sind. In einer Opferschicht wird eine Öffnung mittels standardmäßiger Lithographie- und Ätzverfahren hergestellt und anschließend wird eine Abstandsschicht konform abgeschieden, wobei eine Dicke der Abstandsschicht an den Seitenwänden der Öffnung im Wesentlichen die effektive Breite des zu bildenden Mikrostrukturelements bestimmt. Bei Verwendung standardmäßiger 193 nm Lithographie- und Ätzverfahren können Gateelektroden von 50 nm und darunter ohne wesentliche Änderung standardmäßiger Prozessrezepte erhalten werden.



Beschreibung

GEBIET DER VORLIEGENDEN ERFINDUNG

[0001] Die vorliegende Erfindung betrifft im Allgemeinen das Gebiet der Mikrostrukturen, etwa von integrierten Schaltungen, und betrifft insbesondere die Herstellung kleiner Elemente auf einem Substrat, wobei die Abmessungen der Elemente deutlich kleiner als die Auflösung des beteiligten Lithographieverfahrens ist.

BESCHREIBUNG DES STANDS DER TECHNIK

[0002] Das Bestreben in jüngster Vergangenheit, die Strukturgrößen von Elementen in Mikrostrukturen, etwa von Schaltungselementen in integrierten Schaltungen, ständig zu verringern, wird auch in der nahen Zukunft andauern, wobei reproduzierbare und zuverlässige Prozesse zu entwickeln sind, die die Herstellung einer enormen Anzahl von integrierten Schaltungen in einer kosteneffizienten Weise ermöglichen. Gegenwärtig enthalten technisch fortschrittliche integrierte Schaltungen, die als Massenprodukte verfügbar sind, Elemente mit Abmessungen, die deutlich unterhalb der optischen Auflösung der Lithographieapparatur sind, die zum Übertragen eines Musters von einer Maske zu dem Substrat verwendet wird. Minimale Abmessungen von Schaltungselementen liegen gegenwärtig bei 100 nm und darunter, wobei die Wellenlänge der für das optische Übertragen von Mustern von der Maske zu der Substratoberfläche verwendeten Strahlung im tiefen Ultraviolettbereich bis hinab zu ungefähr 193 nm liegt. In diesem Wellenlängenbereich ist die Absorption der optisch durchlässigen Elemente, etwa von Linsen, signifikant und steigt ferner drastisch mit einer weiteren Reduzierung der Wellenlänge an. Daher ist die bloße Verringerung der Wellenlänge der Lichtquelle für lithographische Vorrichtungen keine naheliegende Entwicklung und kann nicht in einfacher Weise in die Massenproduktion von Schaltungselementen mit Strukturgrößen von 50 nm und darunter eingeführt werden.

[0003] Die gesamte Auflösung des zuverlässigen Übertragens von Schaltungsmustern von einer Maske auf ein Substrat ist einerseits durch die intrinsische optische Auflösung der fotolithographischen Apparatur, den Eigenschaften der Materialien, die bei dem fotolithographischen Strukturierungsprozess beteiligt sind, etwa dem Fotolack und möglichen antireflektierenden Beschichtungen (ARC), die zur Minimierung der störenden Streuung und der Effekte von stehenden Wellen in dem Fotolack vorgesehen sind, und durch die Abscheide- und Ätzverfahren, die bei der Herstellung von Fotolack- und ARC-Schichten und anschließender Ätzung dieser Schichten nach der Belichtung beteiligt sind, bestimmt. Insbesondere das äußerst nicht-lineare Verhalten des Fotolacks in Verbindung hoch entwickelten ARC-Schichten und

fortschrittlichen Lithographiemaskenverfahren ermöglichen die Herstellung von Fotolackmustern mit Abmessungen, die deutlich unterhalb der intrinsischen optischen Auflösung der fotolithographischen Apparatur liegen. Ferner können der Lithographie nachgeschaltete Schrumpfpätzprozesse angewendet werden, um die Strukturgrößen des Fotolackmusters weiter zu verringern, das als eine Ätzmaske in nachfolgenden anisotropen Schritten zum Übertragen des Fotolackmusters in die darunter liegende Materialschicht dient.

[0004] Mit Bezug zu den **Fig. 1a–1c** wird nunmehr ein typischer konventioneller Prozessablauf zur Herstellung einer Gateelektrode eines Feldeffekttransistors beschrieben. Die Gateelektrode besitzt eine Entwurfsabmessung bzw. Dimension in lateraler Richtung, die auch als Gatelänge bezeichnet wird, in der Größenordnung von 100 nm oder weniger, und die Gateelektrode erstreckt sich in Längsrichtung, d.h. in einer Richtung senkrecht zur Zeichenebene über eine Strecke von einigen 100 nm. Die Gatelänge eines Feldeffekttransistors ist eine kritische Abmessung bzw. kritische Dimension dahingehend, dass diese signifikant die elektrischen Eigenschaften des Bauteils bestimmt und ferner dafür sorgt, dass eine Reduzierung der Gesamtfläche, die von dem Feldeffekttransistor angenommen wird, möglich ist. Mit der Skalierung der Gatelänge wird jedoch nicht nur die Größe der Feldeffekttransistoren verringert, sondern auch die Abmessungen der entsprechenden Kontaktbereiche, Leiterbahnen, Durchführungen und dergleichen wird einer weiteren Miniaturisierung unterworfen, so dass eine fortgeschrittene Abbildungstechnik auch für diese Schaltungselemente erforderlich ist.

[0005] In **Fig. 1a** umfasst eine Halbleiterstruktur **100** ein Substrat **101**, das beispielsweise ein Halbleitersubstrat, etwa ein Siliziumsubstrat, oder ein beliebiges anderes geeignetes Substrat mit einer darauf gebildeten ein Halbleitermaterial enthaltenden Schicht sein kann, das die Herstellung der erforderlichen Schaltungselemente zulässt. Insbesondere kann das Substrat **101** ein sogenanntes SOI-(Silizium auf Halbleiter) Substrat sein. Eine Gateisolierschicht **102** ist auf dem Substrat **101** ausgebildet, wobei deren Dicke an die Entwurfsgatelänge angepasst ist. Eine Schicht aus Gateelektrodenmaterial **103** ist auf der Gateisolierschicht **102** ausgebildet und kann ein beliebiges Material aufweisen, das zur Herstellung einer Gateelektrode geeignet ist. Wenn beispielsweise eine typische Halbleiterstruktur auf Siliziumbasis betrachtet wird, kann das Gateelektrodenmaterial **103** vorzugsweise polykristallines Silizium sein, das im Weiteren auch als Polysilizium bezeichnet wird. Für technisch fortschrittliche integrierte Schaltungen auf Siliziumbasis liegt eine Dicke der Schicht **103** im Bereich von einigen 100 nm. Auf der Schicht **103** aus Gateelektrodenmaterial ist eine ARC-Schicht **104** gebildet, deren optische Eigenschaften und Dicke entsprechend den Eigenschaften

der darunter liegenden Schicht **103** und einer Fotolackschicht **105**, die auf der ARC-Schicht **104** gebildet ist, eingestellt sind. Wie zuvor angemerkt ist, ist die ARC-Schicht **104** so gestaltet, um eine Streuung und Rückreflexion von Licht von der darunter liegenden Schicht **103** zu minimieren. Häufig wird Siliziumoxynitrid als die ARC-Schicht verwendet, da die optischen Eigenschaften, etwa der komplexe Brechungsindex, in einfacher Weise durch Variieren der Menge von Sauerstoff und Stickstoff und Silizium während der Abscheidung der ARC-Schicht **104** einstellbar sind. Ferner sind die optischen Eigenschaften der Fotolackschicht **105** und der ARC-Schicht **104** so gestaltet, um die Ausbildung von Mustern aus stehenden Wellen in der Fotolackschicht **105** zu minimieren.

[0006] Die Halbleiterstruktur **100** wird gemäß gut bekannter Prozessschritte hergestellt und deren Beschreibung wird weggelassen. Anschließend wird die Halbleiterstruktur **100** mit Strahlung **106** im tiefen UV-Bereich belichtet, um ein erforderliches Strukturmuster von einer Maske (nicht gezeigt) in die Fotolackschicht **105** zu übertragen. Mittels fortschrittlicher Masken- und Fotolithographieverfahren einschließlich der genau eingestellten ARC-Schicht **104** und der Fotolackschicht **105** können Strukturelemente in die Fotolackschicht **105** abgebildet werden, deren Abmessung unterhalb der Wellenlänge der Strahlung **106** im tiefen UV-Bereich liegt.

[0007] **Fig. 1b** zeigt die Halbleiterstruktur **100** schematisch nach Entwickeln der Fotolackschicht **105** einschließlich damit verknüpfter der Belichtung nachgeschalteter Verfahren, etwa dem Ausbacken und dergleichen, um ein Lackstrukturelement **105A** zu schaffen. Eine seitliche Abmessung **107** des Elements **105A** kann deutlich unter der Wellenlängen der Strahlung **106** im tiefen UV-Bereich liegen, ist jedoch durch die Vielzahl der hoch komplexen lithographischen Vorgänge beschränkt. Anschließend wird die Halbleiterstruktur **100** einem anisotropen Ätzvorgang, der durch **108** angedeutet ist, unterzogen, wobei das Lackstrukturelement **105A** als eine Ätzmaske dient.

[0008] **Fig. 1c** zeigt die Halbleiterstruktur **100** nach Abschluss des Ätzvorganges, wobei eine Gateelektrode, die auch durch **103** bezeichnet ist, erhalten wird, die von der restlichen ARC-Schicht **104** und dem restlichen Lackstrukturelement **105A** bedeckt ist. Die laterale Ausdehnung **109** der Gateelektrode **103**, d.h. die Gatelänge, ist im Wesentlichen durch die laterale Ausdehnung **107** des Lackstrukturelements **105A** bestimmt. Nach der Entfernung des Lackstrukturelements **105A** und der ARC-Schicht **104** kann die Gateelektrode **103** weiteren Ätzprozessen unterzogen werden, um die Gatelänge **109** weiterhin zu verringern. Beispielsweise kann ein Ätzvorgang angewendet werden, in welchem die Ätzrate im Wesentlichen isotrop ist oder zumindest eine relativ hohe laterale Komponente aufweist. Durch Anwenden derartiger Ätzprozesse werden jedoch die Höhe

der Gateelektrode **103** und, was wichtiger ist, die Gateisolierschicht **102** ebenfalls beeinflusst, wodurch möglicherweise die Qualität der Gateisolierschicht **102** beeinträchtigt wird.

[0009] Folglich gestattet es der konventionelle Prozessablauf, Strukturelemente mit Größen deutlich unterhalb der Wellenlänge der für das optische Übertragen von Bildern von einer Maske auf ein Substrat verwendeten Strahlung zu schaffen. Ein konventioneller Prozessablauf basiert jedoch auf einer Vielzahl komplexer Prozesse, um die Strukturgröße des Lackstrukturelements **105A** zu verringern und um die Abmessungen eines Schaltungselements, das durch Ätzen einer Materialschicht unter Verwendung des Lackmusters als eine Ätzmaske erhalten wird, zu reduzieren. Die Steuerbarkeit des letzten Ätzvorganges und die Unversehrtheit einer darunter liegenden Schicht sind jedoch nur sehr schwer beizubehalten. Ferner kann eine Änderung in einem der Prozessrezepte, beispielsweise die Verwendung einer anderen Belichtungswellenlänge, entsprechende Änderungen in vorhergehenden und nachfolgenden Prozessen erforderlich machen, so dass eine weitere Skalierung von Strukturgrößen typischerweise große Anstrengungen und viel Zeit erfordert, um einen robusten Prozessablauf zu erhalten, der für Massenproduktion geeignet ist.

[0010] Angesichts der zuvor erläuterten Probleme besteht ein Bedarf für ein Verfahren, das das Skalieren von Strukturgrößen deutlich unterhalb des Auflösungsvermögens des beteiligten Fotolithographieprozesses ermöglicht, wobei gut entwickelte und steuerbare Prozesse eine hohe Zuverlässigkeit und eine geringere Entwicklungszeit einer entsprechenden Prozesssequenz gewährleisten.

ÜBERBLICK ÜBER DIE ERFINDUNG

[0011] Im Allgemeinen zielt die vorliegende Erfindung darauf ab, Mikrostrukturelemente zu schaffen, etwa Schaltungselemente von integrierten Schaltungen, wobei die Abmessungen der Elemente durch eine Hartmaske anstelle eines Lackmusters definiert sind. Die Abmessungen der Hartmaske werden durch gut steuerbare Abscheideprozesse eingestellt, wobei Öffnungen, etwa Gräben und Kontaktlöcher in einer Opferschicht gebildet werden, und die Seitenwände der Öffnungen mit einem Opfermaterial beschichtet werden, wobei eine Dicke der Beschichtung im Wesentlichen die Abmessungen des schließlich erhaltenen Mikrostrukturelements bestimmt.

[0012] Gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren zur Herstellung eines Linienelements auf einem Substrat das Bereitstellen eines Substrats mit einer darauf gebildeten ersten Materialschicht und einer zweiten Materialschicht, die über der ersten Materialschicht angeordnet ist. Anschließend wird ein Graben in der zweiten Materialschicht gebildet, wobei der Graben eine Breite aufweist, die eine Entwurfsbreite

des zu bildenden Linienelements übersteigt. Eine Abstandsschicht wird auf den Seitenwänden des Grabens gebildet, um die Grabenbreite zu verringern. Anschließend wird der Graben mit einem Maskenmaterial aufgefüllt und danach werden die zweite Materialschicht und die Abstandsschicht entfernt. Anschließend wird die erste Materialschicht strukturiert, wobei das Maskenmaterial als eine Ätzmaske verwendet wird, um das Linienelement auszubilden, wobei die Breite des Linienelements durch die reduzierte Grabenbreite bestimmt ist.

[0013] In einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren zur Herstellung einer Gateelektrode eines Feldeffekttransistors das Bereitstellen eines Substrats mit einer drauf ausgebildeten Halbleiterschicht, die von einer Gateisolierschicht bedeckt ist. Anschließend wird eine Schicht aus Gateelektrodenmaterial auf der Gateisolierschicht abgeschieden und es wird eine Opferschicht über der Schicht aus Gateelektrodenmaterial gebildet. Eine Öffnung wird in der Opferschicht gebildet, wobei eine Form der Öffnung die Form der zu bildenden Gateelektrode nachbildet, wobei die Abmessungen der Öffnung die Entwurfsabmessungen der Gateelektrode übersteigen. Es wird eine Abstandsschicht an den Seiten der Öffnung gebildet, um die Abmessungen der Öffnung entsprechend den Entwurfsabmessungen der Gateelektrode zu reduzieren und die Öffnung wird mit einem Maskenmaterial gefüllt. Anschließend werden die Opferschicht und die Abstandsschicht entfernt und die Gateelektrode wird durch anisotropes Ätzen strukturiert, wobei das Maskenmaterial als eine Ätzmaske verwendet wird.

[0014] Gemäß einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren zur Herstellung einer Öffnung mit einer spezifizierten Entwurfsgröße in einer Materialschicht, die auf einem Substrat gebildet ist, das Bereitstellen eines Substrats mit einer darauf ausgebildeten Materialschicht, in der die Öffnung zu bilden ist. Eine Opferschicht wird auf der Materialschicht gebildet und eine Maskenöffnung mit einer größeren Abmessung als die spezifizierte Entwurfsgröße wird gebildet. Es wird eine Abstandsschicht konform auf der Opferschicht abgeschieden, um eine Breite der Öffnung auf die spezifizierte Entwurfsgröße einzustellen. Schließlich wird die Öffnung in der Materialschicht durch anisotropes Ätzen der Materialschicht durch die Maskenöffnung hindurch gebildet.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0015] Weitere Vorteile, Aufgaben und Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen aus der folgenden detaillierten Beschreibung deutlicher hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird; es zeigen:

[0016] **Fig. 1a–1c** schematisch Querschnittsansich-

ten einer Halbleiterstruktur während diverser Herstellungsstadien entsprechend einem typischen bekannten Prozessablauf;

[0017] **Fig. 2a–2h** schematisch Querschnittsansichten einer Mikrostruktur mit einem Linienelement, das gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung hergestellt ist;

[0018] **Fig. 3a–3c** schematisch Querschnittsansichten eines Feldeffekttransistors während diverser Herstellungsschritte bei der Ausbildung von Kontaktlöchern zu Source- und Draingebieten gemäß einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung;

[0019] **Fig. 4a–4h** schematisch Querschnittsansichten einer Halbleiterstruktur mit Gateelektroden, die auf Gateisolierschichten mit unterschiedlicher Dicke gemäß weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung gebildet sind; und

[0020] **Fig. 5a–5c** schematische Querschnittsansichten einer weiteren anschaulichen Ausführungsformen der vorliegenden Erfindung.

[0021] Anzumerken ist, dass die Zeichnungen lediglich anschaulicher Natur sind und die darin gezeigten Abmessungen sind nicht maßstabsgetreu. Des Weiteren sind Grenzen zwischen benachbarten Materialien und Gebieten als scharfe Grenzen gezeigt, wobei tatsächlich der Übergang zwischen benachbarten Gebieten nicht notwendigerweise eine scharfe Linie sein muss, sondern ein gradueller Übergang sein kann.

DETAILLIERTE BESCHREIBUNG

[0022] Obwohl die vorliegende Erfindung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte es selbstverständlich sein, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, die vorliegende Erfindung auf die speziellen anschaulichen offenbarten Ausführungsformen zu beschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhaft die diversen Aspekte der vorliegenden Erfindung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

[0023] In der folgenden detaillierten Beschreibung wird auf Halbleiterstrukturen Bezug genommen, die integrierte Schaltungen repräsentieren, um das Konzept der vorliegenden Erfindung zu veranschaulichen. Es sollte jedoch selbstverständlich sein, dass die vorliegende Erfindung ebenso auf die Herstellung beliebiger Mikrostrukturen anwendbar ist, die das Herstellen von Strukturelementen mit Abmessungen erfordern, die deutlich unterhalb des Auflösungsvermögens des beteiligten fotolithographischen Verfahrens liegen. Ferner ist die vorliegende Erfindung insbesondere vorteilhaft bei der Herstellung technisch fortschrittlicher Mikrostrukturen, etwa weit entwickelter integrierter Schaltungen mit kritischen Abmessun-

gen von 50 nm und weniger, wobei gut bekannte Prozessverfahren aus vorhergehenden Schaltungsgenerationen verwendet werden. Die vorliegende Erfindung ist jedoch nicht auf die Herstellung von modernsten Bauelementen beschränkt, sondern diese kann auch vorteilhaft für die Herstellung von Bauteilen mit Elementen mit Strukturgrößen, die deutlich innerhalb der technischen Möglichkeiten von aktuellen lithographischen Verfahren liegen, verwendet werden. Es kann jedoch in gewissen Fällen vorteilhaft sein, die Anwendung relativ teurer fortschrittlicher lithographischer Vorrichtungen zu vermeiden und kritische Strukturgrößen dieser Bauteile durch Verwendung der hierin verwendeten Verfahren zu definieren. [0024] Mit Bezug zu den Fig. 2a–2h werden nun anschauliche Ausführungsformen der vorliegenden Erfindung beschrieben.

[0025] In Fig. 2a umfasst eine Halbleiterstruktur **200** ein Substrat **201**, das ein Halbleitersubstrat, ein isolierendes Substrat mit einer darauf gebildeten Halbleiterschicht, und dergleichen sein kann, auf dem eine erste Materialschicht **202** mit einem geeigneten Material ausgebildet ist. Der Einfachheit halber kann die erste Schicht **202** eine Polysiliziumschicht repräsentieren, in der ein Linienelement mit spezifizierten Entwurfsabmessungen auszubilden ist. Eine zweite Materialschicht **203**, die auch als eine Opferschicht bezeichnet wird, ist auf der ersten Materialschicht **202** gefolgt von einer antireflektierenden Beschichtung (ARC) **204**, auf der eine Fotolackschicht **205** ausgebildet ist, gebildet. Die Opferschicht **203** kann beispielsweise eine Siliziumdioxidschicht und die ARC-Schicht **204** kann eine Siliziumoxynitridschicht sein, deren Dicke und optischen Eigenschaften entsprechend zu der darüber liegenden Fotolackschicht **205** und den beteiligten Lithographieverfahren eingestellt ist.

[0026] Ein typischer Prozessablauf zur Herstellung der in Fig. 2A gezeigten Halbleiterstruktur **200** kann die folgenden Schritte umfassen. Die erste Schicht **202** kann durch einen beliebigen bekannten Abscheidungsprozess, etwa chemische Dampfabscheidung (CVD), abgeschieden werden, wobei eine Dicke der Schicht **202** entsprechend den Entwurfserfordernissen gewählt wird. Anschließend wird die Opferschicht **203** abgeschieden, beispielsweise durch Plasma unterstützte CVD oder durch Niederdruck-CVD aus TEOS oder Silan, wenn die Opferschicht **203** eine Siliziumdioxidschicht ist. Zur Herstellung von Linienelementen mit lateralen Abmessungen in der Größenordnung von einigen 10 nm liegt eine typische Dicke der Opferschicht **203** im Bereich von ungefähr 100 bis 150 nm. Anschließend wird die ARC-Schicht **204** abgeschieden, beispielsweise durch chemische Dampfabscheidung, wobei die optischen Eigenschaften und die Dicke so gesteuert werden, um die erforderlichen Eigenschaften zu erhalten. Beispielsweise kann die ARC-Schicht **204** eine Siliziumoxynitridschicht mit einer Dicke im Bereich von ungefähr 50 nm und mit einem Brechungsindex

von 1,8 und einem Extinktionskoeffizienten von 1,05 für eine Wellenlänge der Strahlung im tiefen UV-Bereich von ungefähr 190 nm sein. Schließlich wird die Fotolackschicht **205** auf der ARC-Schicht **204** mit einer Dicke gebildet, die dem zur Strukturierung der Halbleiterstruktur **200** angewendeten Lithographieprozess entspricht. Anzumerken ist, dass der Prozessablauf zur Herstellung der Halbleiterstruktur **200** aus Fig. 2a gut bekannte Prozesse enthält und ohne wesentliche Abänderungen übernommen werden kann.

[0027] Fig. 2b zeigt die Halbleiterstruktur **200** schematisch nach Abschluss des lithographischen Prozesses und des anschließenden Ätzschrittes, um einen Graben **206** in der Fotolackschicht **205**, der ARC-Schicht **204** und der darunter liegenden Opferschicht **203** zu erhalten. Der in der Opferschicht **203** gebildete Graben **206** besitzt eine laterale Abmessung, die durch **207** gekennzeichnet ist, die durch gut bekannte und gut etablierte Lithographie- und Ätzprozesse bestimmt ist, und deutlich eine gewünschte Entwurfsbreite des zu bildenden Linienelements übersteigt.

[0028] Der Graben **206** wird durch anisotrope Ätzverfahren, etwa das reaktive Ionenätzen oder Plasmaätzen gebildet, die im Stand der Technik gut bekannt sind, und die folglich nicht detailliert beschrieben werden.

[0029] Fig. 2c zeigt die Halbleiterstruktur **200** mit einer Abstandsschicht **208**, die konform über der Halbleiterstruktur **200** gebildet ist und insbesondere Seitenwände **211** des Grabens **206** bedeckt, um eine reduzierte Breite **210** zu definieren, deren Größe durch die Schichtdicke der Abstandsschicht **208** definiert ist. Die Abstandsschicht **208** kann beispielsweise aus Siliziumdioxid gebildet sein, das durch Niederdruck- oder plasmaunterstütztes chemisches Dampfabscheiden abgeschieden wird, wobei Prozessparameter so gewählt werden, um ein hohes Maß an Konformität zu erreichen. Insbesondere ist eine Dickenvariation entlang der Seitenwände **211** vorzugsweise geringer als einige Nanometer und noch bevorzugter in der Größenordnung von 1 nm. Derartige konforme Abscheidungsverfahren sind in Prozesssequenzen für die Herstellung von Seitenwandabstandselementen von Gateelektroden, die für die Herstellung technisch hoch entwickelter Feldeffekttransistoren erforderlich sind gut bekannt. Beispielsweise liegt in einer anschaulichen Ausführungsform die Breite des Grabens **207** im Bereich von 120 bis 140 nm und die Dicke der Abstandsschicht **208** wird zu 40 bis 50 nm gewählt, um die reduzierte Breite **210** mit einer Größe entsprechend den Entwurfserfordernissen zu erhalten.

[0030] Anschließend wird ein anisotroper Ätzvorgang durchgeführt, wie dies durch 209 angedeutet ist, um das Material an der Unterseite des Grabens **206** zu entfernen.

[0031] Fig. 2d zeigt die Halbleiterstruktur **200** schematisch nach Beendigung des anisotropen Ätzvor-

ganges **209**, wobei das Material an der Unterseite des Grabens **206** und an der Oberseite des Stapels teilweise oder im Wesentlichen entfernt ist. Die Schichtdicke der Abstandsschicht **208** in dem Graben **206** kann kleiner als die Dicke an großen horizontalen Bereichen außerhalb des Grabens **206** sein, so dass ein Rest der Abstandsschicht **208** außerhalb des Grabens **206** nach Abschluss des anisotropen Ätzprozesses **209** verbleiben kann.

[0032] **Fig. 2e** zeigt die Halbleiterstruktur **200** mit einer Schicht **212** aus Maskenmaterial, das auf der Abstandsschicht **208** abgeschieden ist und den Graben **206** füllt. Das Maskenmaterial **212** ist vorzugsweise ein Material, das eine Ätzselektivität mit Bezug zu der benachbarten Abstandsschicht **208** und der Opferschicht **203** aufweist. Beispielsweise kann Siliziumnitrid verwendet werden, das eine ausgezeichnete Ätzselektivität zu Siliziumdioxid zeigt.

[0033] Die Maskenschicht **212** wird vorzugsweise mittels Niederdruck- oder plasmaunterstützter CVD abgeschieden, wobei das Verhältnis von Silizium zu Nitrid entsprechend den Prozessanforderungen variiert werden kann. Anschließend wird die Halbleiterstruktur **200** einem chemisch-mechanischen Polieren (CMP) unterzogen, um überschüssiges Material **212** zu entfernen und um die Oberfläche der Halbleiterstruktur **200** einzuebnen.

[0034] **Fig. 2f** zeigt die Halbleiterstruktur **200** schematisch nach Beendigung des CMP-Prozesses, wobei gemäß einer Ausführungsform der CMP-Prozess ausgeführt wird, bis die restliche Abstandsschicht **208** und die ARC-Schicht **204** mit Ausnahme an den Seitenwänden **211** entfernt worden sind. Als Folge davon ist ein Maskenlinienelement, das der Einfachheit halber auch mit dem Bezugszeichen **212** bezeichnet wird, von Abstandselementen umschlossen, die ebenso mit dem Bezugszeichen **208** belegt sind. Das CMP von isolierenden Materialien, etwa von Siliziumdioxid, Siliziumoxynitrid und Siliziumnitrid ist eine gut bekannte Prozesstechnik und daher wird eine Beschreibung davon weggelassen.

[0035] Anschließend wird ein selektiver Ätzvorgang ausgeführt, um die Opferschicht **203** und die Abstandselemente **208** zu entfernen. In Ausführungsformen unter Anwendung von Siliziumdioxid als die Opferschicht **203** und der Abstandselemente **208**, kann ein beliebiger der gut bekannten und gut entwickelten Oxidätzprozesse ausgeführt werden, die eine hohe Selektivität hinsichtlich der darunter liegenden ersten Schicht **202** aufweisen, die in einigen Ausführungsformen eine Polysiliziumschicht sein kann.

[0036] **Fig. 2g** zeigt die Halbleiterstruktur **200** schematisch nach Beendigung des selektiven Entfernens der Abstandselemente **208** und der Opferschicht **203**. Das Maskenlinienelement **212**, das im Wesentlichen eine spezifizierete Entwurfsbreite **210** aufweist, ist auf der Oberseite der ersten Schicht **202** ausgebildet, in der das Linienelement zu bilden ist. Ein weiterer anisotroper Ätzprozess, der durch **213** bezeichnet ist, wird ausgeführt, um die erste Schicht **202** ent-

sprechend zu strukturieren.

[0037] Der entsprechende anisotrope Ätzvorgang ist ebenso ein gut bekannter Prozess und entsprechende Beschreibung wird daher weggelassen.

[0038] **Fig. 2h** zeigt die Halbleiterstruktur **200** mit einem Linienelement **214**, das im Wesentlichen die erforderliche spezifizierete Entwurfsbreite **210** aufweist, die durch Verwenden des Maskenlinienelements **212** als eine Ätzmaske während des Ätzprozesses **213** erhalten wird. Somit kann die spezifizierete Entwurfsbreite **210**, die in den zuvor beschriebenen exemplarischen Ausführungsformen in der Größenordnung von 50 nm und darunter liegt, erhalten werden, indem gut entwickelte und gut steuerbare Abscheide- und Ätzverfahren angewendet werden, wobei die Entwurfsbreite **210** im Wesentlichen durch die Abscheidparameter bei der Ausbildung der Abstandsschicht **208** bestimmt ist, so dass die spezifizierete Entwurfsbreite **210** innerhalb eines relativ weiten Bereichs einstellbar ist, ohne dass Änderungen in vorhergehenden und anschließenden Prozessen erforderlich sind. Somit können Linienelemente mit Strukturgrößen erhalten werden, die deutlich unterhalb der gegenwärtig verfügbaren lithographischen Verfahren liegen, indem eine Prozesssequenz einer vorhergehenden Generation von Mikrostrukturen angewendet werden, wodurch die Entwicklung einer Prozesssequenz für eine neu skalierte Bauteilgeneration in relativ kurzer Zeit möglich ist.

[0039] Mit Bezug zu den **Fig. 3a–3c** werden weitere anschauliche Ausführungsformen der vorliegenden Erfindung im Folgenden beschrieben, wobei eine Öffnung in einer spezifizierten Materialschicht gebildet wird, und wobei die Öffnung eine spezifizierete Entwurfsgröße aufweist, die durch einen Abscheidprozess gesteuert wird. In den folgenden Ausführungsformen wird auf ein Kontaktloch Bezug genommen, das in einer isolierenden Schicht gebildet wird, um einen elektrischen Kontakt zu Source- und Draingebieten eines Feldeffekttransistors bereit zu stellen. Der Feldeffekttransistor kann eine Gateelektrode aufweisen, die gemäß den obigen Ausführungsformen hergestellt worden ist, und daher kann der Transistor entsprechend skalierte Kontaktöffnungen benötigen. Es sollte jedoch beachtet werden, dass das nachfolgend beschriebene Verfahren auf die Herstellung beliebiger Öffnungen anwendbar ist, die in einer Materialschicht einer Mikrostruktur zu bilden sind.

[0040] In **Fig. 3a** umfasst eine Halbleiterstruktur **300** ein Substrat **301**, in und auf dem ein Feldeffekttransistor **302** gebildet ist. Der Feldeffekttransistor **302** umfasst Drain- und Sourcegebiete **303**, eine Gateelektrode **304**, Seitenwandabstandselemente **305** und eine Gateisolierschicht **306**. Eine erste isolierende Schicht **307** ist über dem Feldeffekttransistor **302** ausgebildet. Die isolierende Schicht **307** kann ein beliebiges geeignetes Material, etwa Siliziumdioxid, und dergleichen aufweisen. Eine Ätzstoppschicht **308**, die auch als eine vergrabene antireflektierende Beschichtung dienen kann, kann auf der isolierenden

Schicht **307** gebildet sein. Eine zweite isolierende Schicht **309** ist auf der Ätzstoppschicht **308** gebildet, wobei Öffnungen **310** in der Schicht **309** entsprechend zu den Source- und Draingebieten **303** ausgebildet sind. Die Öffnungen **310** besitzen eine Größe **311**, d.h. einen Durchmesser, wenn Kontaktdurchführungen betrachtet werden, oder eine Breite, wenn grabenähnliche Öffnungen betrachtet werden, die größer als die spezifizierte Entwurfsgröße der zu bildenden Kontaktöffnung ist.

[0041] Der Prozessablauf zur Herstellung der Halbleiterstruktur **300** und insbesondere der Öffnung **310** mit der Größe **311** beinhaltet gut bekannte Prozessschritte und deren Beschreibung wird weggelassen. Insbesondere kann das Herstellen und Strukturieren der isolierenden Schicht **309** in ganz ähnlicher Weise ausgeführt werden, wie dies mit Bezug zu den **Fig. 2a** und **2b** beschrieben ist, und dort angeführte Erläuterungen treffen auch in diesem Falle zu.

[0042] **Fig. 3b** zeigt schematisch die Halbleiterstruktur **300** mit einer über der Struktur **300** ausgebildeten Abstandsschicht **312**. Wie zuvor mit Bezug zu der Abstandsschicht **208** erläutert ist, ist die Abstandsschicht **312** in äußerst konformer Weise abgedeckt, um ein hohes Maß an Gleichförmigkeit an den Seitenwänden der Öffnungen **310** zu erreichen. Die Dicke der Abstandsschicht **312** an den Seitenwänden der Öffnung **310** definiert eine spezifizierte Entwurfsgröße **313**. Abhängig von der weiteren Verarbeitung und den Entwurfserfordernissen kann die Abstandsschicht **312** Siliziumdioxid, Siliziumnitrid und dergleichen aufweisen. Anschließend wird die Struktur **300** einem anisotropen Ätzvorgang unterzogen, der durch **314** gekennzeichnet ist, um eine Öffnung mit im Wesentlichen der spezifizierten Entwurfsgröße **313** zu bilden.

[0043] **Fig. 3c** zeigt schematisch die Halbleiterstruktur **300** nach Beendigung des anisotropen Ätzvorganges **314**. Kontaktöffnungen **315** sind in der isolierenden Schicht **317** ausgebildet, wobei eine Größe der Öffnungen **315** im Wesentlichen der durch die Abstandsschicht **312** in **Fig. 3b** definierten Größe **313** entspricht. In der in **Fig. 3c** gezeigten Ausführungsform können die isolierende Schicht **307**, die isolierende Schicht **309** und die Abstandsschicht **312** im Wesentlichen aus dem gleichen Material oder aus unterschiedlichen Materialien hergestellt sein, wobei eine Selektivität hinsichtlich des anisotropen Ätzvorganges **314** nicht erforderlich ist. Wie aus den **Fig. 3b** und **3c** ersichtlich ist, dient die isolierende Schicht **309** in Kombination mit der Abstandsschicht **312** als eine Ätzmaske und die Kontaktöffnungen **315** werden durch die Öffnung **310** hindurch geätzt. Wenn keine Ätzselektivität zwischen den Materialien **309**, **307** und **312** vorhanden ist, werden die isolierende Schicht **309** und die Abstandsschicht **312** ebenso abgetragen, während die Öffnungen **315** geätzt werden. Falls die Ätzstoppschicht **308** vorgesehen ist, kann es notwendig sein, einen anderen Ätzprozess als den Prozess **314** anzuwenden, nachdem die Abstands-

schicht **312** von der Unterseite der Öffnung **310** entfernt ist (vgl. **Fig. 3b**), um die Ätzstoppschicht **308** in den Öffnungen **310** zu entfernen. Anschließend kann der Ätzprozess **314** fortgesetzt werden, um die Kontaktöffnungen **315** zu bilden. Wenn die Ätzstoppschicht **308** vorgesehen wird, ist die anfängliche Gesamtdicke der isolierenden Schicht **309** und der Abstandsschicht **312** nicht wesentlich, abgesehen von der Tatsache, dass die Dicke der Abstandsschicht **312** so zu wählen ist, um die Entwurfsgröße **313** einzustellen, da der Ätzprozess **314** an der Ätzstoppschicht **308** anhält, selbst wenn der Ätzvorgang die Unterseite der Kontaktöffnungen **315** noch nicht erreicht hat. Daher wird in einer Ausführungsform (nicht gezeigt) die anfängliche Dicke der isolierenden Schicht **309** so gewählt, dass die Schicht **309** und die Abstandsschicht **312** im Wesentlichen vollständig beim Ätzen der Kontaktöffnungen **315** entfernt werden.

[0044] In anderen Ausführungsformen kann die Abstandsschicht **312** aus einem Material gebildet sein, das eine hohe Ätzselektivität in Bezug auf das Material der isolierenden Schicht **309** aufweist, und es wird ein erster anisotroper Ätzvorgang ausgeführt, um die Abstandsschicht **312** an der Unterseite der Öffnungen **310** zu entfernen, ähnlich wie dies mit Bezug zu **Fig. 2c** beschrieben ist. Anschließend werden die Öffnungen **315** geätzt, wobei die isolierende Schicht **309** durch den Rest der darüber liegenden Abstandsschicht **312** geschützt ist. Anschließend kann die Abstandsschicht **312** in einem selektiven Ätzvorgang entfernt werden, um die Kontaktlöcher **315** mit der erforderlichen Entwurfsgröße **313** in einem unteren Bereich davon und mit der Größe **311** in einem oberen Bereich davon zu bilden.

[0045] In einer weiteren anschaulichen Ausführungsform können die Kontaktöffnungen **315**, wie sie in **Fig. 3c** gezeigt sind, mit einem leitenden Material gefüllt werden und überschüssiges Material einschließlich des Überschussmaterials der isolierenden Schicht **309** und der Abstandsschicht **312** kann durch CMP entfernt werden.

[0046] Anzumerken wäre, dass der Prozess zur Bildung der Kontaktöffnungen **315** nicht nur ermöglicht, die Bauteilabmessungen zu skalieren, sondern auch zu einem gewissen Maße Überlagerungsprobleme verringert, die ansonsten auftreten würden, da die erforderliche Überlagerungsgenauigkeit im Wesentlichen durch den gut etablierten Herstellungsvorgang für die Maskenöffnungen **310** bestimmt ist und nicht entsprechend mit den schließlich erhaltenen Kontaktöffnungen **315** "skaliert" werden muss.

[0047] Mit Bezug zu den **Fig. 4a-4h** werden nun weitere anschauliche Ausführungsformen beschrieben.

[0048] In **Fig. 4a** umfasst eine Halbleiterstruktur **400** ein Substrat **401**, beispielsweise ein SOI-Substrat mit einer vergrabenen Isolierschicht, etwa einer Siliziumdioxidschicht. Das Substrat **401** umfasst ferner Halbleitergebiete, etwa Siliziumgebiete **402**, die

voneinander durch Isoliergebiete **403**, beispielsweise Flachgrabenisoliationsgebiete, getrennt sind. Auf den Halbleitergebieten **402** sind Gateisolierschichten **404** und **405** vorgesehen, die eine unterschiedliche Schichtdicke entsprechend den Entwurfserfordernissen aufweisen können. Beispielsweise kann die Gateisolierschicht **404** für ein Transistorelement mit geringem Leckstrom vorgesehen sein und daher relativ dick sein, wohingegen die Gateisolierschicht **405** für ein schnell schaltendes Transistorelement ausgelegt sein kann und daher eine relativ geringe Dicke aufweisen kann.

[0049] Prozessabläufe zur Herstellung der Struktur **400**, wie sie in **Fig. 4a** gezeigt ist, sind gut bekannt und im Stand der Technik weit entwickelt und daher wird eine detaillierte Beschreibung weggelassen. Obwohl die Halbleiterstruktur **400** ein SOI-Bauteil repräsentiert, kann die vorliegende Erfindung dennoch auch auf Volumen-Halbleiterelementen angewendet werden.

[0050] In **Fig. 4b** umfasst die Halbleiterstruktur **400** zusätzlich eine Opferschicht **407** und eine ARC-Schicht **408**, die über einer Gateelektrodenmaterialschicht **406** gebildet sind. Wie zuvor mit Bezug zu den **Fig. 2** und **3** erläutert ist, kann die Opferschicht **407** Siliziumdioxid und die ARC-Schicht Siliziumoxynitrid aufweisen. Hinsichtlich der Eigenschaften der Schichten **407** und **408** und der Abscheideverfahren, die zur Herstellung dieser Schichten angewendet werden, gelten die gleichen Kriterien, wie sie bereits mit Bezug zu den zuvor beschriebenen Ausführungsformen dargelegt sind.

[0051] **Fig. 4c** zeigt die Halbleiterstruktur **400** mit einer zusätzlichen Fotolackschicht **409** und Öffnungen **410** mit einer Größe **411**, die in der ARC-Schicht **408** und der Opferschicht **407** strukturiert sind. Abhängig von Entwurfserfordernissen kann die Größe **411** der über den Gateisolierschichten **404** und **405** gebildeten Öffnungen **410** unterschiedlich sein. Hinsichtlich der Ausbildung der Öffnungen **410** gelten die gleichen Kriterien, wie sie bereits mit Bezug zu den **Fig. 2** und **3** dargelegt sind.

[0052] In **Fig. 4d** ist eine Abstandsschicht **412** auf der ARC-Schicht **408** und in der Öffnung **410** gebildet, um eine spezifizierte Größe **413** zu definieren, die, wie zuvor angemerkt ist, für die Öffnungen **410**, die jeweils über den Gateisolierschichten **404** und **405** gebildet sind, unterschiedlich sein kann.

[0053] Wie zuvor erläutert ist, werden die Abscheidetparameter so gesteuert, um die spezifizierte Entwurfsgröße **413** zu erhalten, und ein anisotroper Ätzvorgang wird ausgeführt, um das Material an der Unterseite der Öffnungen **410** zu entfernen.

[0054] In **Fig. 4e** wird eine Maskenschicht **414** über der Halbleiterstruktur **400** abgeschieden, um die Öffnungen **410** vollständig zu füllen. Das die Maskenschicht **414** bildende Material kann eine hohe Ätzselektivität in Bezug auf das Material der Abstandsschicht **412** und der Opferschicht **407** aufweisen. Beispielsweise kann die Maskenschicht **414** Siliziumnit-

rid aufweisen, wobei das Verhältnis von Silizium zu Nitrid während des Abscheidvorgangs so gesteuert werden kann, um die Eigenschaften der Maskenschicht **414** geeignet einzustellen.

[0055] **Fig. 4f** zeigt die Halbleiterstruktur **400** nach der Entfernung von Überschussmaterial und der Ein-ebnung der resultierenden Oberfläche mittels CMP. Der Einfachheit halber sind Abstandselemente, die das Maskenmaterial in den Öffnungen **410** einschließen, und das Maskenmaterial mit den gleichen Bezugszeichen wie die anfänglichen Materialschichten belegt. Anschließend wird ein selektiver Ätzvorgang ausgeführt, um die Abstandselemente **412** und die Opferschicht **407** zu entfernen.

[0056] **Fig. 4g** zeigt die Struktur **400** nach Abschluss des selektiven Ätzvorgangs, wobei die Hartmaske **414** über den entsprechenden Gateisolierschichten **405** und **404** angeordnet ist. Anschließend wird ein anisotroper Ätzvorgang ausgeführt, um die Gateelektroden in der Gateelektrodenmaterialschicht **406** zu strukturieren.

[0057] **Fig. 4h** zeigt schematisch die Halbleiterstruktur **400** nach der Strukturierung der Gateelektroden **415**, die im Wesentlichen die spezifizierte Entwurfsbreite **143** aufweisen. Wie zuvor erläutert ist, kann die Entwurfsbreite **413** der Gateelektrode **415**, die auf der Gateisolierschicht **404** angeordnet ist, sich von jener der Gateelektrode **415**, die auf der Gateisolierschicht **405** angeordnet ist, unterscheiden. Vorzugsweise ist die Gateelektrode **415** mit der größeren Breite auf der Gateisolierschicht **404** mit einer größeren Schichtdicke gebildet.

[0058] Wie aus den zuvor erläuterten Ausführungsformen ersichtlich ist, werden die Gateisolierschichten **404** und **405** nicht durch die Strukturierungsvorgänge, die beim Erreichen der spezifizierten Entwurfsbreite **413** beteiligt sind, beeinflusst, mit Ausnahme des allerletzten Ätzvorganges. Somit ermöglicht die vorliegende Erfindung die Herstellung von Gateelektroden ohne Beeinträchtigung der Unversehrtheit der darunter liegenden Gateisolierschichten, unabhängig davon, ob eine einzelne Schichtdicke der Gateisolierschicht oder unterschiedliche Dicken der Gateisolierschichten zu berücksichtigen sind.

[0059] Ferner ist in den bisher beschriebenen Ausführungsformen die spezifizierte Entwurfsbreite oder Größe einer Öffnung oder eines Linienelements eingestellt worden, indem ein einzelner Abscheidvorgang zur Bildung einer Abstandsschicht ausgeführt wird, deren Dicke an den Seitenwänden der Öffnungen und Gräben die spezifizierte Entwurfsbreite bestimmt. In Ausführungsformen, in denen unterschiedliche Entwurfsgrößen ähnlicher Strukturelemente erforderlich sind, können dann die Maskenöffnungen, die durch Lithographie gebildet werden, entsprechend skaliert werden, um die gewünschte Entwurfsgröße zu erhalten. In anderen Ausführungsformen kann es geeignet sein, nicht die Lithographiemaske zu ändern, sondern statt dessen zwei oder mehrere

Abscheideschritte vorzusehen, um unterschiedliche Entwurfsgrößen in unterschiedlichen Substratgebieten zu erreichen, wie dies mit Bezug zu den Fig. 5a bis 5c beschrieben wird.

[0060] In Fig. 5a umfasst eine Halbleiterstruktur **500** ein Substrat **501** mit einer darauf gebildeten Schicht **502**, in der eine Öffnung oder ein Linienelement zu bilden ist. Eine Opferschicht **503** umfasst Öffnungen **504**, die entsprechend zu zuvor beschriebenen Prozessen hergestellt worden sind. Eine der Öffnungen **504** ist durch eine Lackmaske **506** bedeckt und gefüllt und eine erste Abstandsschicht **505** ist konform über der Struktur **500** gebildet. Anschließend wird ein anisotroper Ätzvorgang ausgeführt, der durch **507** bezeichnet ist, um eine Dicke der ersten Abstandsschicht **505** auf horizontalen Bereichen zu verringern und um Material aus der Unterseite der unbedeckten Öffnung **504** zu entfernen.

[0061] Fig. 5b zeigt schematisch die resultierende Struktur nach Abschluss des anisotropen Ätzvorganges. Anschließend wird die Lackmaske **506** entfernt, beispielsweise durch Erwärmen des Substrats **502**, um die Lackmaske **506** zu erweichen. In anderen Ausführungsformen kann der anisotrope Ätzvorgang **507** fortgesetzt werden, bis im Wesentlichen alle horizontalen Bereiche der ersten Abstandsschicht **505** entfernt sind und die Lackmaske **506** wird anschließend durch konventionelle Lackentfernungsprozesse weggeätzt.

[0062] Fig. 5c zeigt die Halbleiterstruktur **500** nach Abscheiden einer zweiten Abstandsschicht **508**, die in konformer Weise über der Struktur **500** gebildet ist, um eine erste spezifizierte Entwurfsbreite **509**, die durch die Summe der Dicke der ersten und zweiten Abstandsschichten **505** und **508** bestimmt ist, und eine zweite spezifizierte Entwurfsbreite **510** zu erzeugen. Hinsichtlich der Abscheidung der zweiten Abstandsschicht **508** und deren Eigenschaften gelten die gleichen Kriterien, wie sie bereits in den Erläuterungen mit Bezug zu den Fig. 2, 3 und 4 dargelegt wurden. Somit können unterschiedliche Entwurfsbreiten durch Anwenden des gleichen lithographischen Verfahrens bei der Herstellung der Öffnungen **504** durch Auftragen der ersten und zweiten Abstandsschichten erhalten werden. Ferner können in anderen Ausführungsformen die Schritte des Maskierens eines gewissen Substratgebiets und das sequenzielle Vorsehen einer Abstandsschicht dreimal oder öfter entsprechend den Entwurfserfordernissen durchgeführt werden.

[0063] Die weitere Bearbeitung der Halbleiterstruktur **500** kann fortgesetzt werden, wie dies in den vorhergehenden Ausführungsformen beschrieben ist.

[0064] Es gilt also: die vorliegende Erfindung erlaubt die Herstellung von Elementen in Mikrostrukturen mit Abmessungen, die deutlich unterhalb der Auflösungsschwelle herkömmlicher Lithographieverfahren liegen, wobei bereits gut bekannte und steuerbare Abscheide- und Ätzverfahren ausgeführt werden, um kritische Dimensionen deutlich unterhalb des Auflösungs-

ungsvermögens des beteiligten fotolithographischen Prozesses zu erhalten. Insbesondere erlaubt es die vorliegende Erfindung, Strukturgrößen mit kritischen Abmessungen von 50 nm und darunter durch Anwenden gut bekannter Prozesstechniken zu bilden.

[0065] Die vorliegende Erfindung erlaubt die Herstellung von Gateelektroden ohne Beeinträchtigung der Unversehrtheit der darunter liegenden Gateisolierschichten, unabhängig davon, ob eine einzelne Schichtdicke der Gateisolierschicht oder unterschiedliche Dicken der Gateisolierschichten vorzusehen sind.

[0066] Weitere Modifikationen und Variationen der vorliegenden Erfindung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung als lediglich anschaulich und für den Zweck gedacht, dem Fachmann die allgemeine Art und Weise des Ausführens der vorliegenden Erfindung zu vermitteln. Selbstverständlich sind die hierin gezeigten und beschriebenen Formen der Erfindung als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

Patentansprüche

1. Verfahren zur Herstellung eines Linienelements, wobei das Verfahren umfasst:

Bereitstellen eines Substrats mit einer darauf gebildeten ersten Materialschicht und einer zweiten Materialschicht, die über der ersten Materialschicht angeordnet ist;

Bilden eines Grabens in der zweiten Materialschicht, wobei der Graben eine Breite aufweist, die eine Entwurfsbreite des zu bildenden Linienelements übersteigt;

Abscheiden einer Abstandsschicht von Seitenwänden des Grabens, um die Grabenbreite zu verringern; Füllen des Grabens mit einem Maskenmaterial; Entfernen der zweiten Materialschicht und der Abstandsschicht; und

Strukturieren des Linienelements in der ersten Materialschicht, wobei das Maskenmaterial als eine Ätzmaske verwendet wird, um im Wesentlichen eine Breite des Linienelements entsprechend der Entwurfsbreite zu definieren.

2. Das Verfahren nach Anspruch 1, wobei Bilden einer Abstandsschicht an den Seitenwänden des Grabens konformes Abscheiden der Abstandsschicht bei gleichzeitiger Steuerung einer Dicke der Abstandsschicht umfasst.

3. Das Verfahren nach Anspruch 2, wobei Bilden einer Abstandsschicht an den Seitenwänden des Grabens ferner anisotropes Ätzen der Abstandsschicht zur Entfernung von Material an der Unterseite des Grabens umfasst.

4. Das Verfahren nach Anspruch 1, wobei Entfer-

nen der zweiten Materialschicht und der Abstandsschicht chemisch mechanisches Polieren des Substrats umfasst.

5. Das Verfahren nach Anspruch 1, das ferner Bilden einer antireflektierenden Beschichtung zwischen den ersten und zweiten Materialschichten umfasst.

6. Das Verfahren nach Anspruch 5, wobei die zweite Materialschicht und die antireflektierende Beschichtung durch chemisch mechanisches Polieren entfernt werden.

7. Das Verfahren nach Anspruch 1, wobei die zweite Materialschicht und die Abstandsschicht so gewählt werden, dass diese eine Ätzselektivität in Bezug auf die erste Materialschicht aufweisen, und wobei die zweite Materialschicht und die Abstandsschicht durch einen selektiven Ätzprozess entfernt werden.

8. Das Verfahren nach Anspruch 1, wobei die Breite des Grabens im Bereich von ungefähr 100 bis 200 nm liegt.

9. Das Verfahren nach Anspruch 1, wobei die Entwurfsbreite kleiner als 50 nm ist.

10. Das Verfahren nach Anspruch 1, wobei Bilden des Grabens ein fotolithographisches Verfahren unter Verwendung ultravioletter Strahlung mit einer Wellenlänge von ungefähr 193 nm umfasst.

11. Das Verfahren nach Anspruch 1, wobei das Linienelement eine Gateelektrode eines auf dem Substrat zu bildenden Feldeffekttransistors ist.

12. Verfahren zur Herstellung einer Gateelektrode eines Feldeffekttransistors, wobei das Verfahren umfasst:

Bereitstellen eines Substrats mit einer darauf gebildeten Halbleiterschicht, die von einer Gateisolierschicht bedeckt ist;

Abscheiden einer Schicht aus Gateelektrodenmaterial auf der Gateisolierschicht;

Bilden einer Opferschicht über der Schicht Gateelektrodenmaterial;

Bilden einer Öffnung in der Opferschicht, wobei die Öffnung eine Form und Abmessungen aufweist, die der zu bildenden Gateelektrode entsprechen, wobei die Abmessungen der Öffnung spezifizierte Entwurfsabmessungen der Gateelektrode übersteigen; Konformes Abscheiden einer Abstandsschicht über der Öffnung, um die Abmessungen zu verringern, so dass diese im Wesentlichen den spezifizierten Entwurfsabmessungen entsprechen;

Füllen der Öffnung mit einem Maskenmaterial; Entfernen der Abstandsschicht und der Opferschicht, um eine Ätzmaske zu erhalten; und

anisotropes Ätzen des Substrats unter Verwendung der Ätzmaske, um die Gateelektrode zu bilden, deren Abmessungen im Wesentlichen durch die Ätzmaske bestimmt sind.

13. Das Verfahren nach Anspruch 12, wobei konformes Abscheiden der Abstandsschicht anisotropes Ätzen der Abstandsschicht zur Entfernung von Material an der Unterseite der Öffnung umfasst.

14. Das Verfahren nach Anspruch 13, wobei konformes Abscheiden der Abstandsschicht Steuern einer Schichtdicke an den Seitenwänden der Öffnung umfasst.

15. Das Verfahren nach Anspruch 13, wobei eine erste Gateisolierschicht und eine zweite Gateisolierschicht auf der Halbleiterschicht vorgesehen sind, wobei eine Dicke der ersten Isolierschicht größer als eine Dicke der zweiten Gateisolierschicht ist.

16. Verfahren zur Herstellung eines Mikrostrukturelements mit einer Öffnung mit einer spezifizierten Entwurfsgröße, wobei das Verfahren umfasst:

Bereitstellen eines Substrats mit einer darauf ausgebildeten Materialschicht, in der die Öffnung zu bilden ist;

Bilden einer Opferschicht auf der Materialschicht;

Bilden einer Maskenöffnung mit einer Größe, die die spezifizierte Entwurfsgröße übersteigt;

konformes Abscheiden einer Abstandsschicht über der Maskenöffnung, um die Größe der spezifizierten Entwurfsgröße einzustellen; und Bilden der Öffnung durch anisotropes Ätzen durch die Maskenöffnung hindurch.

17. Das Verfahren nach Anspruch 16, das ferner Bereitstellen einer Zwischenschicht zwischen der Materialschicht und der Opferschicht umfasst.

18. Das Verfahren nach Anspruch 17, wobei die Zwischenschicht so ausgebildet ist, um als eine Ätzstoppschicht und/oder eine antireflektierende Beschichtung zu dienen.

19. Das Verfahren nach Anspruch 17, wobei das Bilden der Öffnung umfasst:

anisotropes Ätzen der Abstandsschicht, um die Abstandsschicht an der Unterseite der Maskenöffnung zu entfernen;

Ätzen der Zwischenschicht; und

anisotropes Ätzen der Materialschicht, um die Öffnung zu bilden.

20. Das Verfahren nach Anspruch 17, wobei eine Anfangsschichtdicke der Opferschicht so gewählt ist, dass die Opferschicht im Wesentlichen vollständig entfernt wird, während die Abstandsschicht anisotrop geätzt wird.

21. Das Verfahren nach Anspruch 16, das ferner umfasst: selektives Entfernen der verbleibenden Abstandsschicht nach anisotropem Ätzen der Öffnung der Materialschicht, um eine kombinierte Öffnung zu erhalten mit einem unteren Bereich mit einer Größe, die im Wesentlichen der spezifizierten Entwurfsgröße entspricht, und einem oberen Bereich, der im Wesentlichen einer Anfangsgröße der Maskenöffnung entspricht.

22. Das Verfahren nach Anspruch 17, das ferner Entfernen der Abstandsschicht und der Opferschicht durch chemisch mechanisches Polieren des Substrats umfasst.

23. Das Verfahren nach Anspruch 17, wobei die Öffnung ein Kontaktloch in einer integrierten Schaltung ist.

24. Verfahren zur Herstellung von Mikrostrukturelementen mit unterschiedlicher Größe, wobei das Verfahren umfasst:

Bereitstellen eines Substrats mit einer darauf gebildeten Materialschicht, in der die Mikrostrukturelemente zu bilden sind;

Bilden einer Opferschicht auf der Materialschicht;

Bilden einer ersten Öffnung und einer zweiten Öffnung mit unterschiedlichen Größen;

Bilden einer ersten Abstandsschicht über den ersten und zweiten Öffnungen;

Bilden einer zweiten Abstandsschicht über der zweiten Öffnung, um eine erste verringerte Größe der ersten Öffnung und eine zweite verringerte Größe der zweiten Öffnung zu erhalten, wobei die erste verringerte Größe und die zweite verringerte Größe im Wesentlichen Entwurfsgrößen eines ersten Mikrostrukturelements und eines zweiten Mikrostrukturelements entsprechen.

25. Das Verfahren nach Anspruch 24, wobei die zweite Abstandsschicht vor der ersten Abstandsschicht gebildet wird, und wobei eine Fotolackmaske über der ersten Öffnung vor dem Bilden der zweiten Abstandsschicht gebildet wird.

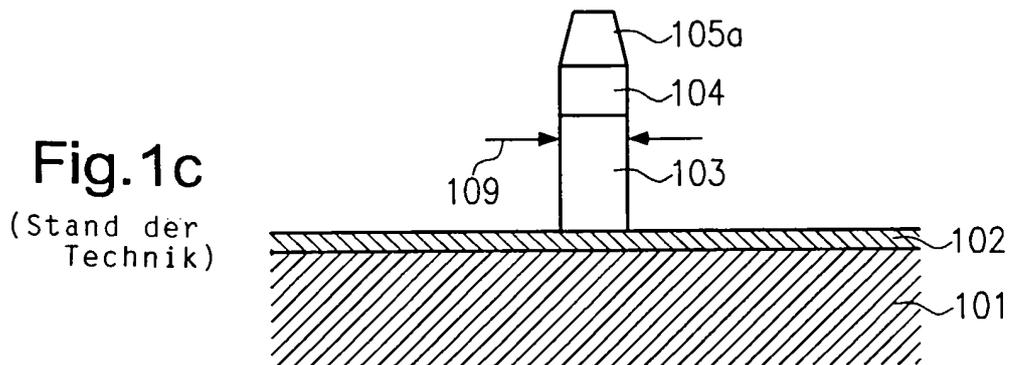
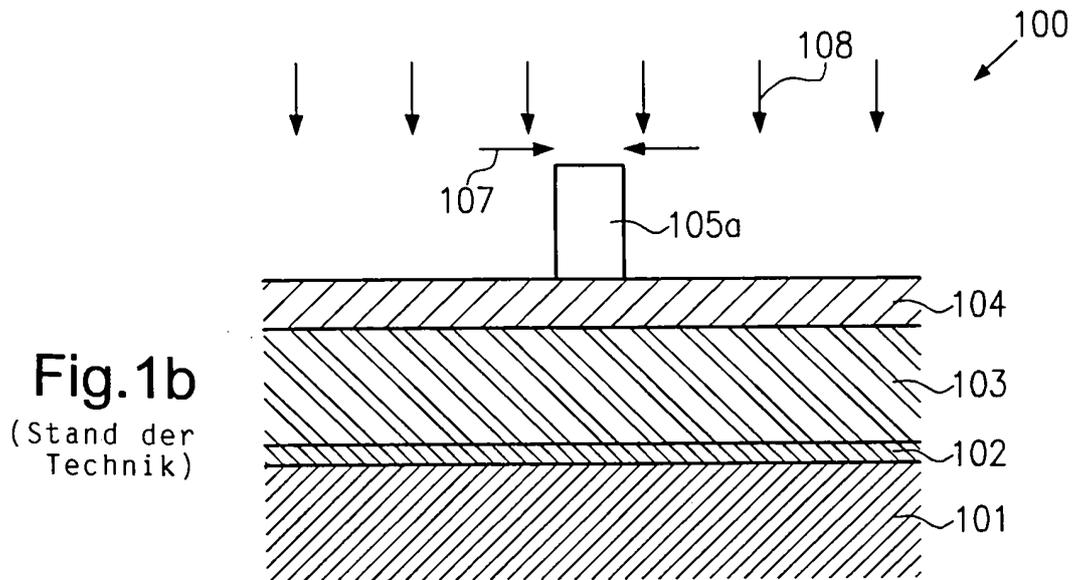
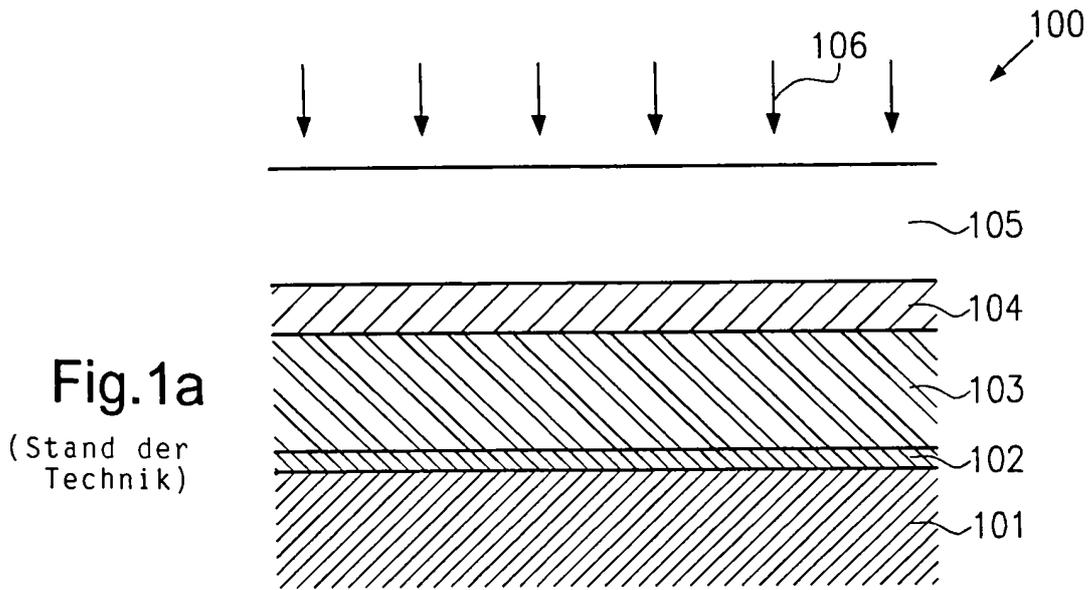
26. Das Verfahren nach Anspruch 25, das ferner Entfernen der Fotolackmaske vor dem Bilden der ersten Abstandsschicht umfasst.

27. Das Verfahren nach Anspruch 24, wobei die erste Abstandsschicht vor der zweiten Abstandsschicht gebildet wird, und wobei eine Fotolackmaske über der ersten Öffnung vor dem Ausbilden der ersten Abstandsschicht gebildet wird.

28. Das Verfahren nach Anspruch 27, das ferner Entfernen der Fotolackmaske vor dem Bilden der zweiten Abstandsschicht umfasst.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen



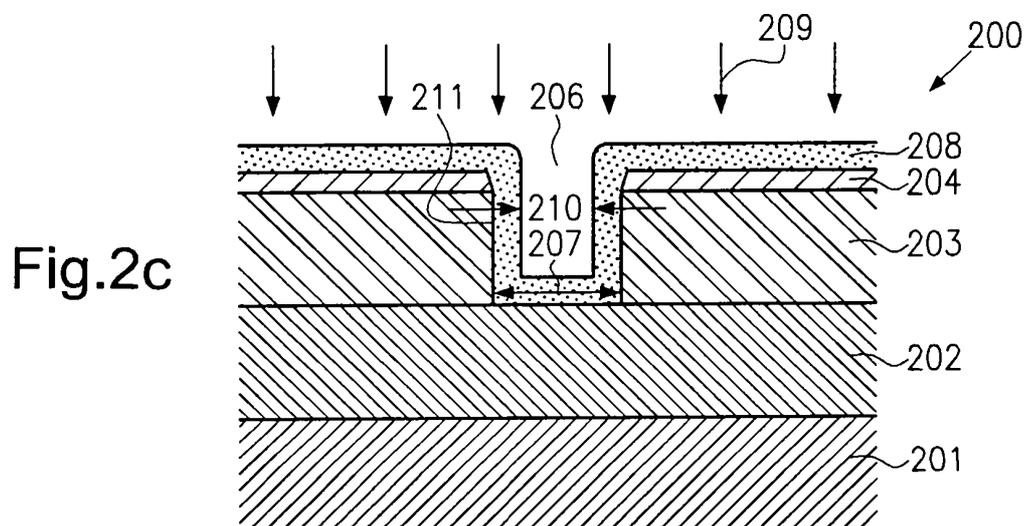
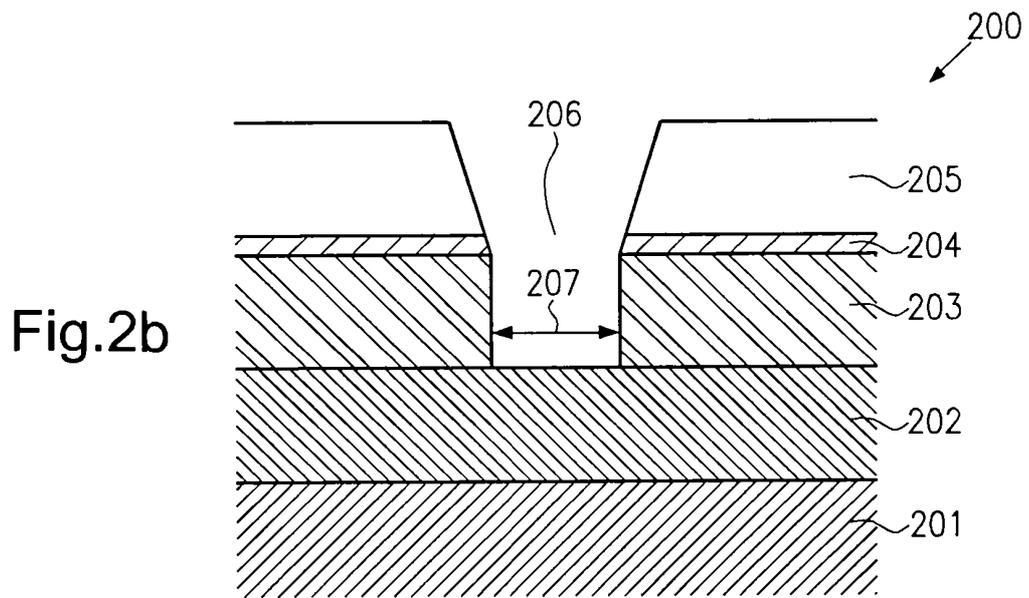
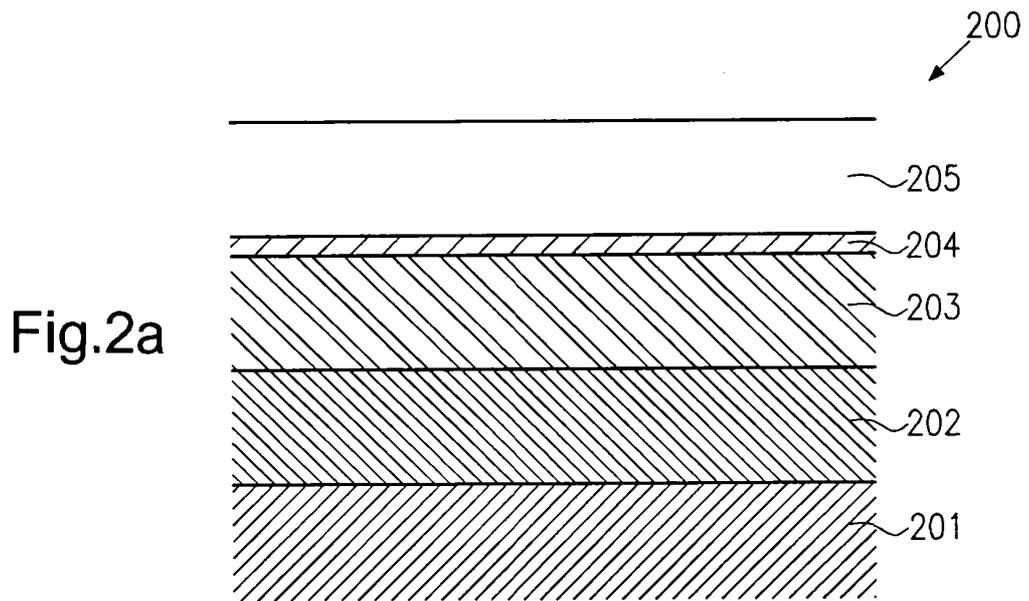


Fig.2d

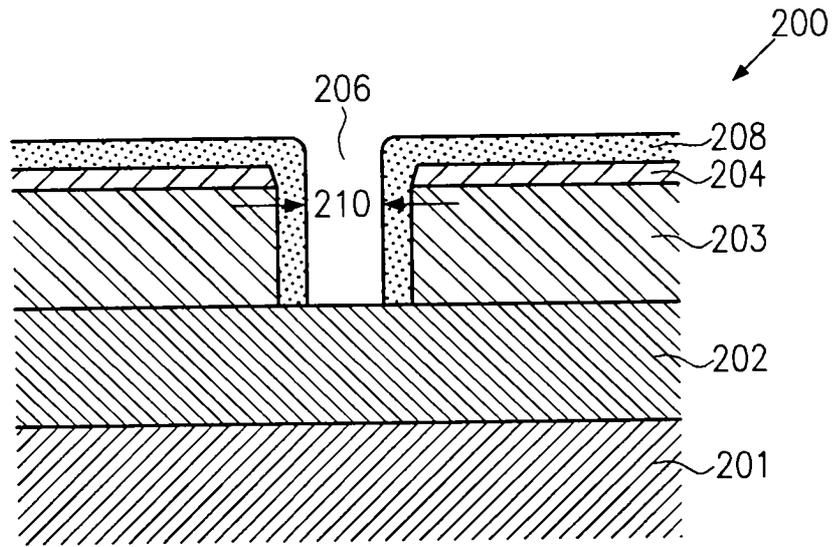


Fig.2e

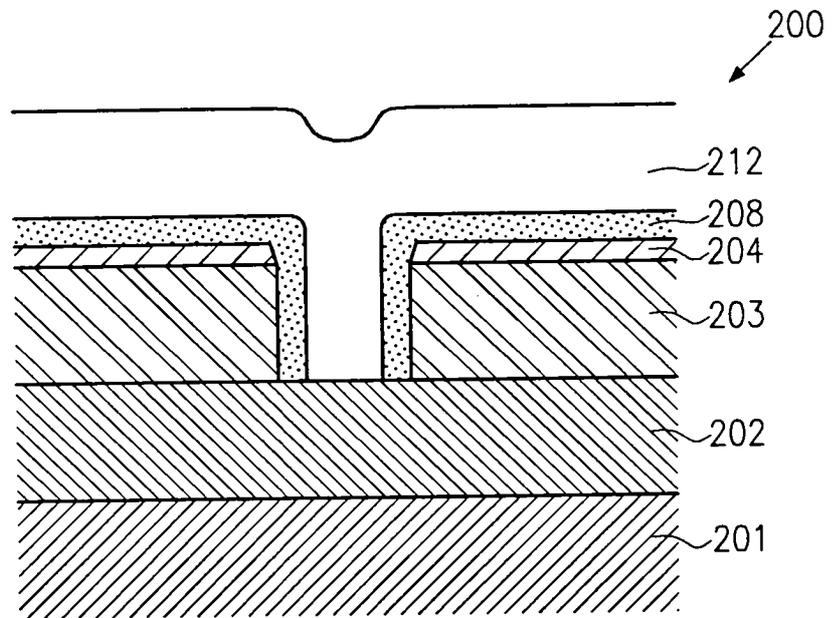
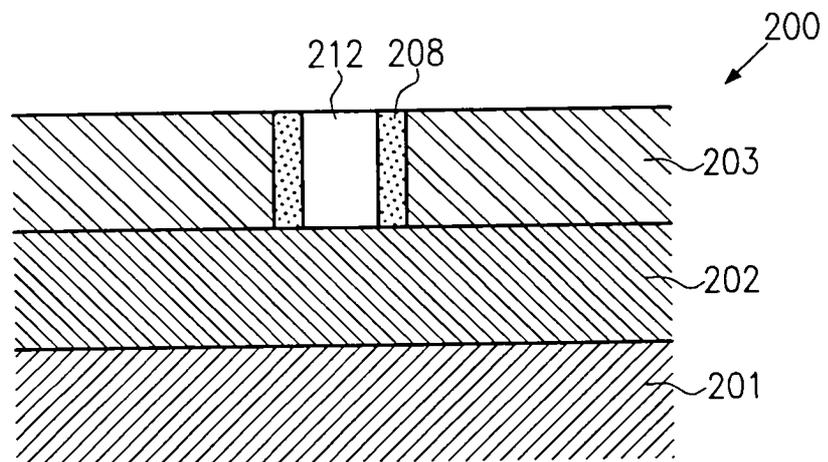
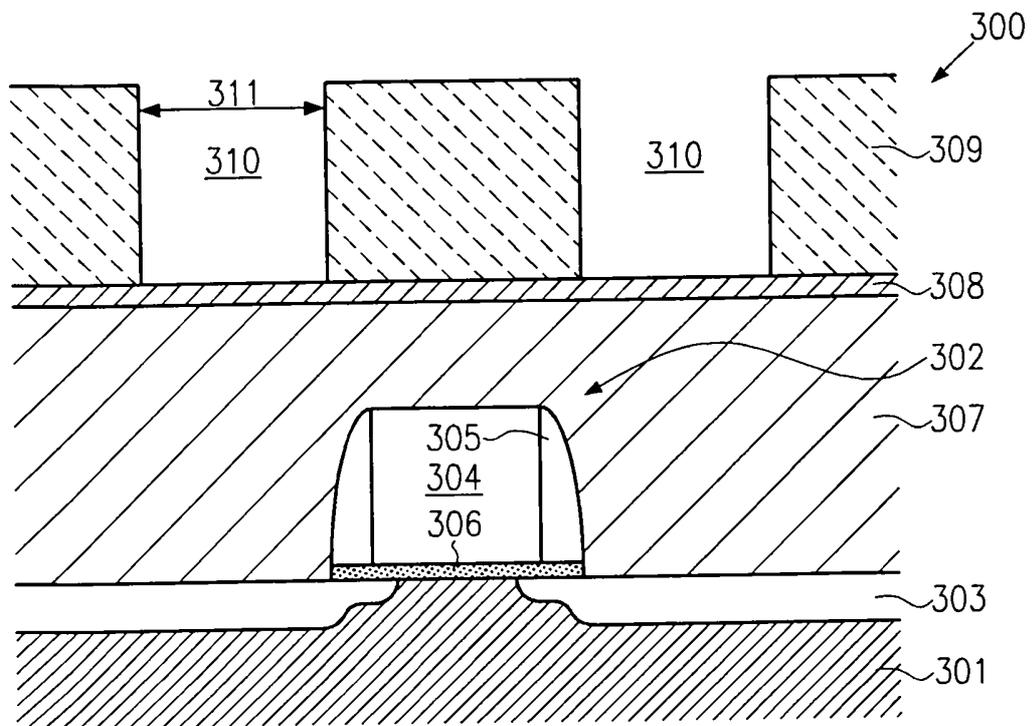
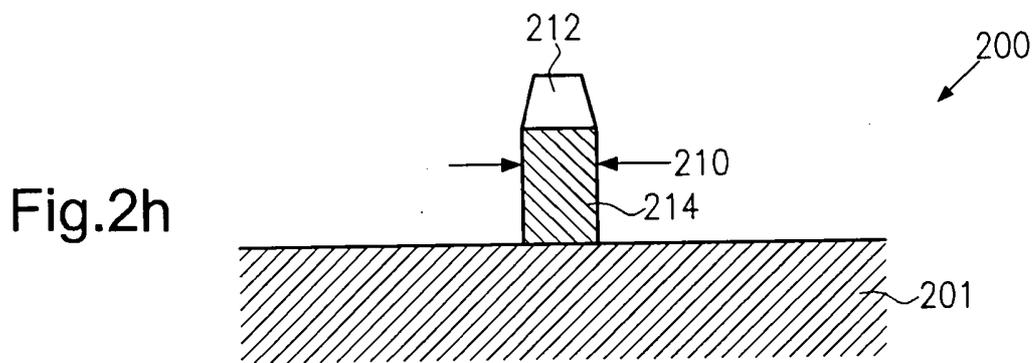
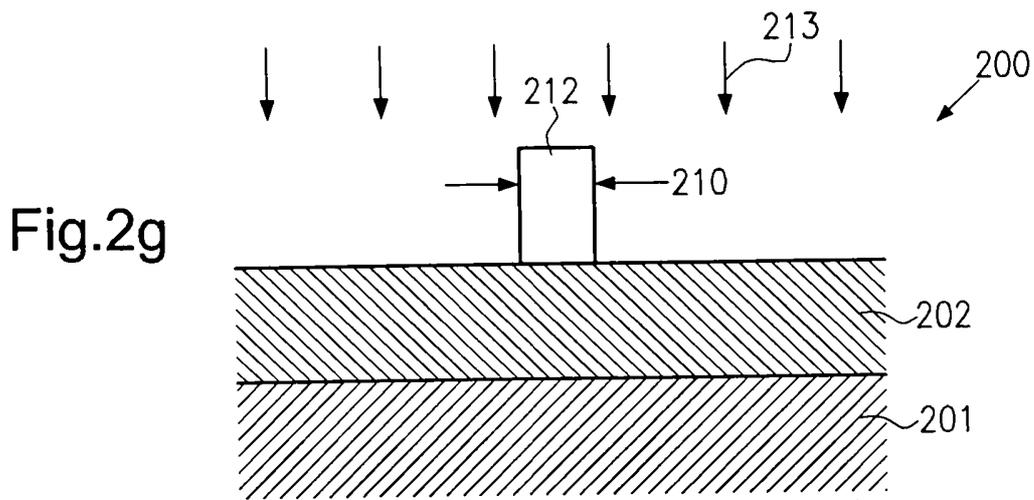


Fig.2f





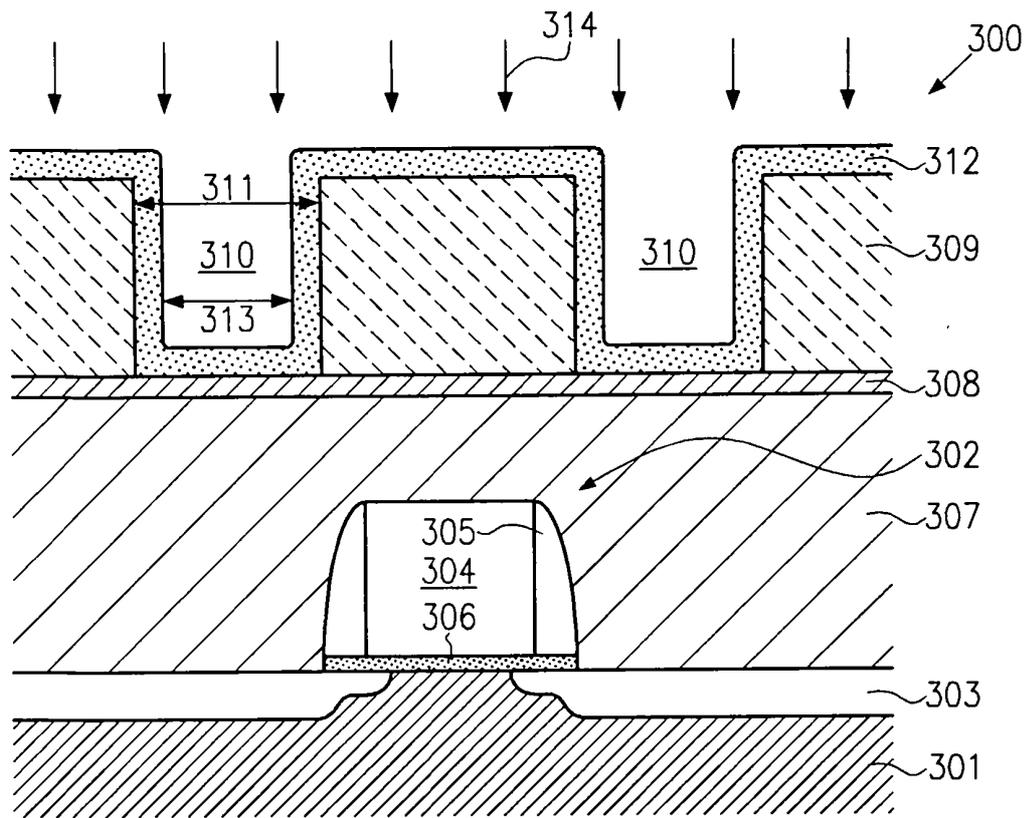


Fig.3b

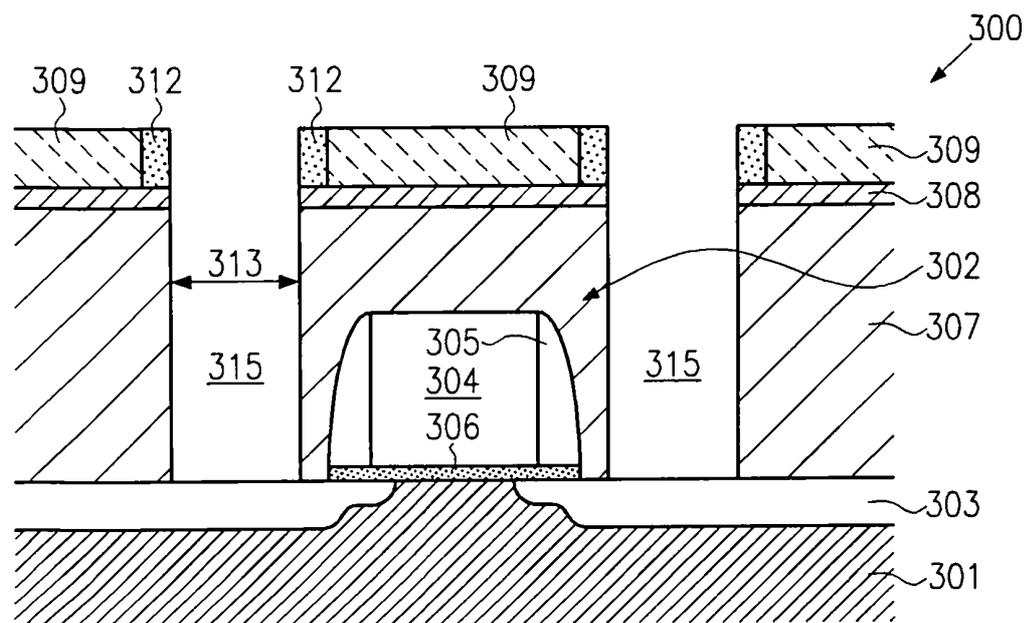


Fig.3c

Fig.4a

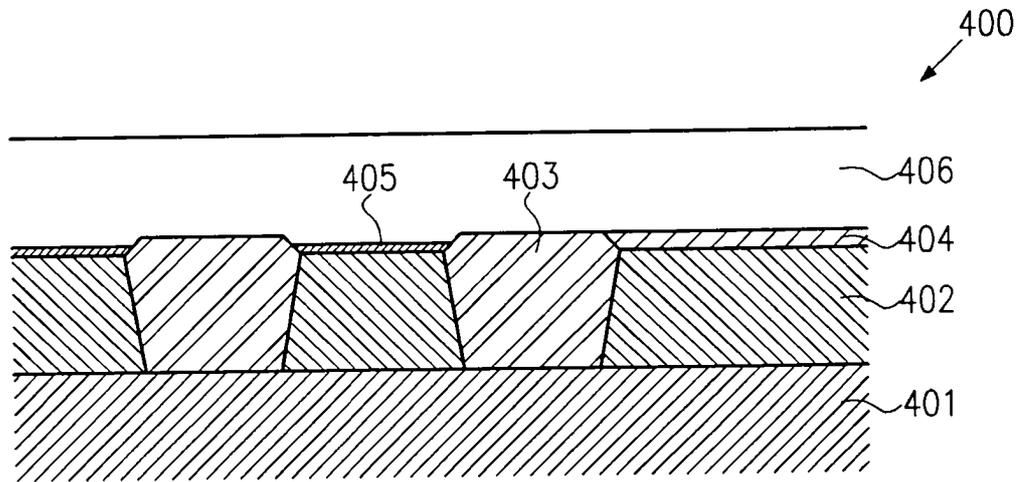
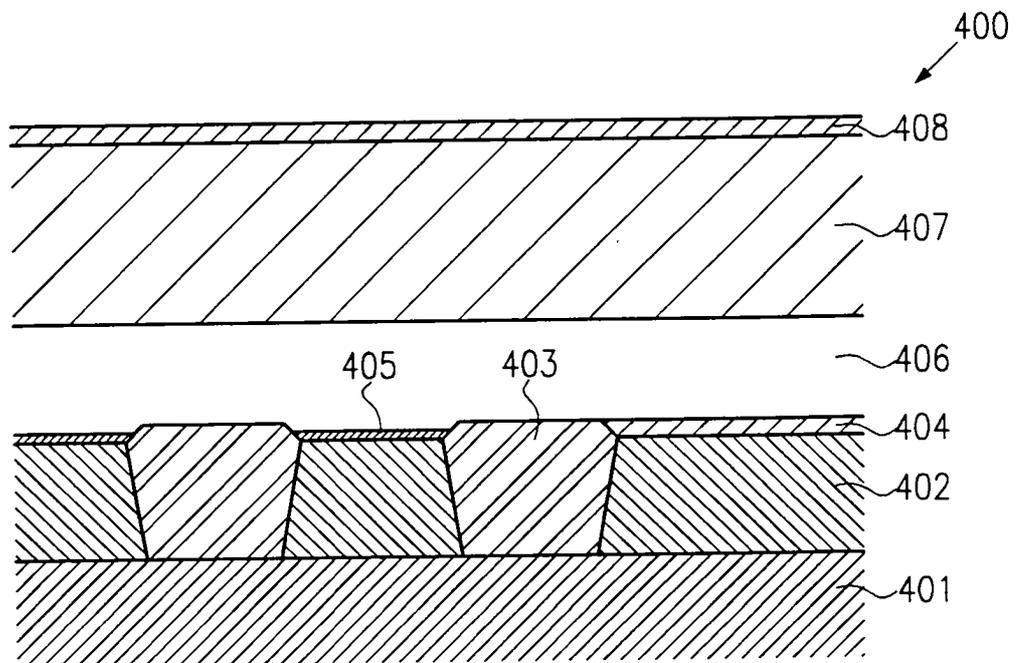


Fig.4b



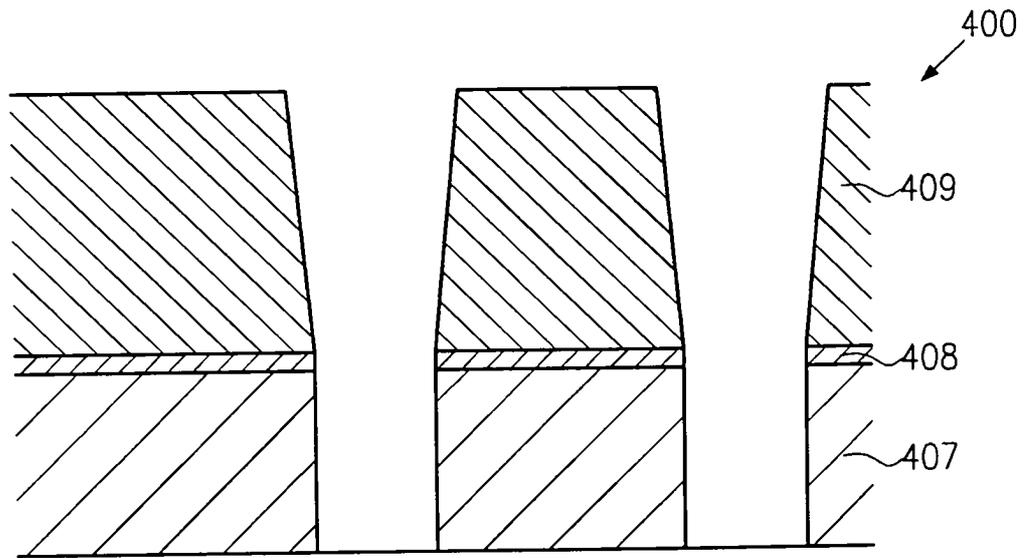


Fig.4c

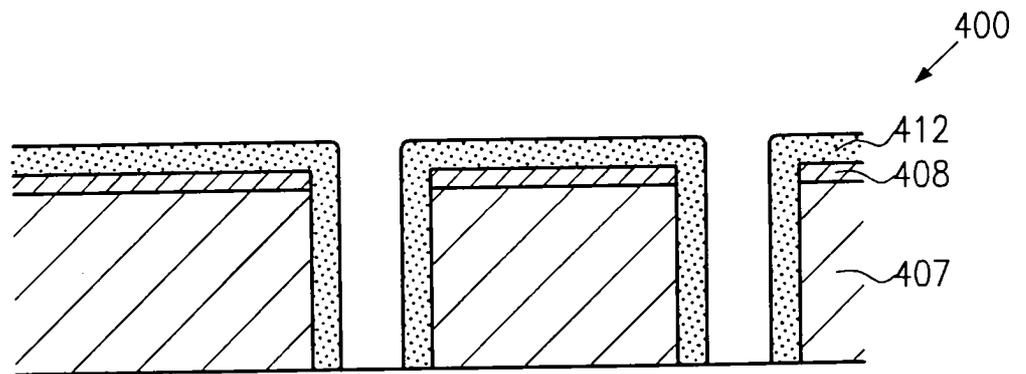
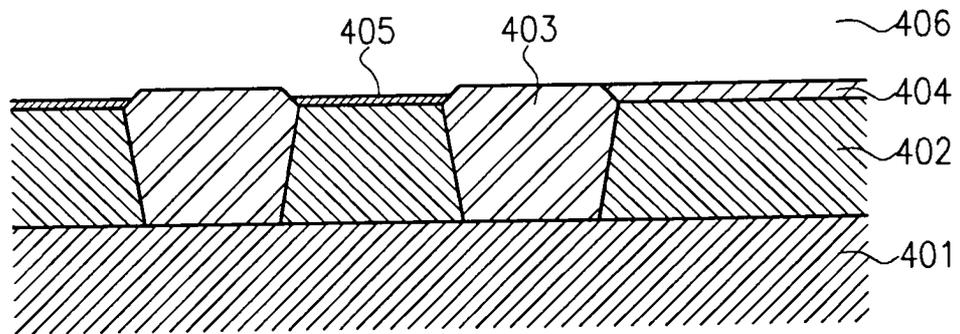
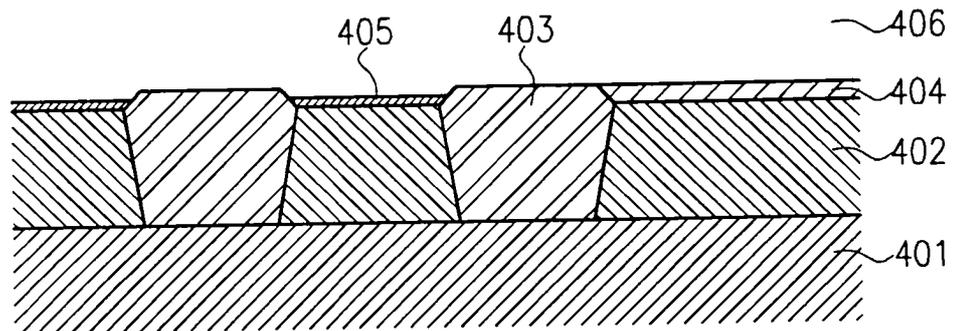


Fig.4d



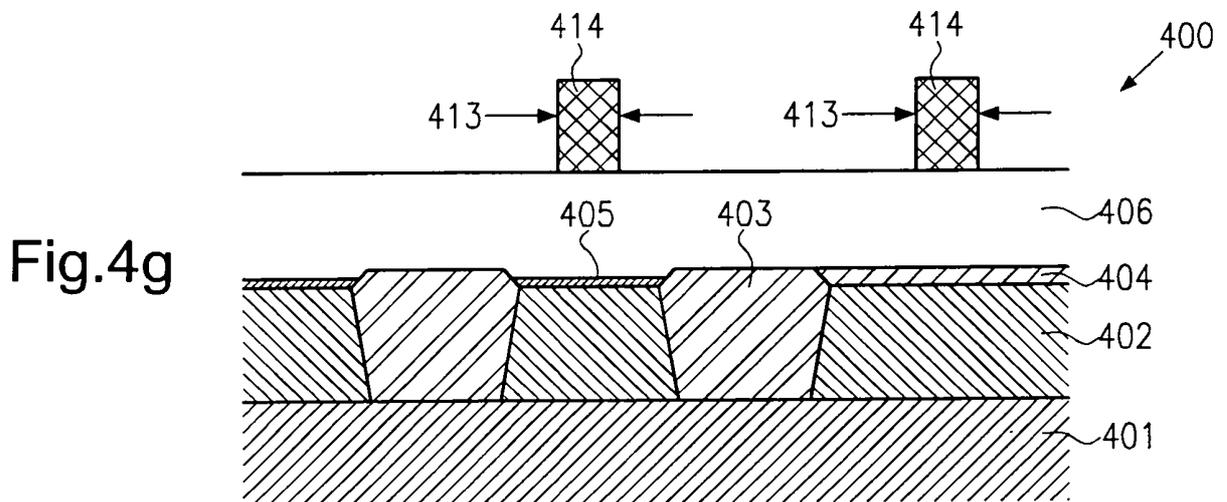
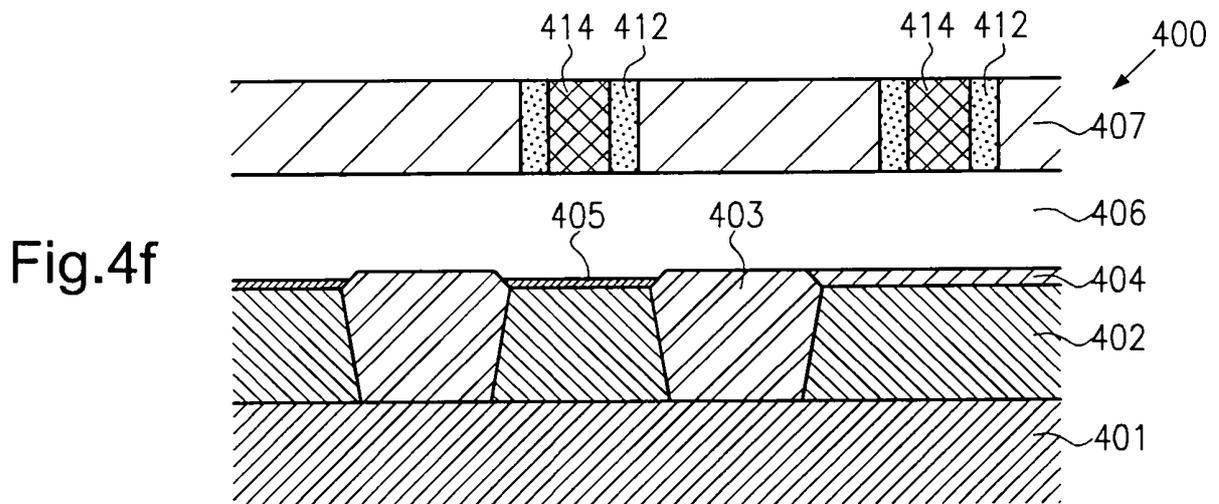
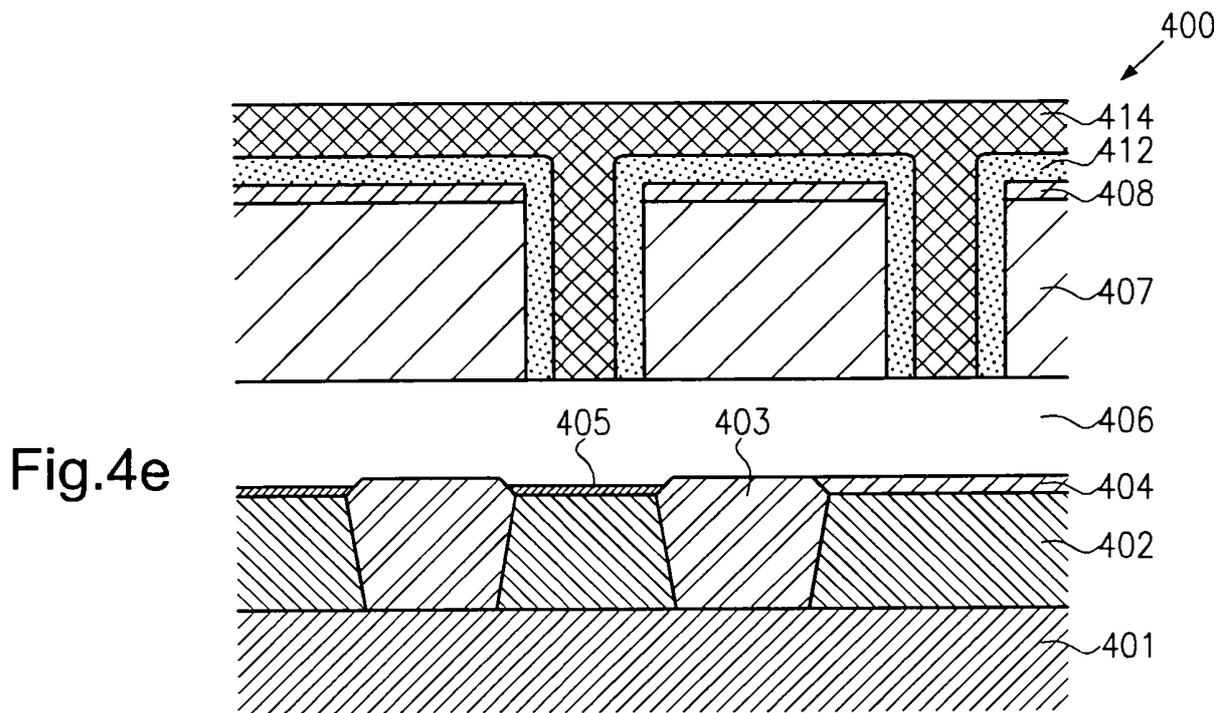


Fig.4h

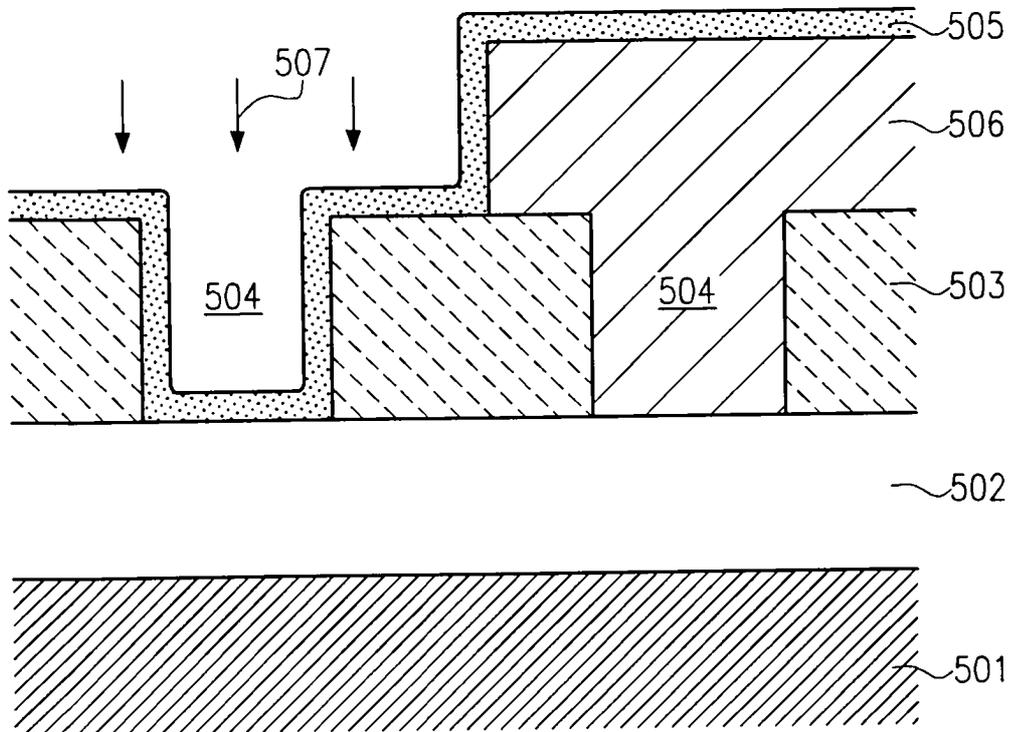
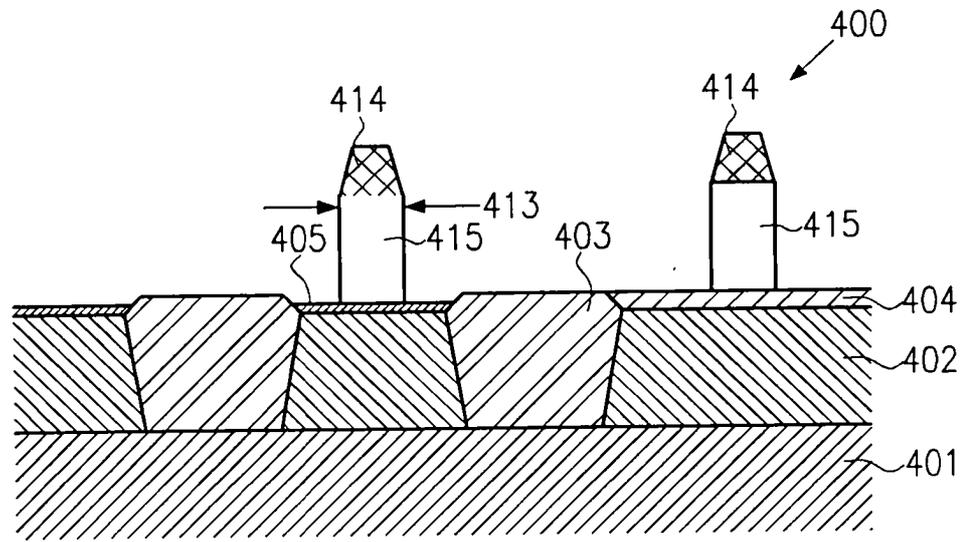


Fig.5a

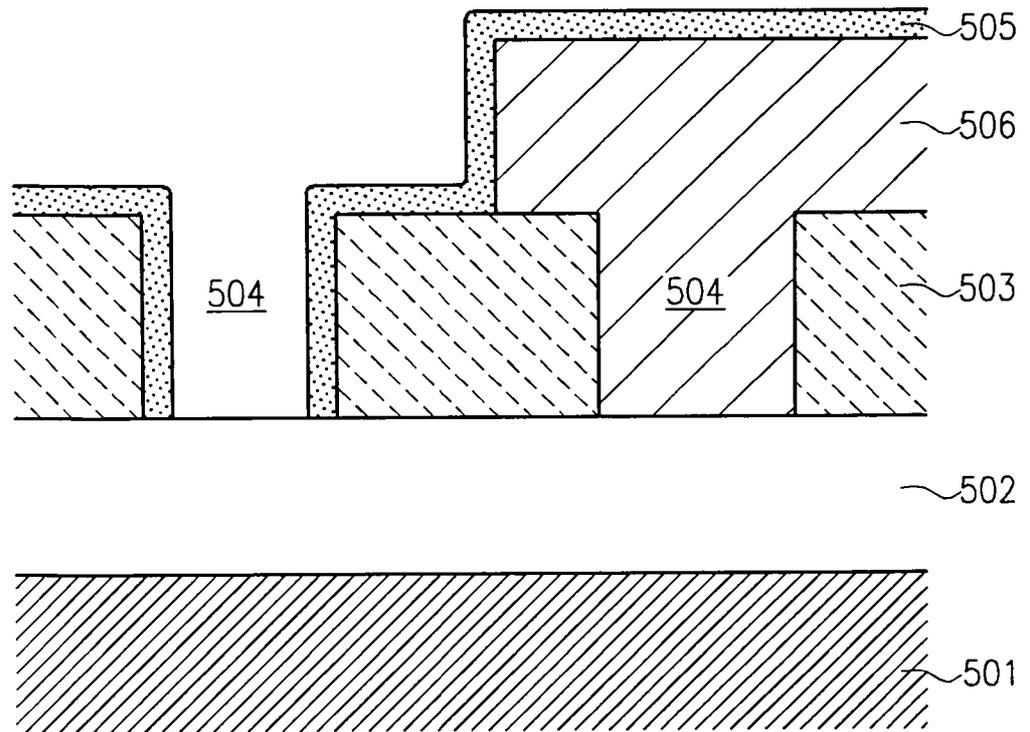


Fig.5b

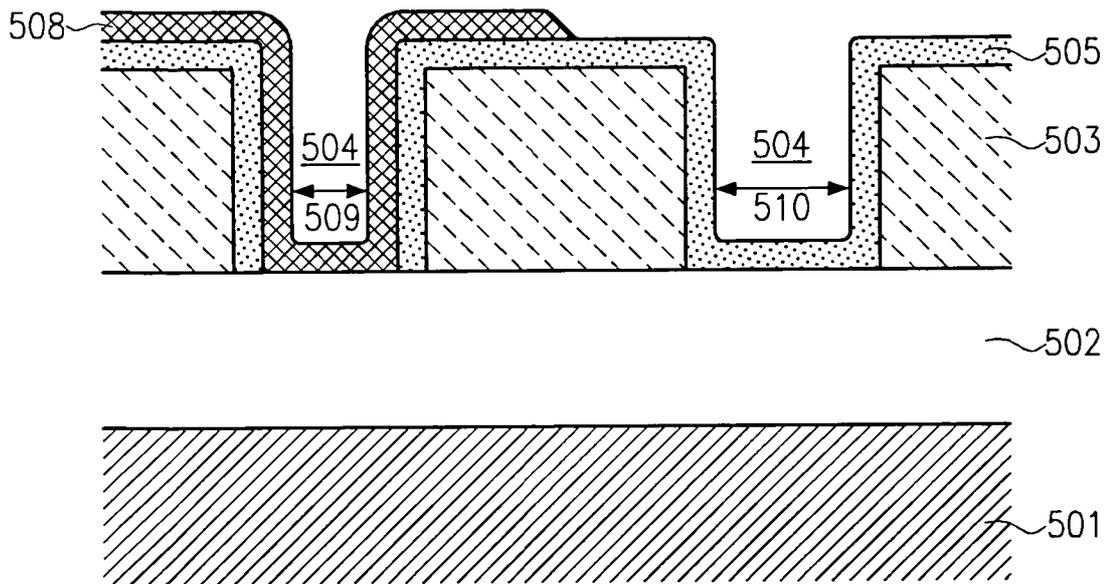


Fig.5c