



(12) 发明专利申请

(10) 申请公布号 CN 114429985 A

(43) 申请公布日 2022.05.03

(21) 申请号 202210357476.5

(22) 申请日 2022.04.07

(71) 申请人 广州粤芯半导体技术有限公司
地址 510700 广东省广州市黄埔区凤凰五路28号

(72) 发明人 于绍欣 高沛雄 赵晓龙

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 罗泳文

(51) Int. Cl.

H01L 29/40 (2006.01)

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

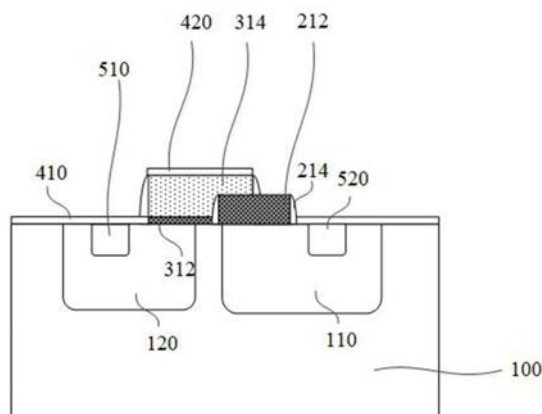
权利要求书2页 说明书7页 附图5页

(54) 发明名称

具有栅场板结构的横向功率器件及其制备方法

(57) 摘要

本发明提供一种具有栅场板结构的横向功率器件及其制备方法,所述横向功率器件包括:衬底,所述衬底沿横向方向包括沟道区和第二导电类型的漂移区;平面场板结构,设置于所述漂移区上,所述平面场板结构包括高温氧化物层;栅结构,所述栅结构包括邻接所述平面场板结构而设置于所述衬底上的栅介质层和覆盖所述平面场板结构一部分的栅电极层,所述平面场板结构的底面不低于所述栅介质层的底面。本发明提供的具有栅场板结构的横向功率器件包括高温氧化物层,其底面不低于栅介质层的底面,且具有平缓的剖面,有利于场板覆盖区域内获得电势分布的平缓变化。



1. 一种具有栅场板结构的横向功率器件,其特征在于:所述横向功率器件包括:
衬底,所述衬底沿横向方向包括沟道区和漂移区;
平面场板结构,设置于所述漂移区上,所述平面场板结构包括高温氧化物层;
栅结构,所述栅结构包括邻接所述平面场板结构而设置于所述衬底上的栅介质层和覆盖所述平面场板结构一部分的栅电极层,所述平面场板结构的底面不低于所述栅介质层的底面;
源区,位于所述沟道区中;
漏区,位于所述漂移区中;和
第一金属硅化物层,设置于所述衬底的表面上。
2. 根据权利要求1所述的横向功率器件,其特征在于,所述平面场板结构还包括位于所述高温氧化物两侧的介电侧墙。
3. 根据权利要求1所述的横向功率器件,其特征在于,所述栅电极层为多晶硅栅,所述栅结构还包括通过自对准工艺形成于所述多晶硅栅上的第二金属硅化物层。
4. 根据权利要求1所述的横向功率器件,其特征在于:所述横向功率器件还包括位于所述第一金属硅化物层上的接触孔停止层,所述接触孔停止层包含氮化硅或氮氧化硅材料,且所述接触孔停止层的厚度范围为 $300\text{\AA}\sim 800\text{\AA}$ 。
5. 根据权利要求4所述的横向功率器件,其特征在于:所述横向功率器件还包括位于所述接触孔停止层上的层间介质层和位于所述层间介质层上的金属布线层,贯穿所述层间介质层和所述接触孔停止层设置有源极插塞和漏极插塞,所述金属布线层覆盖所述源极插塞和所述漏极插塞且实现所述源极插塞和所述漏极插塞的电性连接。
6. 根据权利要求5所述的横向功率器件,其特征在于:所述层间介质层还包括贯穿所述层间介质层设置的转移接触孔,所述转移接触孔设置有转移插塞,所述转移插塞与所述平面场板结构电性接触,所述转移接触孔具有在 $0.35\mu\text{m}\sim 0.6\mu\text{m}$ 范围内的横向尺寸。
7. 一种具有栅场板结构的横向功率器件的制备方法,其特征在于,所述制备方法包括:
提供一衬底,于所述衬底内形成有漂移区和沟道区;
于所述衬底上形成平面场板结构,包括:
于所述衬底上沉积高温氧化物;
对所述高温氧化物进行刻蚀,去除位于所述衬底的预定区域上的高温氧化物,以得到设置于所述漂移区上的高温氧化物层;
邻接所述平面场板结构而于所述衬底上形成栅介质层,所述平面场板结构的底面不低于所述栅介质层的底面;
于所述栅介质层和所述平面场板结构上形成栅电极层,所述栅电极层覆盖所述平面场板结构的一部分;
于所述沟道区内形成源区,以及于所述漂移区内形成漏区;
于所述衬底的表面形成第一金属硅化物层。
8. 根据权利要求7所述的制备方法,其特征在于,形成高温氧化物的步骤包括:通过化学气相沉积工艺沉积所述高温氧化物。
9. 根据权利要求7所述的制备方法,其特征在于,形成所述平面场板结构的步骤还包括:在形成所述高温氧化物层之后,于所述高温氧化物的两侧形成介电侧墙。

10. 根据权利要求9所述的制备方法,其特征在于,在所述高温氧化物层的两侧形成介电侧墙的步骤包括:

形成包围所述高温氧化物层的介电层,所述介电层包括氮化硅层;

各向异性刻蚀所述介电层以形成所述高温氧化物层的介电侧墙。

11. 根据权利要求10所述的制备方法,其特征在于,所述制备方法还包括:通过自对准工艺于所述衬底上形成所述第一金属硅化物层同时于所述栅电极层上形成第二金属硅化物层,其中所述栅电极层为多晶硅栅。

12. 根据权利要求11所述的制备方法,其特征在于,所述制备方法还包括:于所述第一金属硅化物层和所述平面场板结构的裸露部分上形成接触孔停止层,所述接触孔停止层包含氮化硅或氮氧化硅材料。

13. 根据权利要求12所述的制备方法,其特征在于:所述制备方法还包括:

于所述接触孔停止层上形成层间介质层;

贯穿所述层间介质层和所述接触孔停止层形成多个接触孔;

通过电镀工艺于所述多个接触孔中形成金属插塞。

14. 根据权利要求13所述的制备方法,其特征在于:贯穿所述层间介质层和所述接触孔停止层形成转移接触孔,所述转移接触孔的底部显露出所述平面场板结构,所述转移接触孔具有在 $0.35\mu\text{m}\sim 0.6\mu\text{m}$ 范围内的横向尺寸。

具有栅场板结构的横向功率器件及其制备方法

技术领域

[0001] 本发明涉及一种半导体器件制造领域,尤其涉及一种半导体器件及半导体工艺制造技术。

背景技术

[0002] BCD工艺是一种集合Bipolar器件,CMOS器件和DMOS器件集成于同一芯片上,BCD工艺具有高跨导、强负载驱动能力、集成度高和低功耗的优点。其中DMOS器件是BCD电路中的核心部分,一般DMOS器件所占的芯片面积为总面积的60%以上,目前为了工艺集成所使用的是LDMOS器件,LDMOS器件的两大关键参数为:源漏耐压和导通电阻。然而,LDMOS的导通电阻优化和耐压设计是相互矛盾的,这种关系越来越制约LDMOS在更为广泛领域的应用。

[0003] 在LDMOS的耐压设计中,常采用调制漂移区表面电场分布的场板技术,可以降低PN结转角区的电势峰值,从而可以提高器件的耐压性能。因此,本发明提出了一种具有场板结构的功率器件,以在提高源漏耐压与维持低的源漏导通电阻之间寻求一种折中方案。

发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种具有栅场板结构的横向功率器件,所述横向功率器件包括:

衬底,所述衬底沿横向方向包括沟道区和漂移区;

平面场板结构,设置于所述漂移区上,所述平面场板结构包括高温氧化物层;

栅结构,所述栅结构包括邻接所述平面场板结构而设置于所述衬底上的栅介质层和覆盖所述平面场板结构一部分的栅电极层,所述平面场板结构的底面不低于所述栅介质层的底面;

源区,位于所述沟道区中;

漏区,位于所述漂移区中;和

第一金属硅化物层,设置于所述衬底的表面上。

[0005] 可选地,所述平面场板结构还包括位于所述高温氧化物两侧的介电侧墙。

[0006] 可选地,所述栅电极层为多晶硅栅,所述栅结构还包括通过自对准工艺形成于所述多晶硅栅上的第二金属硅化物层。

[0007] 可选地,所述横向功率器件还包括位于所述第一金属硅化物层上的接触孔停止层,所述接触孔停止层包含氮化硅或氮氧化硅材料,且所述接触孔停止层的厚度范围为300 Å~800 Å。

[0008] 可选地,所述横向功率器件还包括位于所述接触孔停止层上的层间介质层和位于所述层间介质层上的金属布线层,贯穿所述层间介质层和所述接触孔停止层设置有源极插塞和漏极插塞,所述金属布线层覆盖所述源极插塞和所述漏极插塞且实现所述源极插塞和所述漏极插塞的电性连接。

[0009] 可选地,所述层间介质层还包括贯穿所述层间介质层设置的转移接触孔,所述转

移接触孔设置有转移插塞,所述转移插塞与所述平面场板结构电性接触,所述转移接触孔具有在0.35 μm ~0.6 μm 范围内的横向尺寸。

[0010] 本发明还提供了一种具有栅场板结构的横向功率器件的制备方法,所述制备方法包括:

提供一衬底,于所述衬底内形成有漂移区和沟道区;

于所述衬底上形成平面场板结构,包括:

于所述衬底上沉积高温氧化物;

对所述高温氧化物进行刻蚀,去除位于所述衬底的预定区域上的高温氧化物,以得到设置于所述漂移区上的高温氧化物层;

邻接所述平面场板结构而于所述衬底上形成栅介质层,所述平面场板结构的底面不低于所述栅介质层的底面;

于所述栅介质层和所述平面场板结构上形成栅电极层,所述栅电极层覆盖所述平面场板结构的一部分;

于所述沟道区内形成源区,以及于所述漂移区内形成漏区;

于所述衬底的表面形成第一金属硅化物层。

[0011] 可选地,形成高温氧化物的步骤包括:通过化学气相沉积工艺沉积所述高温氧化物。

[0012] 可选地,形成所述平面场板结构的步骤还包括:在形成所述高温氧化物层之后,于所述高温氧化物的两侧形成介电侧墙。

[0013] 可选地,在所述高温氧化物的两侧形成介电侧墙的步骤包括:

形成包围所述高温氧化物的介电层,所述介电层包括氮化硅层;

各向异性刻蚀所述介电层以形成所述高温氧化物的介电侧墙。

[0014] 可选地,所述制备方法还包括:通过自对准工艺于所述衬底上形成所述第一金属硅化物层同时于所述栅电极层上形成第二金属硅化物层,其中所述栅电极层为多晶硅栅。

[0015] 可选地,所述制备方法还包括:于所述第一金属硅化物层和所述平面场板结构的裸露部分上形成接触孔停止层,所述接触孔停止层包含氮化硅或氮氧化硅材料。

[0016] 可选地,所述制备方法还包括:

于所述接触孔停止层上形成层间介质层;

贯穿所述层间介质层和所述接触孔停止层形成多个接触孔;

通过电镀工艺于所述多个接触孔中形成金属插塞。

[0017] 可选地,贯穿所述层间介质层和所述接触孔停止层形成转移接触孔,所述转移接触孔的底部显露出所述平面场板结构,所述转移接触孔具有在0.35 μm ~0.6 μm 范围内的横向尺寸。

[0018] 如上所述,本发明的具有栅场板结构的横向功率器件及其制备方法,具有以下有益效果:

本发明提供的所述横向功率器件中,平面场板结构的底面不低于栅介质层的底面,且具有平缓的剖面,使得场板覆盖区域内电势分布变化平缓;还避免了有源区的离子注入浓度受到的影响,有利于提高器件的质量。

[0019] 本发明提供的具有栅场板结构的横向功率器件的制备方法中,通过沉积工艺于衬

底表面形成平面场板结构,而无需硅衬底的热氧化工艺,避免了对衬底表面侵入及其造成的损伤,所述制备方法具有工艺简单、可操作性强等优势。

附图说明

- [0020] 图1显示为本发明对比例中栅场板结构的横向功率器件的截面示意图。
- [0021] 图2显示为本发明实施例中具有栅场板结构的横向功率器件的截面示意图。
- [0022] 图3A-图3G显示为根据本发明的制作具有栅场板结构的横向功率器件各阶段的结构示意图,其中:
- 图3A显示为根据本发明的形成漂移区和沟道区后的结构示意图;
- 图3B显示为根据本发明的形成场板结构后的结构示意图;
- 图3C显示为根据本发明的形成栅结构后的结构示意图;
- 图3D显示为根据本发明的形成有源区和漏后的结构示意图;
- 图3E显示为根据本发明的形成第一金属硅化物 and 接触孔停止层后的结构示意图;
- 图3F显示为根据本发明的形成接触孔后的结构示意图;
- 图3G显示为根据本发明的形成金属布线层后的结构示意图。
- [0023] 图4A和图4B显示本发明实施例与对比例的LDMOS器件在源漏击穿电压状态下的TCAD仿真分析。
- [0024] 图5显示根据图4A和图4B的TCAD仿真分析测量的LDMOS器件源漏击穿电压和导通电阻。
- [0025] 元件标号说明:衬底-100;漂移区-110;沟道区-120;LOCOS -201;平面场板结构-210;高温氧化物层-212;介电侧墙-214;栅结构-310;栅介质层-312;栅电极层-204,314;第一金属硅化物层-410;第二金属硅化物层-420;源区-510;漏区-520;层间介质层-600;源极接触孔-610;转移接触孔-630;漏极接触孔-620;源极插塞-611;转移插塞-631;漏极插塞-621;金属布线层-700;接触孔停止层-800。

具体实施方式

- [0026] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。
- [0027] 如本文中所使用,术语“基底”意指及包含衬底本身或在其上形成有例如垂直场效应晶体管等材料的衬底表面。衬底可为常规硅衬底或包括半导体材料层的其它块体衬底。如本文中所使用,术语“块体衬底”不仅意指及包含硅晶片,而且意指包含绝缘体上硅(SOI)衬底(例如,蓝宝石上硅(SOS)衬底或玻璃上硅(SOG)衬底)、位于基底半导体基础上的外延硅层,或其它半导体或光电子材料,例如为硅-锗($\text{Si}_{1-x}\text{Ge}_x$)、锗(Ge)、砷化镓(GaAs)、氮化镓(GaN)或磷化铟(InP)。
- [0028] 如本文中所使用,尽管术语“第一”、“第二”、“第三”等可描述各种元件、组件、区、层和/或区段,但其中的任一者均不受这些术语的限制。这些术语仅用于将一个元件、组件、区、材料、层或区段与另一元件、组件、区、材料、层或区段区分开。因此,在不背离本文中的

教示的情况下,下文所论述的“第一元件”、“第一组件”、“第一区”、“第一材料”、“第一层”或“第一区段”可称为第二元件、第二组件、第二区、第二材料、第二层或第二区段。

[0029] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0030] 图1显示出一种本发明对比例中栅场板结构的横向功率器件,包括漂移区、沟道区、栅电极层以及位于漂移区上的场板。

[0031] 为了不同的耐压需求,可以采用的方案是调整以下尺寸:沟道长度 a ,场板与多晶硅栅之间的交叠尺寸 b ,以及场板延伸出栅电极层的距离 c 。以16V的LDMOS器件为例,可以采用如下的设计参数:沟道长度 a 在0.5 μm 左右,场板与多晶硅栅之间的交叠尺寸 b 在0.7 μm 左右,而场板延伸出栅电极层的距离 c 在0.8 μm 左右。

[0032] 然而,随着源漏耐压要求的提高, a 、 b 、 c 的距离和/或尺寸需要提高,单纯的拉大以上距离,会导致芯片面积的增加,还会导致源漏的导通电阻相应的线性增加,而且距离和/或尺寸不能无限地提高。

[0033] 如图1所示,LDMOS器件包括衬底100,沿横向方向设置漂移区110和沟道区120,硅局部氧化隔离区(LOCOS) 201以及覆盖场板一部分的栅电极层204,其中栅场板实质上起到抑制其覆盖区域下电场的作用。常采用热氧化工艺在衬底100上形成LOCOS 201,即此处的场板,LOCOS的制备工艺存在工艺复杂、热过程多以及工艺成本高等问题,而且LOCOS会侵入Si衬底造成表面的损耗,还会影响有源区的离子注入浓度。另一方面,如图1所示的LOCOS的截面轮廓可知,LOCOS部分位于漂移区内,因此阻挡了栅极和漏极之间的电流路径,从而会产生LDMOS器件的较高导通电阻 R_{dson} ,栅场板结构的长度以及剖面进行调整可以使场板边缘的电场峰值优化以及实现耗尽区边界的曲率半径减小。

[0034] 为了解决由LOCOS场板造成的衬底损耗等问题,本发明提供了一种具有栅场板结构的横向功率器件的改进结构,所述具有栅场板结构的横向功率器件包括:第一导电类型的衬底,所述衬底沿横向方向包括沟道区和第二导电类型的漂移区;平面场板结构,设置于所述漂移区上,所述平面场板结构包括高温氧化物层;栅结构,所述栅结构包括邻接所述平面场板结构而设置于所述衬底上的栅介质层和覆盖所述平面场板结构一部分的栅电极层,所述平面场板结构的底面不低于所述栅介质层的底面;源区,位于所述沟道区中;漏区,位于所述漂移区中;和第一金属硅化物层,设置于所述衬底的表面上。

[0035] 此后,将参照图2-图5具体描述本发明的具有栅场板结构的横向功率器件及其制备方法,制备栅场板结构的横向功率器件的各阶段的具体结构将结合图3A至3G加以说明。

[0036] 参见图2,其显示出本发明实施例中的具有栅场板结构的横向功率器件。该横向功率器件包括:衬底100,在衬底100中形成有有源区(图中未示出),沿横向方向包括漂移区110和沟道区120,漂移区110和沟道区120位于衬底100的有源区内且衬底100沿横向方向设置,漂移区110和沟道区120之间具有间距。此处,衬底100为第一导电类型可以为N型或P型,则漂移区110具有第二导电类型,该第二导电类型为与第一导电类型相反的导电类型。如图3所示,源区510和漏区520分别位于漂移区110和沟道区120内。在本实施例中,漂移区110、沟道区120、源区510和漏区520的离子注入类型可以根据所需器件的类型进行适当地调整。

[0037] 该横向功率器件包括平面场板结构210和栅结构310,平面场板结构210设置于漂移区110上,栅结构310包括栅介质层312和位于该栅介质层上的栅电极层314,栅介质层312邻接平面场板结构210而设置于衬底100上,栅电极层314与平面场板结构交叠而设置于该栅介质层上,平面场板结构210的底面不低于栅介质层312的底面。参见图2,栅介质层312的底面与平面场板结构210的底面处于同一水平面,场板形成在所述漂移区的上方,即位于栅极和漏极之间的水平面上方,这样不会阻挡栅极和漏极之间的电流路径,缩短了漂移区电流路径,从而可以改善器件的性能。具体地,平面场板结构210包括高温氧化物层212,该高温氧化物层可以采用沉积工艺形成于衬底,而无需经由热氧化处理衬底,避免了热过程对衬底的损伤,同时免于有源区离子注入浓度受到影响。在一些示例中,栅电极层314为多晶硅栅,场板结构210还包括位于高温氧化物层两侧的介电侧墙214,介电侧墙214的设置有利于防止多晶硅电极的残留。作为示例,高温氧化物层212可以包括 SiO_2 层,介电侧墙可以包括氮化硅。

[0038] 该横向功率器件还包括设置于衬底100表面上的第一金属硅化物层410,设置于栅电极层314上的第二金属硅化物层420。在一些示例中,栅电极层314为多晶硅栅,可以通过自对准工艺于多晶硅栅上形成的第二金属硅化物层420。具体地,该横向功率器件还包括覆盖整个有源区的层间介质层600和设置于层间介质层600上的金属布线层700。较佳地,第一金属硅化物层410与层间介质层600之间还设置有接触孔停止层800,以使通过刻蚀工艺形成的接触孔停止于第一金属硅化物层410的表面。举例而言,接触孔停止层800包含氮化硅或氮氧化硅材料,且接触孔停止层800的厚度范围为 $300\text{\AA}\sim 800\text{\AA}$ 。

[0039] 具体地,贯穿层间介质层600和接触孔停止层800形成有多个接触孔,于所述接触孔中填充金属插塞,使得于层间介质层600中设置分别与源区510对应的源极插塞611、与漏区520对应的漏极插塞621和与平面场板结构210对应的转移插塞631,金属布线层700覆盖于层间介质层600且与层间介质层中的金属插塞电性连接。作为示例,金属布线层700包括第一金属图案和第二金属图案,所述第一金属图案分别与源极插塞611和转移插塞631电性连接,源极插塞611通过第一金属硅化物层410与源区510电性接触,所述第二金属图案与漏极插塞621电性连接,漏极插塞621通过第一金属硅化物层410与漏区520电性接触。在此种设置中,通过分别与源区和漏区接触的第一金属硅化物层410和设置于栅电极层314上的第二金属硅化物层420,实现电极与有源区之间的电性接触,以降低接触孔的孔电阻以及接触孔与半导体器件的待引出区之间电性接触的接触电阻。通过设置于转移接触孔630中的转移插塞631,转移插塞631与平面场板结构210电性接触。由于转移插塞631的存在使得在半导体器件中增加了一个零电位的耗尽点,在漏极插塞621接入高电压时,使得漂移区110中的耗尽层的宽度增加,能够提高半导体器件的耐压,且不会形成较大的导通电阻,从而实现提高半导体器件的电性能。作为示例,转移接触孔630具有介于 $0.35\mu\text{m}\sim 0.6\mu\text{m}$ 的横向尺寸。

[0040] 在本实施例中,所述横向功率器件可以包括横向双扩散金属氧化物晶体管(LDMOS)。

[0041] 参阅图3及图5,本实施例还提供一种具有栅场板结构的横向功率器件的制备方法,可采用以下详述的制备方法制备本发明的具有栅场板结构的横向功率器件,但所述横向功率器件的制备方法局限于本实施例描述的具体材质及工艺步骤,在不背离本发明的发明构思的情况下能够实现以上所述横向功率器件结构的方法和/或工艺应当视为处于本发

明要求保护的范围之内。

[0042] 参见图3A,步骤1),提供一衬底,以及于所述衬底形成漂移区和沟道区。可以通过交替地执行光刻工艺和离子注入工艺以达成漂移区110和沟道区120的离子注入,随后执行阱推进和退火工艺于衬底内形成所需导电类型的漂移区和沟道区,其中衬底具有第一导电类型,漂移区可以具有与衬底的第一导电类型相反的第二导电类型。可以采用本领域常规使用的设备和/或工艺参数形成所述漂移区和沟道区,相关工艺的具体细节在此不作赘述。

[0043] 接着,进行步骤2),于衬底上形成平面场板结构。具体地,形成平面场板结构210的步骤可以包括:于所述衬底上沉积高温氧化物(HTO);对高温氧化物进行刻蚀,去除位于所述衬底的预定区域上的高温氧化物,以得到设置于漂移区110上的高温氧化物层212。作为示例,可以通过化学气相沉积(CVD)工艺和等离子体增强化学气相沉积(PECVD)工艺或类似沉积工艺形成所述高温氧化物,以及通过光刻工艺和湿法刻蚀工艺对所述高温氧化物进行刻蚀,其中在高温氧化物的光刻工艺中关键尺寸可达0.35微米。较佳地,高温氧化物可以包含 SiO_2 ,沉积的高温氧化物的厚度范围为 $800\text{\AA}\sim 1200\text{\AA}$,可以通过湿法刻蚀工艺采用对 SiO_2 具有高选择比的化学腐蚀液进行刻蚀,湿法腐蚀液例如是 H_3PO_4 溶液。

[0044] 进一步地,形成平面场板结构210的步骤还包括沉积介电材料以形成包围所述高温氧化物层的介电层;以及通过干法刻蚀工艺对高温氧化物层212顶部的介电材料层进行各向异性地刻蚀,以形成高温氧化物层212的介电侧墙214,如图3B所示,其中该介电侧墙214可以防止后续的多晶硅刻蚀的残留。具体地,刻蚀气体例如 Cl_2 和 CF_4 ,由于在高温氧化物层两边的介电材料在垂直方向较厚,在刻蚀相同厚度的情况下,拐角处的一些介电材料不能被刻蚀,由此形成介电侧墙。在本实施例中,介电材料层可以保形地沉积于高温氧化物层212的顶部和侧面,其中所述介电材料层包括氮化硅层,沉积的所述氮化硅层的厚度范围为 $300\text{\AA}\sim 500\text{\AA}$ 。

[0045] 参见图3C,步骤3),于所述衬底上形成栅结构。具体地,形成所述栅结构的步骤可以包括:邻接平面场板结构210而于衬底100上形成栅介质层312;以及于栅介质层312上形成栅电极层314。举例而言,栅介质层312为栅氧层,栅电极层314为多晶硅栅,所述栅氧层可以通过CVD工艺沉积或热氧化工艺形成。在进行栅氧材料的沉积工艺之前,可以对衬底100的表面预清洗,以防止杂质影响氧化物形成的质量;随后可以于衬底100的表面沉积栅氧材料层。具体地,可以通过光刻工艺将栅极掩膜版上的图案套刻到衬底表面的栅氧材料层,通过刻蚀工艺显露出凹槽,于凹槽底部的栅氧材料上形成多晶硅栅。

[0046] 步骤4),于所述沟道区内设置形成源区,以及于所述漂移区内形成漏区。作为示例,参见图3D,可以根据套刻的硬掩膜版通过离子注入工艺于漂移区110内形成漏区520,以及于沟道区120内形成源区510。具体地,可以通过微影技术和离子注入工艺依次形成源区510和漏区520,可以采用本领域常规使用的设备和/或工艺参数形成所述源区和漏区,相关工艺的具体细节在此不作赘述。可选地,在形成源区510和漏区520,可以执行快速热退火以修复离子注入造成的硅表面晶体损伤,激活离子注入的杂质。

[0047] 随后,进行步骤5),于所述衬底的表面形成第一金属硅化物层。具体地,参见图3E,通过自对准工艺于所述衬底上形成第一金属硅化物层410,在栅电极层314为多晶硅栅的示例中,可以通过自对准工艺在形成第一金属硅化物层410的同时于多晶硅栅上形成第二金属硅化物层420。由于该步骤采用自对准工艺,可以使用前一工序的掩膜。举例而言,第一金

属硅化物层410和第二金属硅化物层420可以为低阻的金属硅化物 $TiSi_2$ 。

[0048] 步骤6),形成层间介质层以及实现电性连接。可选地,在形成第一金属硅化物层410之后,所述制备方法还包括于第一金属硅化物层410和平面场板结构的裸露部分上沉积接触孔停止层800,所述接触孔停止层包含氮化硅或氮氧化硅材料。具体地,形成层间介质层600的步骤之后,于该层间介质层内形成多个接触孔,包括:根据光刻定义的图形区域进行刻蚀以形成贯穿层间介质层600和接触孔停止层800的源极接触孔610和漏极接触孔620,上述刻蚀工艺停止于第一金属硅化物410上,如图3F所示;在该工序中,第一金属硅化物的耗尽量可达 $100\text{\AA}\sim 400\text{\AA}$ 。在本实施例中,于形成源极插塞611和漏极插塞621的同时形成转移插塞631,包括:根据光刻定义的图案进行刻蚀以贯穿层间介质层600形成转移接触孔630,其中转移接触孔630底部显露出平面场板结构210,所述转移接触孔具有在 $0.35\mu\text{m}\sim 0.6\mu\text{m}$ 范围内的横向尺寸。随后,通过涂覆工艺于多个接触孔中填充金属,以形成金属插塞,如图3G所示。所述涂覆工艺可以包括电镀工艺、物理气相沉积、化学气相沉积或其他沉积工艺。

[0049] 于步骤7),对本实施例和对比例的LDMOS器件的静态特性参数进行仿真分析,图4A和4B显示出TCAD内仿真出的LDMOS器件结构及其对应的LDMOS器件源漏击穿电压的状态下电势分布图,由图4A和4B可知,在本实施例中LDMOS器件的场板覆盖区域内电势分布变化平缓,电场分布较为均匀,相较于对比例的LDMOS器件,本实施例中器件的耗尽区边界的曲率半径明显减小。结合图5的图表可知,本实施例与对比例的LDMOS器件具有的击穿电压值接近,而与对比例的LDMOS器件相比本发明的实施例中的源漏导通电阻 R_{SPon} 明显降低。具体地,如图5的图表所示的仿真测试显示,对比例的LDMOS器件 R_{dson} 为 $8.7\text{ m}\Omega\cdot\text{mm}^{-2}$,而本实施例中 R_{dson} 为 $8.2\text{ m}\Omega\cdot\text{mm}^{-2}$;即,本实施例在击穿电压略有提升(32V)的情况下,导通电压明显降低。

[0050] 综上所述,本发明提供的具有栅场板结构的横向功率器件及其制备方法,具有以下有益效果:

本发明提供的所述横向功率器件中,平面场板结构的底面不低于栅介质层的底面,且具有平缓的剖面,使得场板覆盖区域内电势分布变得平缓;还避免了有源区的离子注入浓度受到的影响,有利于提高器件的质量。

[0051] 本发明提供的具有栅场板结构的横向功率器件的制备方法中,通过沉积工艺于衬底表面形成平面场板结构,而无需硅衬底的热氧化工艺,避免了对衬底表面侵入及其造成的损伤,所述制备方法具有工艺简单、可操作性强等优势。

[0052] 所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0053] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

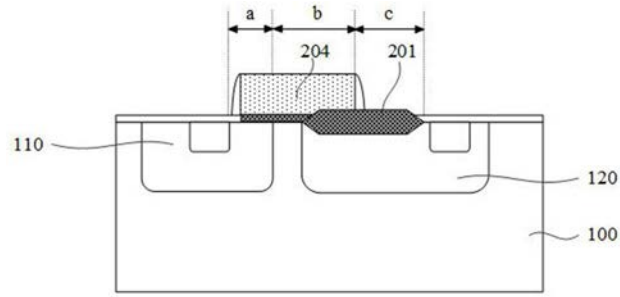


图1

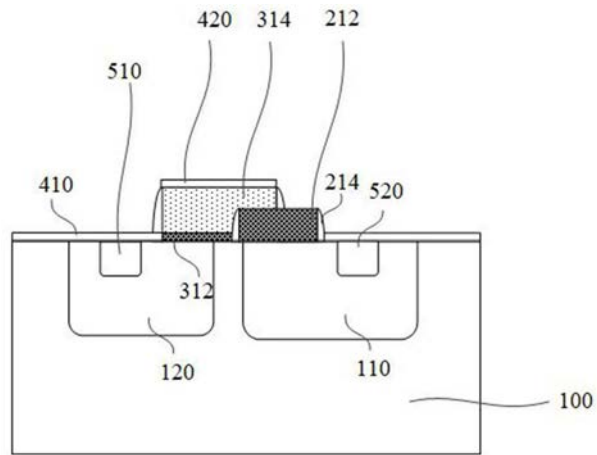


图2

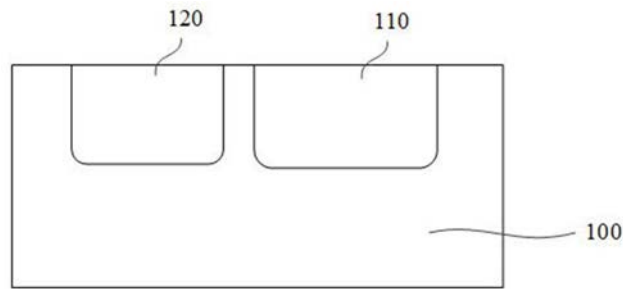


图3A

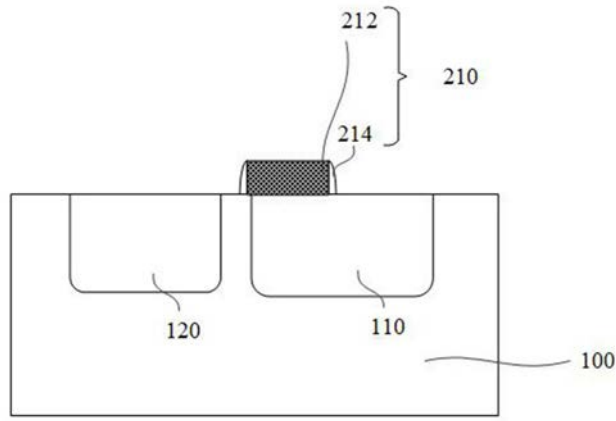


图3B

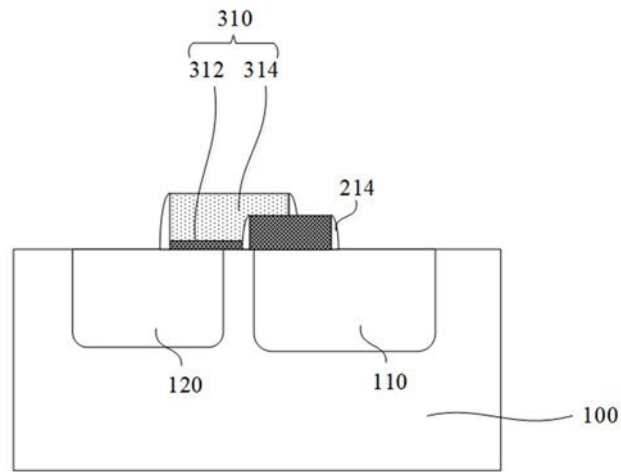


图3C

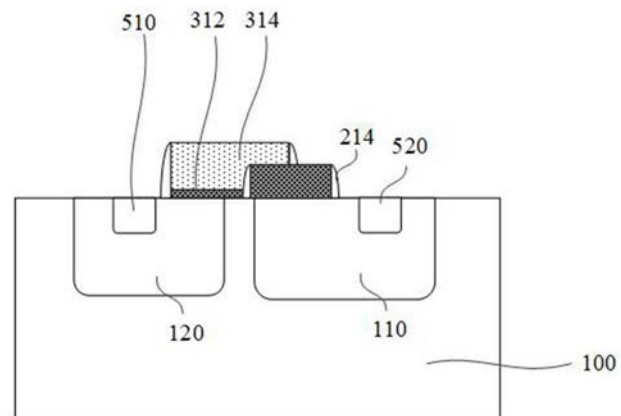


图3D

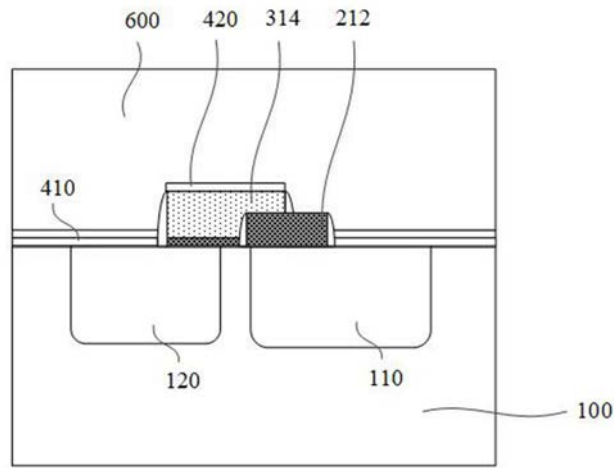


图3E

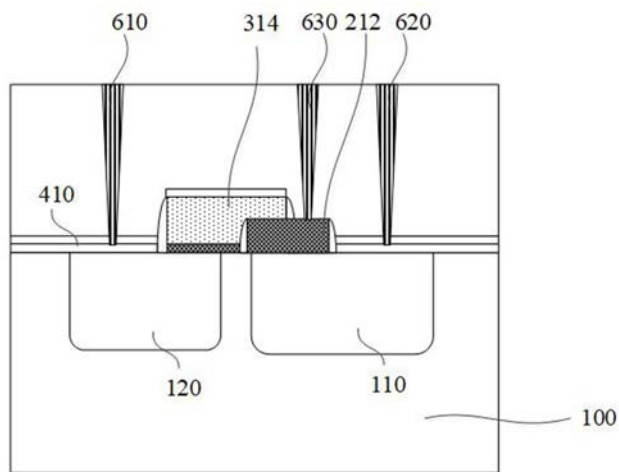


图3F

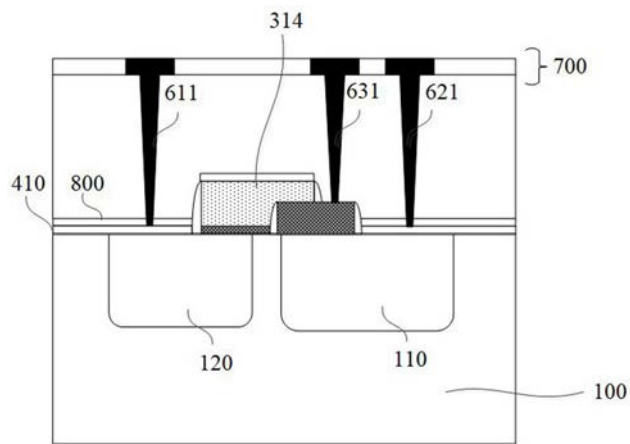


图3G

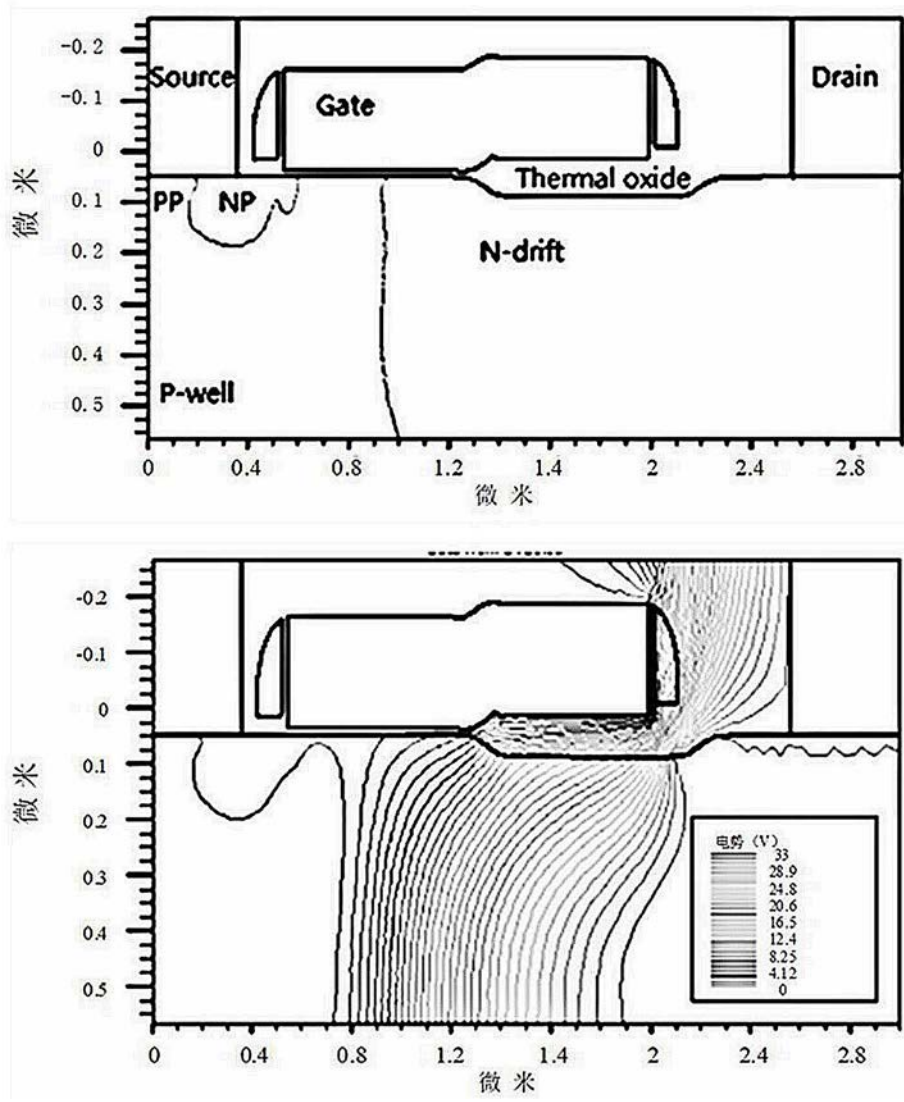


图4A

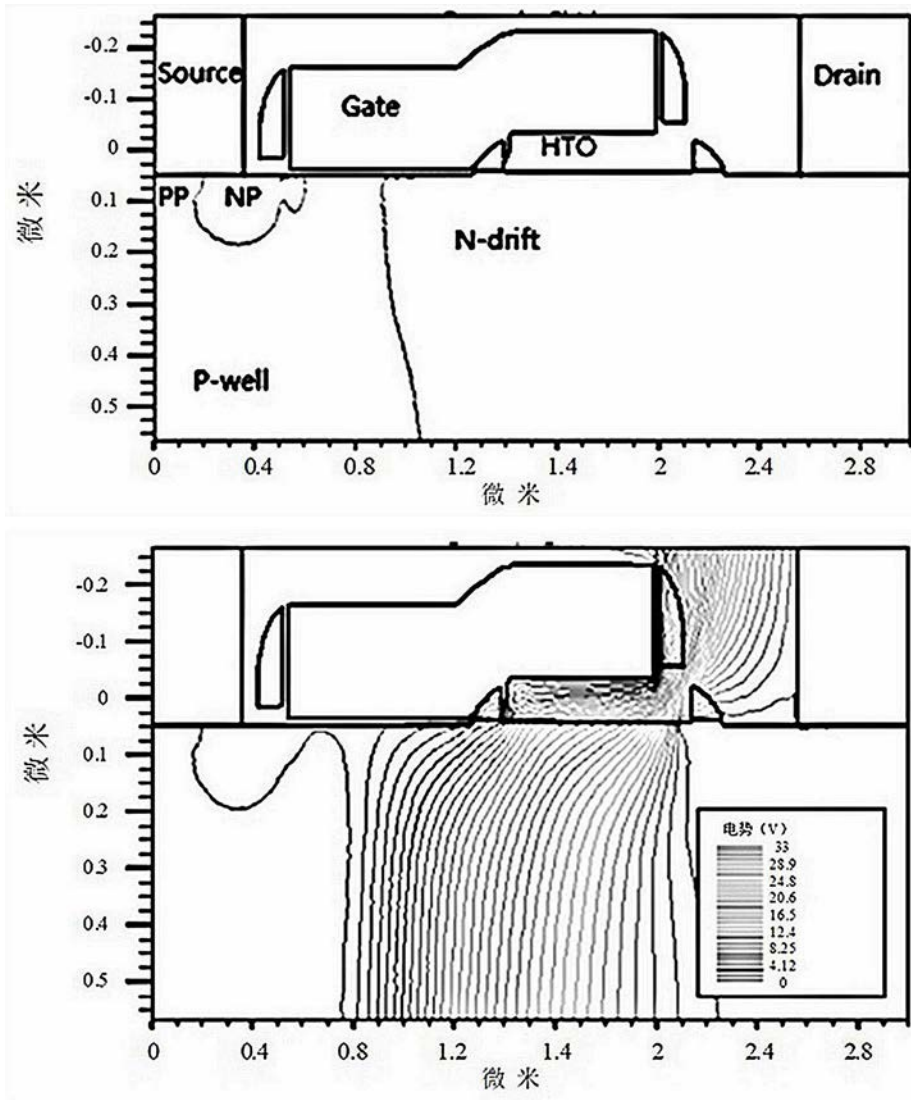


图4B

↔	导通电阻 (R_{dson}) ↔	击穿电压 (BV) ↔
单位↔	$m\Omega \cdot mm^{-2}$ ↔	V↔
对比例↔	8.7↔	31↔
实施例↔	8.2↔	32↔

图5