

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 011 119

②1 N° d'enregistrement national : **13 59101**

⑤1 Int Cl⁸ : **H 01 L 21/336 (2013.01), H 01 L 29/786**

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 23.09.13.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 27.03.15 Bulletin 15/13.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES — FR.

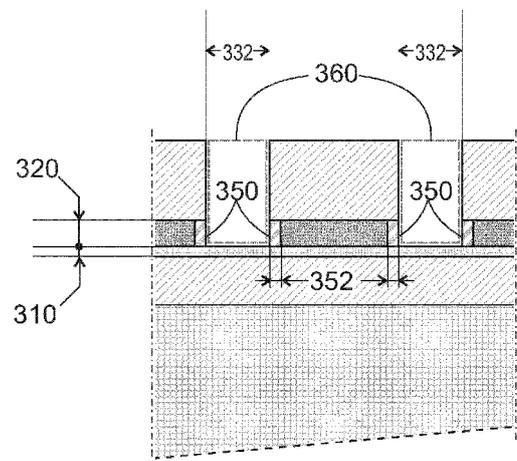
⑦2 Inventeur(s) : FENOUILLET-BERANGER CLAIRE et BATUDE PERRINE.

⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES.

⑦4 Mandataire(s) : CABINET HAUTIER.

⑤4 PROCEDE DE REALISATION D'UN TRANSISTOR.

⑤7 L'invention concerne un procédé de réalisation d'un transistor. On réalise la grille du transistor après avoir réalisé des électrodes de source et drain du transistor. A partir d'un substrat ayant un empilement de couches comprenant au moins deux couches superficielles avec une première couche (310) d'un premier matériau semi-conducteur destinée à réaliser un canal de conduction du transistor, et une deuxième couche (320), d'un deuxième matériau semi-conducteur située sur la première couche (310) et destinée à réaliser au moins en partie les électrodes de source et drain du transistor, la formation d'un masque de définition d'une cavité d'un motif de grille et la création d'évidements latéraux (346) à la périphérie du motif de grille dans la deuxième couche (320) et sous le masque par une gravure isotrope du deuxième matériau, et en ce qu'il comprend un remplissage des évidements latéraux (346) par un matériau diélectrique, de sorte à y former des espaceurs de grille (350).



FR 3 011 119 - A1



DOMAINE TECHNIQUE DE L'INVENTION

La présente invention concerne en général la réalisation de transistors pour circuits intégrés et décrit plus particulièrement un procédé amélioré, où l'on réalise la grille en dernier, et qui permet de contrôler efficacement des dimensions critiques de ces transistors. Elle trouvera une application préférentielle pour des transistors à effet de champs de type MOSFET sur substrat silicium sur isolant, à désertion complète de leur canal de conduction (souvent dénommés par l'acronyme FDSOI) avec un procédé d'intégration froid sans étape d'épitaxie source/drain par exemple pour les applications tridimensionnelles séquentielles.

ÉTAT DE LA TECHNIQUE

L'intégration toujours croissante d'un plus grand nombre de composants élémentaires dans les circuits intégrés produits par l'industrie de la microélectronique conduit à devoir continûment réduire leur taille. La loi dite de Moore, qui veut qu'un doublement de l'intégration soit observé tous les deux ans, continue de s'appliquer en dépit de difficultés toujours plus grandes auxquelles il faut faire face pour fabriquer des composants dont les dimensions se mesurent désormais en nanomètres (où nm = 10⁻⁹ mètres).

On sait que le composant de base typique d'un très grand nombre de circuits intégrés est un transistor de structure métal-oxyde-semiconducteur ou MOS, de type à effet de champs ou FET, acronyme de l'anglais « field effect transistor ». Dans un transistor MOSFET on fait circuler un courant entre une électrode « source » et une électrode « drain » sous le contrôle d'une « grille » de commande qui crée un canal de conduction entre source et drain dès qu'une tension suffisante y est appliquée.

La **figure 1** montre une vue en coupe d'un transistor MOSFET 100 caractéristique de l'art antérieur. Il est courant que les circuits intégrés actuellement en production soient réalisés à partir de substrats élaborés de type dit SOI, acronyme de l'anglais « silicon on insulator », c'est-à-dire « silicium sur isolant » et plus généralement « semi-conducteur sur isolant ». Dans la figure 1 on retrouve le substrat SOI 110 d'origine qui est constitué d'un substrat initial 112, le plus souvent une tranche homogène de silicium, et d'une

couche d'oxyde enterrée 114 qui assure l'isolation des composants qui seront fabriqués dans la fine couche superficielle 116 de semi-conducteur présente sur la couche enterrée. La couche superficielle 116 est constituée le plus souvent de silicium monocristallin mais peut être constituée d'un autre matériau semi-conducteur.

5 On notera que l'isolation de chacun des transistors 100 est complétée par la réalisation de tranchées latérales d'isolation dites STI, acronyme de l'anglais « shallow trench isolation » c'est-à-dire « tranchées d'isolation peu profondes ». Elles atteignent la couche d'oxyde enterrée 114, et peuvent
10 s'étendre au-delà, pour englober chacun des transistors dans une couche continue d'oxyde. Ces tranchées, qui ne sont pas nécessaires à la compréhension de l'invention, ne sont pas représentées.

La structure de transistor MOSFET schématisée sur la figure 1 a été universellement employée et a permis pendant des années que la loi de Moore
15 puisse effectivement continuer de s'appliquer. Cette structure est notamment caractérisée, d'une part, par la présence d'espaceurs 130 entre les zones de source ou drain (S/D) 140 et celle de grille 120, d'autre part par la réalisation de S/D dits surélevés qui requièrent une croissance épitaxiale, par exemple de silicium monocristallin 142 à partir de la couche initiale 116.

20 Cette structure a permis, en dépit des réductions de taille qu'il fallait appliquer aux transistors pour augmenter la densité d'intégration, de maintenir voire d'améliorer leurs caractéristiques électriques en contrôlant, notamment, la résistance série 144 d'accès aux électrodes source et drain et celle sous l'espaceur, qui forment avec la capacité parasite de grille 135 une constante de
25 temps qui contribue à limiter la vitesse de commutation maximale de tout transistor et qu'il faut donc minimiser. La structure de la figure 1 a permis d'obtenir ce résultat. On notera qu'un rôle important joué par les espaceurs est qu'ils permettent aussi d'isoler électriquement les zones de source et drain de la grille.

30 La réalisation de cette structure se fait à l'aide d'une technique dite « gate first » de l'anglais « grille en premier » dans laquelle, comme le nom le suggère, on réalise tout d'abord l'électrode de grille sous la forme d'un dépôt de couches qui vont constituer la grille 120 de chaque transistor. La définition des

motifs de grille est ensuite faite par photolithographie et gravure de ces couches. Chaque grille comprend deux couches essentielles : l'oxyde mince de grille 125 et la grille de commande 124 proprement dite. Cette dernière a longtemps été faite de silicium polycristallin conducteur qui joue le rôle du métal dans la structure MOS du transistor.

Ensuite, on réalise les espaceurs 130 sur les flancs de chaque motif de grille. Les espaceurs, fait généralement de nitrure de silicium, et la grille elle-même, vont servir à protéger le canal 180 lors de la formation qui suit des zones de source et de drain (S/D). Les espaceurs et les zones S/D se trouvent donc être auto alignées sur la grille qui a été définie en premier par photolithographie. On notera que ceci constitue un grand avantage du procédé « gate first » qui a permis à l'industrie de la microélectronique d'atteindre les tailles largement submicroniques des transistors actuels.

La formation des S/D qui suit comprend différentes étapes incluant une ou plusieurs opérations d'implantation de dopants et aussi une opération d'épithaxie localisée qui permet d'accroître l'épaisseur de ces zones dans le but de diminuer la résistance d'accès au canal pour les raisons mentionnées ci-dessus. On obtient ainsi des zones S/D surélevées, généralement désignées par l'acronyme RSD de l'anglais « raised S/D » qui a la même signification.

La structure de transistor de la figure 1 et le mode opératoire « gate first » se sont toutefois avérés insuffisants pour la réalisation de transistors MOSFET de taille décanométrique. La réduction de taille des transistors doit s'accompagner en effet d'une diminution simultanée de l'épaisseur de la couche isolante 125 faisant partie de la grille pour maintenir les mêmes performances électriques.

Traditionnellement faite d'oxyde de silicium (SiO_2), l'épaisseur requise est alors devenue tellement faible que des courants de fuite de grille trop importants sont apparus. Pour maintenir les performances électriques des transistors tout en maintenant de faibles courants de fuite, l'industrie de la microélectronique a dû avoir recours, pour la couche isolante 125, à des matériaux à forte permittivité. Dénommés « high-k », c'est-à-dire ayant un « haut coefficient » diélectrique par rapport à celui de l'air, l'utilisation de ces matériaux permet en effet que les performances électriques des transistors

puissent être maintenues sans développer de courant de fuite de grille significatif. Un tel matériau est par exemple l'oxyde d'hafnium (HfO_2) qui est cependant incompatible avec le silicium polycristallin utilisé pour la grille de commande 124. Il a donc aussi été nécessaire de le remplacer. Un sandwich

5 de couches standard utilisé actuellement pour les grilles de transistors de taille décanométrique remplace le silicium polycristallin par une couche métallique. Ce type de technologie est donc qualifié globalement des termes anglais de « high-k/metal-gate ».

Les conséquences du remplacement des matériaux formant le sandwich de grille par un sandwich de couches du type « high-k/metal-gate »

10 ne s'arrêtent cependant pas là. En particulier, la présence de métal dans le sandwich de couches formant la grille rend celle-ci difficilement utilisable comme masque de protection pour la formation des zones S/D comme le veut le procédé « gate-first » brièvement décrit ci-dessus. L'industrie de la

15 microélectronique s'est donc orienté simultanément vers l'utilisation d'un procédé dit « gate-last », de l'anglais « grille en dernier » dans lequel on réalise en effet la grille après formation des zones S/D en particulier pour que celle-ci n'ait pas à subir les températures élevées requises par le procédé « gate-first » pour la formation de ces zones comme expliqué plus haut.

20 La demande de brevet FR-A-2 880 190 décrit un procédé « gate-last » représentatif de cette technique. Comme montré sur la figure 2 issue de cette demande, le point de départ reste identique c'est-à-dire que les transistors sont réalisés là aussi à partir d'un substrat élaboré de type SOI 110. On y retrouve les mêmes couches que décrites ci-dessus. En particulier, comme

25 précédemment, le canal du transistor va être réalisé in fine dans la fine couche superficielle 116 faite d'un matériau semi-conducteur monocristallin présente à la surface du substrat SOI. Toutefois, la grande différence apportée par le procédé décrit dans cette demande, et dans les procédés « gate-last » en général, est que ce sont les zones S/D 240 qui sont d'abord réalisées. En

30 particulier l'épaississement 242 de la couche monocristalline 116 qui est, comme on l'a vu précédemment, nécessaire pour diminuer la résistance d'accès aux électrodes de drain et de source est effectué bien avant formation de la grille 220. De même, on retrouve des espaceurs 230 qui sont également

réalisés avant formation de la grille sur les flancs d'une cavité qui a été gravée dans les différentes couches formées au-dessus de la couche 116.

On notera ici que le procédé décrit dans FR-A-2 880 190 implique que la gravure de la cavité ci-dessus s'arrête préférentiellement très exactement
5 quand elle atteint la surface de la couche 116, afin de ménager complètement l'épaisseur de celle-ci, épaisseur qui a été définie très précisément lors des opérations de fabrication du substrat (SOI). Cette contrainte permet de préserver, comme dans la technique « gate-first », un mode très avantageux de fonctionnement des transistors où le canal, très mince et d'épaisseur
10 parfaitement contrôlée, peut être effectivement, sous l'action de la grille de commande, complètement déserté de porteurs, c'est-à-dire « fully depleted » (FD), vocable anglais qui est généralement utilisé pour désigner cet état. Ce type de transistor, qui présente de nombreux avantages notamment en termes de performance, est ainsi désigné par l'acronyme FDSOI.

15 Le procédé décrit dans la demande de brevet FR-A-2 880 190 se heurte toutefois à cette difficulté en ayant recours, pour former la cavité qui va recevoir la grille, à une gravure dite humide à partir d'une solution de « tetraMethyl ammonium hydroxide » ou TMAH dont il est difficile de contrôler la profondeur d'attaque sur des couches très minces. Par ailleurs, le contrôle de
20 l'angle des flancs inclinés 211 de la cavité est difficile. Ceci affecte directement une autre dimension critique (CD) des transistors qui est la longueur 221 du canal. Ces défauts vont entraîner une dispersion importante des caractéristiques électriques des transistors produits avec ce procédé qui pourrait être préjudiciable au bon fonctionnement des circuits les utilisant.

25 C'est donc un objet de l'invention que de décrire un procédé de type « gate-last » amélioré qui ne présente pas, au moins en partie, les inconvénients mentionnés ci-dessus.

Les autres objets, caractéristiques et avantages de la présente invention apparaîtront à l'examen de la description suivante et des dessins
30 d'accompagnement. Il est entendu que d'autres avantages peuvent être incorporés.

RÉSUMÉ DE L'INVENTION

Suivant un premier aspect, l'invention est relative à un procédé de réalisation d'un transistor à effet de champs dans lequel on réalise la grille du transistor après avoir réalisé des électrodes de source et drain du transistor, comprenant : à partir d'un substrat ayant un empilement de couches comprenant au moins deux couches superficielles avec une première couche d'un premier matériau semi-conducteur, ladite première couche étant destinée à réaliser un canal de conduction du transistor, et une deuxième couche, d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, située sur la première, ladite deuxième couche étant destinée à réaliser au moins en partie les électrodes de source et drain du transistor, la formation d'un masque de définition d'une cavité d'un motif de grille et la formation d'une cavité de création d'un motif de grille dans la deuxième couche, caractérisé en ce qu'il comprend, la création d'évidements latéraux à la périphérie du motif de grille dans la deuxième couche et sous le masque par une gravure isotrope du deuxième matériau, et en ce qu'il comprend un remplissage des évidements latéraux par un matériau diélectrique, de sorte à y former des espaceurs de grille.

Un autre aspect de l'invention est un transistor à effet de champs de type semi-conducteur sur isolant, ayant un empilement de couches comprenant :

- au moins deux couches superficielles avec une première couche d'un premier matériau semi-conducteur, ladite première couche comprenant un canal de conduction du transistor, et une deuxième couche, d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, située sur la première, ladite deuxième couche comprenant au moins en partie des électrodes de source et drain du transistor,
- une grille formée au moins en partie dans une cavité d'un motif de grille dans la deuxième couche ;
- des espaceurs de grille en un matériau diélectrique autour de la grille ;

caractérisé en ce que les espaceurs de grille sont au moins en partie formés par des espaceurs de grilles situés dans des évidements latéraux dans la

deuxième couche, à la périphérie de la grille, les évidements latéraux étant délimités par des flancs droits de la grille suivant l'épaisseur de la deuxième couche et par la première couche.

Un autre aspect de l'invention est un dispositif microélectronique
5 comportant une pluralité de transistors.

Suivant un aspect de l'invention, on décrit un transistor et/ou un dispositif microélectronique obtenu par le procédé de l'invention.

BRÈVE DESCRIPTION DES FIGURES

10 Les buts, objets, ainsi que les caractéristiques et avantages de l'invention ressortiront mieux de la description détaillée de modes de réalisation de cette dernière, illustrés par les dessins d'accompagnement suivants dans lesquels :

- La figure 1 illustre un transistor MOSFET de l'art antérieur réalisé à
15 l'aide d'un procédé « gate-first ».

- La figure 2 illustre un transistor MOSFET de l'art antérieur réalisé à l'aide d'un procédé « gate-last ».

- Les figures 3a à 3f illustrent des étapes du procédé de type « gate-last » selon l'invention.

20 - Les figures 4a et 4b illustrent une variante du procédé de l'invention dans laquelle la gravure de la cavité destinée à recevoir la grille est effectuée en deux étapes.

- Les figures 5a à 5c illustrent une autre variante de l'invention dans laquelle la deuxième couche de semi-conducteur nécessaire à la mise en
25 œuvre de l'invention n'est pas réalisée initialement dans le substrat SOI de départ.

- Les figures 6a et 6b illustrent une option applicable à la variante du procédé des figures 5a à 5C où la gravure de la cavité destinée à recevoir la grille est aussi effectuée en deux étapes.

30 - Les figures 7a à 7f décrivent encore une autre version du procédé de l'invention dans laquelle on part d'un substrat élaboré de type SOI dans laquelle on a créé une troisième couche superficielle d'un matériau semi-conducteur.

- Les figures 8a à 8d décrivent une autre version de l'invention dans laquelle on réalise les espaceurs en dernier.

Les dessins joints sont donnés à titre d'exemples et ne sont pas limitatifs de l'invention.

5

DESCRIPTION DÉTAILLÉE DE L'INVENTION

La description qui suit est donnée pour la réalisation d'un transistor à effet de champ, en particulier de type MOSFET. Elle est généralisable à la fabrication simultanée sur le substrat, de plusieurs transistors partageant en particulier une même couche de semi-conducteur pour former leurs canaux.

Dans le cadre de la présente invention, des termes tels que « sur » ou « au-dessus » ne signifient pas obligatoirement « au contact de ». Ainsi, par exemple, la présence d'un masque sur une couche ne signifie pas obligatoirement qu'ils sont en contact. Cela ne signifie pas non plus que l'élément situé au-dessus de l'autre le recouvre totalement.

Le terme « épaisseur » s'entend, à moins qu'il en soit disposé autrement, d'une dimension suivant l'épaisseur du substrat, par exemple perpendiculairement à un plan d'une surface du substrat. De même, le terme « largeur » s'entend, à moins qu'il en soit disposé autrement, d'une dimension perpendiculaire à l'épaisseur du substrat.

L'invention s'adresse à des dispositifs microélectronique. On entend par microélectronique notamment l'ensemble des techniques de microélectronique et de nanoélectronique. Les dispositifs que l'on peut former peuvent s'inscrire dans des systèmes du type systèmes micro-électro-mécaniques dits MEMS et/ou avec des fonctions optiques.

Avant d'entrer dans le détail de modes de réalisation de l'invention notamment en référence aux dessins, on énonce ci-après des options que l'invention peut présenter, individuellement ou selon toute combinaison :

- on ajuste le temps de la gravure isotrope du deuxième matériau pour atteindre une largeur prédéterminée des évidements latéraux ;
- on utilise du silicium comme premier matériau ;
- on utilise du silicium germanium SiGe comme deuxième matériau ;

- on utilise du silicium germanium SiGe comme premier matériau, la teneur en germanium du deuxième matériau étant supérieure à la teneur en germanium du premier matériau ;
- on utilise du silicium amorphe comme deuxième matériau ;
- 5 - la deuxième couche en silicium amorphe est déposée sur la première couche. (elle peut aussi ne pas être déposée si on part du silicium et qu'on amorphise la couche par implantation) ;
- la création des évidements latéraux est effectuée lors de la formation de la cavité ;
- 10 - le remplissage des évidements latéraux est effectué avant la formation de la grille ;
- le remplissage des évidements latéraux comprend un dépôt du matériau diélectrique dans la cavité et une gravure dudit matériau pour ne laisser en place celui-ci que dans les évidements latéraux ;
- 15 - la formation de la cavité dans la deuxième couche comprend, avant la gravure isotrope, une gravure anisotrope du deuxième matériau ;
- la gravure anisotrope est configurée pour préserver une épaisseur non nulle de la deuxième couche au niveau du motif de grille ;
- on utilise un substrat ayant un empilement de couches comprenant
- 20 en outre une troisième couche en un troisième matériau différent du deuxième matériau, située sur la deuxième couche, et le masque est formé au-dessus de la troisième couche de sorte à définir la cavité de motif de grille à la fois dans l'épaisseur de la deuxième couche et dans celle de la troisième couche, et, après la formation du masque
- 25 et avant la création du motif de grille dans la deuxième couche, on effectue une gravure d'un motif de grille dans la troisième couche comprenant une gravure isotrope du troisième matériau en formant une cavité de manière sélective relativement à la deuxième couche et configurée pour créer des évidements latéraux additionnels dans la
- 30 troisième couche, à la périphérie du motif de grille dans la troisième couche et sous le masque, et on effectue un remplissage des évidements latéraux additionnels par un matériau diélectrique, de sorte à y former des espaceurs de grille additionnels ;

- le remplissage des évidements latéraux additionnels comprend un dépôt du matériau diélectrique dans la cavité et une gravure dudit matériau pour ne laisser en place celui-ci que dans les évidements latéraux additionnels ;
- 5 - on ajuste le temps de la gravure isotrope du troisième matériau pour atteindre une largeur prédéterminée des évidements latéraux additionnels ;
- la gravure du motif de grille dans la troisième couche comprend, avant la gravure isotrope dans la troisième couche, une gravure 10 anisotrope du troisième matériau ;
- la gravure anisotrope du troisième matériau est configurée pour préserver une épaisseur non nulle de la troisième couche au niveau du motif de grille dans la troisième couche ;
- on forme éventuellement les espaceurs additionnels plus larges que 15 les espaceurs.
- on utilise des matériaux différents pour les espaceurs et pour les espaceurs additionnels ;
- on utilise du silicium germanium comme troisième matériau, la teneur 20 en germanium du troisième matériau étant supérieure à la teneur en germanium du deuxième matériau ;
- on forme un sandwich de couches formant la grille dans le motif de grille puis un retrait du masque ;
- après le retrait du masque, on forme des espaceurs supplémentaires en contact avec une partie de flanc libre de la grille ;
- 25 - après la formation de la cavité, on forme des espaceurs sacrificiels, par création d'une couche d'un matériau sacrificiel sur la paroi du flanc de la cavité, on forme la grille, on enlève du matériau sacrificiel de sorte à former un espace intercalaire à la place des espaceurs sacrificiels, on remplit l'espace intercalaire par un matériau 30 diélectrique qui remplit les évidements latéraux ;
- la création des évidements latéraux est réalisée entre l'étape d'enlèvement et l'étape de remplissage de l'espace intercalaire ;

- la création des évidements latéraux est réalisée lors de la formation de la cavité ;
- le procédé comprend un dopage de la première couche au travers de l'espace intercalaire entre l'étape d'enlèvement et l'étape de remplissage intercalaire ;
- 5 - il comprend aussi un enlèvement du masque après l'étape de remplissage de l'espace intercalaire et un dopage de la deuxième couche ;
- on utilise un substrat du type semi-conducteur sur isolant, le procédé étant configuré pour réaliser au moins un transistor MOSFET à désertion complète de son canal de conduction ;
- 10 - l'empilement de couches comporte une troisième couche en un troisième matériau différent du deuxième matériau, située sur la deuxième couche, et comportant des espaceurs additionnels situés dans des évidements latéraux additionnels dans la troisième couche, à la périphérie de la grille, les évidements latéraux additionnels étant délimités par des flancs droits de la grille suivant l'épaisseur de la
- 15 troisième couche et par la deuxième couche.

20 Les **figures 3a à 3f** illustrent les étapes du procédé de l'invention au cours desquelles on va réaliser des transistors MOSFET avec des espaceurs de taille contrôlée et des canaux d'épaisseur maîtrisée sur toute la surface d'un substrat.

25 La **figure 3a** illustre le point de départ du procédé de l'invention qui utilise un substrat élaboré de type SOI comme ceux que sait produire couramment l'industrie de la microélectronique.

30 Le substrat élaboré utilisé par l'invention comprend deux couches superficielles de matériaux semi-conducteurs de natures différentes. Une première couche 310 d'un premier matériau semi-conducteur 311 est préférentiellement créée lors de la fabrication du substrat élaboré 300 à la surface de la couche d'oxyde 114, déjà décrite précédemment, dite couche enterrée ou encore BOX, acronyme de l'anglais « buried oxide » qui a la même signification. Comme on l'a vu également, le tout repose sur un substrat

homogène 112, généralement fait de silicium, destiné à assurer une rigidité mécanique à l'ensemble. Il constitue le corps du substrat élaboré et est souvent désigné du terme anglais de « bulk » qui a une signification similaire.

5 Une deuxième couche 320 faite d'un deuxième matériau semi-conducteur 321, différent du premier, est ensuite créée lors de la réalisation du substrat élaboré 300.

On remarquera ici que l'invention décrite ci-après peut se mettre en œuvre autrement qu'à partir d'un substrat standard SOI sans restriction. La figure 3a est seulement un exemple simple destiné à illustrer l'invention. En particulier les couches 310 et 320 nécessaires à la mise en œuvre de l'invention peuvent avoir été transférées à la surface d'un autre dispositif qui a été préalablement fabriqué afin de constituer un empilement tridimensionnel (3D) de puces, le plus généralement pour la fabrication de micro dispositifs très denses combinant possiblement optique, mécanique et électronique.

15 Dans ce cas, l'empilement des couches fonctionnelles inférieures 305 et celui des couches supérieures 307 peuvent être typiquement assemblés par collage moléculaire à leur interface 309 lors du transfert. Les empilements de couches ainsi assemblés peuvent alors comprendre chacun une couche externe d'oxyde, par exemple de l'oxyde de silicium (SiO_2) généralement utilisé pour la couche enterrée 114. L'empilement supérieur 307 comprendra donc une
20 couche similaire 314.

Pour la mise en œuvre du procédé de l'invention, le premier matériau semi-conducteur 311 sera préférentiellement fait de silicium (Si), de germanium (Ge) ou d'un alliage de ces deux matériaux. Dénommés ci-après SiGe, silicium et germanium sont combinés dans des proportions diverses indiquées par un
25 pourcentage reflétant la proportion de germanium dans l'alliage. Par exemple, la dénomination SiGe 20% indique un alliage contenant une proportion de 20% d'atomes de germanium. Tous les autres matériaux semi-conducteurs connus, homogènes ou composites, sont aussi susceptibles d'être utilisés.

30 La première couche de matériau semi-conducteur va servir, comme on va le voir plus loin, à former le canal des transistors qui seront généralement de type FDSOI comme décrit dans le chapitre sur l'état de la technique.

L'épaisseur de cette couche sera par exemple typiquement comprise entre 3 et 10 nm.

Le deuxième matériau semi-conducteur 321 peut être choisi dans la même liste de matériaux que ceux constituant possiblement le premier matériau 311. La seule contrainte est, comme on l'a vu, que les deux matériaux soient différents, de sorte à permettre une sélectivité d'attaque entre les deux couches 310, 320. La deuxième couche 320 est avantageusement plus épaisse et est typiquement comprise entre 10 et 17 nm. La deuxième couche sert essentiellement à l'épaississement des zones S/D comme discuté dans le chapitre sur l'état de la technique pour améliorer les résistances d'accès à ces électrodes. Cette couche peut faire l'objet d'un dopage, en particulier in situ, par implantation ou diffusion. On peut doper soit la totalité de l'épaisseur de la deuxième couche, soit une partie superficielle seulement. Dans le premier cas, on cherchera préférentiellement à éviter le dopage de la première couche, à l'endroit du canal de transistor (on peut par exemple à cet effet réaliser le dopage après masquage de la zone des première et deuxième couches au droit de la zone du canal). On peut aussi réaliser, comme décrit ultérieurement plus en détail, des parties sacrificielles ensuite gravées. Ensuite on plante les source / drain puis on dépose le masque dur. On planarise jusqu'au sommet de la grille. On vide la grille et on se retrouve avec une cavité et on peut opérer des étapes similaires à celles décrites dans le mode de réalisation sans grille sacrificielle.

La couche peut aussi être dopée in-situ dès le départ mais cette variante de l'invention est moins favorable car on risque d'avoir de la diffusion dans le canal.

La **figure 3b** montre le dépôt d'un « masque dur », souvent désigné par son acronyme HM de l'anglais « hard mask » sous la forme, dans cet exemple d'une couche 330 d'oxyde de silicium (SiO_2). Des ouvertures y sont pratiquées d'une façon conventionnelle par photolithographie puis gravure du masque dur. Ces opérations définissent les motifs de grille des transistors MOSFET.

La **figure 3c** montre le résultat de la gravure dans la deuxième couche 320 des cavités 340 destinées à contenir les grilles qui vont ensuite être formées dans celles-ci comme c'est le cas dans un procédé « gate-last ».

La gravure 342 utilisée pour cette opération est de type isotrope ; elle s'opère préférentiellement dans une solution acide, par exemple à base d'acide chlorhydrique (HCl). La gravure se fait dans toutes les directions et en particulier latéralement sur toute la périphérie des motifs définis dans le masque dur. De ce fait, les représentations données par les dessins doivent être comprises comme étant schématiques quant à la forme des flancs gravés, figurée par des segments droits. En effet, l'attaque chimique produira plutôt des profils de limite de gravure curviligne, et particulièrement en arc de cercle.

Dans l'exemple de la figure 3c les matériaux utilisés sont, pour la première couche 310 et la deuxième couche 320, respectivement, du SiGe 20% et du SiGe 40%. La sélectivité de gravure de la solution utilisée (HCl), c'est-à-dire le différentiel de gravure entre des alliages SiGe contenant une proportion différente de germanium, est très grande. Par exemple, pour une même solution de gravure et un temps identique on a constaté expérimentalement une gravure de 760 nm dans du SiGe 40%, une gravure de 270 nm dans du SiGe 30% et aucune gravure notable dans du SiGe 20%. La première couche 310 faite de SiGe 20% constitue donc en pratique une couche d'arrêt de la gravure dans le sandwich de couches 310 et 320. La gravure est d'une manière générale considérée comme sélective si elle attaque un matériau sans significativement attaquer un autre matériau.

La couche 310, qui va constituer le canal des transistors MOSFET, est ainsi préservée, préférentiellement complètement. L'épaisseur du canal des transistors va donc alors correspondre strictement à l'épaisseur de la première couche de matériau semi-conducteur qui a été créée lors de la fabrication du substrat SOI de départ 300. Cette épaisseur est très bien contrôlée ce qui n'entraîne que peu ou pas de dispersion des paramètres électriques due à cette dimension critique (CD) qui conditionne le bon fonctionnement des transistors.

On notera que dans ces conditions on peut pratiquer une surgravure latérale de la cavité ce qui permet d'ajuster au mieux sa largeur 344 en créant des évidements latéraux 346 plus ou moins importants sous le masque dur. Ceux-ci ont donc une largeur (c'est-à-dire une dimension perpendiculaire à une dimension en épaisseur du substrat) d'une valeur au moins égale à l'épaisseur de la couche 320.

La **figure 3d** illustre l'étape du procédé où l'on vient remplir les évidements latéraux 346 créés dans la couche 320 par la gravure précédente. Ceux-ci vont constituer au moins en partie les espaceurs des transistors dont le rôle a été décrit précédemment.

5 Pour ce faire, on peut procéder à un dépôt classique d'un matériau diélectrique tel le nitrure de silicium (Si_3N_4) ou encore déposer un autre matériau isolant à faible permittivité généralement qualifié du terme anglais de « low-k », c'est-à-dire ayant un « faible coefficient » diélectrique (par rapport à la permittivité de l'air ou du vide). L'utilisation d'un tel matériau favorise
10 l'obtention de faibles capacités parasites entre les zones S/D et la grille ce qui contribue à améliorer les performances des transistors comme on l'a vu dans le chapitre sur l'état de la technique. Le dépôt de nitrure se fait de préférence sur une épaisseur qui est au moins égale à la moitié de la taille de la cavité afin d'être assuré que les évidements latéraux soient remplis complètement. On
15 procède ensuite à une gravure sèche anisotrope.

Cette gravure sèche du matériau déposé, nitrure ou matériau « low-k », laisse en place des espaceurs en bouchon 350 qui remplissent complètement les évidements latéraux. Leur largeur 352 est typiquement comprise entre 2 et 10 nm.

20 Le remplissage des évidements latéraux pour réaliser les espaceurs préserve la partie médiane des cavités 340, comme montré sur la figure 3c, qui ont été gravées dans la deuxième couche 320, c'est-à-dire les parties en regard des ouvertures 332 pratiquées dans le masque dur. Ces parties médianes restées libres forment alors, avec les ouvertures 332 dans le masque dur, des
25 tranchées 360 que l'on va pouvoir remplir notamment avec le sandwich de couches choisi, par exemple un sandwich de type « high-k/metal-gate », destiné à former les grilles des transistors.

La **figure 3e** montre le résultat de l'étape du procédé où l'on vient remplir les tranchées 360, définies par les flancs du masque dur et la partie
30 médiane des cavités, avec le sandwich de couches constituant la grille 370 des transistors. Les dépôts des matériaux correspondants peuvent se faire à basse température. Les opérations qui suivent n'altéreront pas les propriétés des couches déposées. Les dépôts des couches de grille se font préférentiellement

sur toute la surface des substrats jusqu'à combler complètement toutes les tranchées 360. Une opération d'enlèvement de matière telle celle, standard, de polissage mécano chimique de type CMP, acronyme de l'anglais « chemical mechanical polishing » est ensuite effectuée qui laisse une surface plane 334 et
5 les tranchées remplies avec le sandwich de couches formant les grilles. On notera ici que les procédés de type « gate-last » comme celui de l'invention parviennent ainsi à obtenir, comme les procédés « gate-first », un auto alignement des électrodes de source et drain avec celles de grille.

La **figure 3f** montre la structure des transistors après enlèvement de la
10 couche 330 qui a servi de masque dur pour la réalisation des grilles 370. L'enlèvement du masque dur permet, optionnellement, de procéder au dopage des zones source et drain, situées de part et d'autre des grilles 370, si cela n'a pas été fait avant comme expliqué dans la figure 3a. L'enlèvement du masque dur permet très avantageusement de procéder aussi à la siliciuration des zones
15 source et drain (S/D) afin d'obtenir un très bon contact électrique sur celles-ci.

La **figure 3g** montre la réalisation d'espaceurs supplémentaires 380 sur les flancs des grilles après enlèvement du masque dur comme expliqué dans la figure précédente. La réalisation de ces espaceurs peut se faire de façon conventionnelle, par exemple en procédant d'abord à un dépôt « pleine
20 plaque » de nitrure de silicium (SiN) et en effectuant ensuite les étapes habituelles d'un procédé CMOS standard jusqu'à ouverture des contacts dans les zones S/D et sur les grilles. On notera que les espaceurs 380 peuvent être réalisés dans un matériau différent de celui des premiers espaceurs 350. La réalisation des espaceurs 380, et les opérations qui suivent, peuvent
25 avantageusement bénéficier de toutes les améliorations qui ont été apportées dans les procédés pour la mise en œuvre de ces étapes. En particulier l'emploi de matériaux dits « stressés », c'est-à-dire de matériaux dont on s'arrange pour que leurs mailles cristallines soient légèrement contraintes, peut être envisagé afin d'améliorer les performances des transistors réalisés selon le procédé de
30 l'invention.

Les figures 3a à 3g décrivent des étapes du procédé de l'invention qui permettent, dans un procédé de type « gate-last », de créer des espaceurs de grille de taille contrôlée sans inconvénient pour la couche sous-jacente de semi-

conducteur destinée à former le canal des transistors et, notamment, sans altération de son épaisseur.

Le résultat présenté en figure 3g montre que les espaceurs 350 précisément délimités d'une part par la première couche 310, d'autre part par le flanc de la grille (c'est-à-dire une paroi suivant l'épaisseur de la deuxième couche 320, paroi avantageusement droite, c'est-à-dire parallèle à l'épaisseur de la deuxième couche), et enfin, par la matière restante de la deuxième couche 320. Ces espaceurs 350 ont avantageusement la même hauteur que la deuxième couche 320 et s'inscrivent donc efficacement comme isolant intercalaire.

Les **figures 4a et 4b** illustrent une variante du procédé de l'invention dans laquelle la gravure de la cavité 340, dans la deuxième couche 320 de semi-conducteur, est effectuée en deux étapes.

Comme montré sur la figure 4a, on procède tout d'abord à une première gravure anisotrope de la couche 320 qui préserve une épaisseur résiduelle 322, avantageusement non nulle, de cette couche sans attaquer les flancs de la cavité.

Comme montré sur la figure 4b, on procède ensuite à une gravure sélective isotrope 342 de la couche restante comme décrit pour le premier mode de réalisation par exemple en référence à la figure 3c.

L'avantage d'une gravure en deux étapes de la cavité 340 est que l'on peut alors réaliser des évidements 346 ayant une largeur 348 inférieure à la valeur de l'épaisseur de la couche 320. La largeur 348 a ainsi une valeur minimale correspondant à l'épaisseur 322 et une largeur maximale correspondant à l'épaisseur de la couche 320.

Les **figures 5a à 5c** illustrent une autre variante de l'invention dans laquelle la deuxième couche 320 n'est pas réalisée initialement dans le substrat SOI ou structure 3D 300 à partir desquels le procédé de l'invention s'applique. Seule la première couche 310 de matériau semi-conducteur est présente comme montré dans la figure 5a. Celle-ci est d'épaisseur plus ou moins importante, typiquement dans une gamme allant de 5 à 50 nm et est faite préférentiellement de silicium monocristallin.

Dans cette variante de l'invention la deuxième couche 320 est avantageusement faite de silicium amorphe 323 comme montré sur la figure 5b. Celui-ci peut être dopé pour accroître sa conductivité finale comme expliqué ci-après. L'emploi du silicium amorphe pour la deuxième couche est aussi possible dans d'autres modes de réalisation que celui des figures 5a à 5c.

La couche 320 en silicium amorphe 323 peut être réalisée par au moins l'une ou l'autre des deux méthodes ci-après.

– En partant d'une couche 310 dont l'épaisseur initiale est la somme des épaisseurs souhaitées pour chacune de ces couches on procède à une amorphisation par implantation ionique à partir de la surface de cette couche jusqu'à obtenir une couche de silicium amorphe de l'épaisseur souhaitée formant ainsi la deuxième couche 320 à partir de la première. Pour diminuer la rugosité de l'interface 313 entre le silicium amorphe et le silicium cristallin de la couche 310 on procède de préférence à une implantation à basse température, par exemple à une température inférieure à -100°C. L'épaisseur amorphisée est typiquement comprise dans une gamme allant de 5 à 50 nm. Elle laisse toujours en place une épaisseur non amorphisée, c'est-à-dire cristalline, correspondant à l'épaisseur du canal. Dans cette approche l'amorphisation de la couche 320 se fait avantageusement avec une implantation de germanium (Ge) suivie d'une implantation d'un dopant comme le bore (B) pour la réalisation d'un transistor à canal P, ou bien d'arsenic (As) ou de phosphore (P) pour un transistor à canal N. A ce stade la conductivité est très mauvaise car le silicium est amorphe. Après réalisation d'espaces selon l'invention et enlèvement du masque dur fait d'oxyde, on peut alors pratiquer un recuit de type SPER, acronyme de l'anglais « solid phase epitaxy regrowth » c'est-à-dire « recroissance épitaxiale en phase solide » qui vient recristalliser la couche amorphe tout en activant les dopants rendant ainsi cette couche conductrice.

– L'autre méthode consiste à partir d'une première couche 310 dont l'épaisseur a été choisie pour correspondre, comme précédemment, à l'épaisseur finale du canal des transistors. Dans ce cas l'épaisseur est avantageusement choisie dans une gamme allant 5 à 10 nm. On procède ensuite à un dépôt de silicium amorphe 323 sur la couche 310 pour former la couche 320. Ce dépôt est de type PVD, acronyme de l'anglais « physical vapor

deposition », ou CVD, acronyme de l'anglais « chemical vapor deposition », c'est-à-dire, respectivement, dépôt physique ou chimique en phase vapeur.

Comme montré dans la figure 5c, et déjà décrit précédemment dans la figure 3c, on va pouvoir y créer une cavité 340 par gravure sélective du silicium amorphe 323 dans ce cas. D'une manière similaire aux alliages de SiGe contenant différentes proportions de germanium, le silicium amorphe se grave beaucoup plus vite que le silicium cristallin qui constitue en pratique une couche d'arrêt pour une gravure sèche. On obtient donc, comme précédemment, des évidements latéraux 346 de taille contrôlée pour y réaliser les espaceurs de grille.

L'avantage de cette variante du procédé de l'invention est qu'elle permet de réaliser des zones S/D épaissies en silicium comme dans les procédés standard et permet simultanément la réalisation de transistors CMOs sur un même niveau si le canal de départ est fait de silicium.

Les **figures 6a et 6b** sont similaires à celles des figures 4a et 4b. Elles décrivent une gravure des cavités en deux étapes. La seule différence est le matériau constituant la couche 320 qui est du silicium amorphe dans ce cas. Les mêmes remarques et commentaires s'appliquent.

Les **figures 7a à 7f** décrivent encore une autre version du procédé de l'invention dans laquelle on part d'un substrat élaboré de type SOI dans lequel on a créé, comme montré dans la figure 7a, une troisième couche superficielle 730 d'un matériau semi-conducteur 731 encore différent des matériaux 311 et 321 utilisés respectivement pour la première 310 et deuxième couche 320. Comme précédemment, les couches ci-dessus peuvent avoir été transférées à la surface d'un dispositif tridimensionnel (3D) en cours de fabrication. Le matériau 731 de la troisième couche appartient par exemple à la liste des matériaux déjà définis pour les première et deuxième couches.

Par exemple, la couche 730 notamment d'une épaisseur typique de 10 nm pourra être faite de SiGe 40%. La couche 320, d'une épaisseur de 5 nm pourra être faite de SiGe 30% et la couche 310, servant à réaliser le canal des transistors, d'une épaisseur indicative de 5 nm, pourra être faite de silicium ou de SiGe 20%.

Comme décrit précédemment dans la figure 3b qui est similaire à la figure 7b, on commence par créer des ouvertures 332 dans une couche 330 formant un masque dur afin de définir les motifs des électrodes de grille des transistors MOSFET.

5 De manière similaire à ce qui a été décrit précédemment, comme montré dans la figure 7c, on crée tout d'abord dans la troisième couche de semi-conducteur 730 une cavité 740 par gravure sélective 742 de cette couche 730 à partir des ouvertures dans le masque dur. Comme précédemment, la couche sous-jacente faite d'un matériau semi-conducteur différent, c'est-à-dire
10 la deuxième couche 320 dans ce cas, sert d'arrêt à la gravure. La troisième couche peut faire l'objet ultérieurement d'un dopage, par exemple comme pour la deuxième couche 320.

La figure 7c résume les différentes étapes, avantageusement identiques à celles décrites dans les figures 3c et 3d, qui permettent la
15 formation d'un premier niveau d'espaceur dans la troisième couche 730. Comme précédemment, on crée donc des évidements 746 qui sont comblés avec un matériau diélectrique qui peut être spécifique à cette couche pour former un niveau supérieur d'espaceurs 750 dont on peut librement adapter la
taille.

20 La figure 7d résume les étapes déjà décrites dans les figures 3c et 3d, qui permettent la formation d'un second niveau d'espaceur cette fois, comme précédemment, dans la deuxième couche 320. On obtient donc dans cette variante du procédé un second niveau d'espaceurs 350 après gravure sélective 342 de la cavité 340 avec création d'évidements 346 qui sont comblés avec un
25 diélectrique possiblement différent de celui de la couche située au-dessus.

On notera que la taille des espaceurs et le diélectrique employé peuvent être adaptés indépendamment à chaque niveau laissant une grande liberté pour adapter les paramètres des transistors aux applications pour lesquelles ils sont conçus.

30 La figure 7e illustre les tranchées 760 obtenues à l'issue des opérations précédentes que l'on va venir combler pour former la grille des transistors comme décrit dans les figures 3d et 3e.

La figure 3f montre la structure obtenue après enlèvement du masque dur 330 à l'issue des opérations spécifiques au procédé de l'invention où l'on a obtenu la grille 370 des transistors. Les autres étapes standard qui suivent, notamment celles réalisant les interconnexions électriques entre transistors, ne sont pas autrement modifiées.

Le résultat présenté en figure 7f montre que les espaceurs 750 sont précisément délimités d'une part par la deuxième couche 320, d'autre part par le flanc de la grille (c'est-à-dire une paroi suivant l'épaisseur de la troisième couche 730, paroi avantageusement droite, c'est-à-dire parallèle à l'épaisseur de la troisième couche), et enfin, par la matière restante de la troisième couche 730. Ces espaceurs 750 ont avantageusement la même épaisseur que la troisième couche 730 et se trouvent en contact avec les espaceurs 350. Les espaceurs 750 sont préférentiellement plus larges que les espaceurs 350 de sorte à évaser, en direction de la surface du substrat, l'espaceur global ainsi formé.

Les **figures 8a à 8d** décrivent une autre version du procédé de l'invention dans laquelle on réalise les espaceurs en dernier.

Comme montré dans la figure 8a on réalise tout d'abord à partir de la structure comme décrite sur la figure 4a, en ayant toutefois gravé la couche 320 sur toute son épaisseur (comme en figure 3b), des espaceurs sacrificiels 810, par exemple en nitrure de silicium (SiN). Ces espaceurs sacrificiels 810 peuvent être produits par un dépôt (par exemple d'un nitrure de silicium) puis un retrait, notamment par gravure anisotrope, du matériau déposé en fond de cavité, de sorte à ne garder en place le matériau sacrificiel que sur la paroi de flanc de la cavité 340. La paroi de flanc s'entend de la paroi de la cavité ne comprenant pas la partie de fond de cavité se trouvant au niveau de la surface de la première couche 310). La paroi de flanc est donc dirigée suivant l'épaisseur des couches.

On peut alors procéder directement, comme décrit précédemment, au dépôt du sandwich de couches du type « high-k/metal-gate » formant la grille 370 des transistors.

Comme montré sur la figure 8b on procède ensuite, par gravure sélective (par exemple avec une gravure humide employant de l'acide

phosphorique dans le cas où les espaceurs sacrificiels 810 sont en nitrure de silicium), à l'enlèvement des espaceurs sacrificiels puis on forme dans la couche 320 les évidements 346 comme précédemment, par une gravure isotrope attaquant le matériau de la deuxième couche 320 latéralement. Si le
5 matériau de la deuxième couche 320 peut être gravé avec la même solution que le matériau des espaceurs sacrificiels 810, l'enlèvement et la formation des espaceurs peuvent être faits en une seule étape. Ce matériau peut être du SiGe par exemple.

On notera que la grille est déjà formée lors de la création d'évidements
10 346 dans ce mode de réalisation. Les espaceurs sacrificiels 810 auront permis la définition d'un espace intercalaire, entre grille d'une part, et flanc de deuxième couche 320 et de masque d'autre part, de sorte à localiser un dopage.

Dans une variante non illustrée de l'invention, les évidements latéraux
15 346 sont formés en début de procédé comme dans les exemples correspondant aux figures 3a à 7f, lors de la formation de la cavité 340. Cela permet par exemple de réaliser une seule étape de gravure isotrope pour creuser à la fois la cavité 340 et les évidements 346. Après formation de la grille 370, il ne reste plus qu'à enlever les espaceurs sacrificiels 810 et à effectuer le remplissage par
20 un matériau diélectrique pour créer les espaceurs de grille 350.

On peut en effet alors procéder à une implantation 820 dans le but de doper localement la couche semi-conductrice 310 qui sert à réaliser le canal des transistors. Cette opération permet de définir très précisément l'extension des zones de source et de drain et par conséquent la longueur du canal 830
25 des transistors.

La figure 8c illustre la structure obtenue après remplissage des espaceurs 840 avec le matériau définitif. On notera dans cet exemple que les espaceurs 840 comprennent une partie située dans les évidements latéraux 346 et correspondant aux espaceurs 350 ainsi qu'une partie s'étendant dans la
30 continuité de la première partie, au travers de l'épaisseur du masque. Cette deuxième partie a de manière avantageuse une moindre largeur que la première. Les espaceurs 840 ont ainsi une forme globale en L.

Comme montré sur la figure 8d on peut ensuite, comme précédemment, procéder à l'enlèvement du masque dur ce qui va permettre de doper par implantation 850 les zones de source et de drain situées de part et d'autre des grilles 370 et à leur siliciuration afin de diminuer les résistances d'accès à ces électrodes.

Le procédé de l'invention et les variantes décrites dans les figures précédentes permettent que l'épaisseur du canal des transistors puisse être bien maîtrisée sur toute la surface d'un substrat et que les dimensions des espaceurs et leur remplissage puissent être adaptés sans contrainte autre que l'obtention de performances optimales pour les transistors d'une application donnée.

REVENDEICATIONS

1. Procédé de réalisation d'un transistor à effet de champs dans lequel on réalise la grille (370) du transistor après avoir réalisé des électrodes de source et drain du transistor, comprenant : à partir d'un substrat (300) ayant un empilement de couches comprenant au moins deux couches superficielles avec une première couche (310) d'un premier matériau semi-conducteur, ladite première couche étant destinée à réaliser un canal de conduction du transistor, et une deuxième couche (320), d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, située sur la première couche (310), ladite deuxième couche (320) étant destinée à réaliser au moins en partie les électrodes de source et drain du transistor, la formation d'un masque de définition d'une cavité d'un motif de grille et la formation d'une cavité (340) de création d'un motif de grille (370) dans la deuxième couche, caractérisé en ce qu'il comprend la création d'évidements latéraux (346) à la périphérie du motif de grille dans la deuxième couche (320) et sous le masque par une gravure isotrope du deuxième matériau, et en ce qu'il comprend un remplissage des évidements latéraux (346) par un matériau diélectrique, de sorte à y former des espaceurs de grille (350).
2. Procédé selon la revendication précédente, dans lequel on ajuste le temps de la gravure isotrope du deuxième matériau pour atteindre une largeur prédéterminée des évidements latéraux (346).
3. Procédé selon l'une des revendications précédentes, dans lequel on utilise du silicium comme premier matériau.
4. Procédé selon l'une des revendications précédentes, dans lequel on utilise du silicium germanium SiGe comme deuxième matériau.
5. Procédé selon la revendication précédente, dans lequel on utilise du silicium germanium SiGe comme premier matériau, la teneur en germanium du deuxième matériau étant supérieure à la teneur en germanium du premier matériau.
6. Procédé selon l'une des revendications 1 à 3, dans lequel on utilise du silicium amorphe comme deuxième matériau.

7. Procédé selon la revendication précédente, dans lequel la deuxième couche (320) en silicium amorphe est déposée sur la première couche (310).

5 8. Procédé selon l'une des revendications précédentes dans lequel on effectue la création des évidements latéraux (346) lors de la formation de la cavité (340).

9. Procédé selon la revendication précédente dans lequel on effectue le remplissage des évidements latéraux avant formation de la grille (370).

10 10. Procédé selon la revendication 9, dans lequel le remplissage des évidements latéraux (346) comprend un dépôt du matériau diélectrique dans la cavité (340) et une gravure dudit matériau pour ne laisser en place celui-ci que dans les évidements latéraux (346).

11. Procédé selon l'une des revendications 8 à 10, dans lequel la formation de la cavité (340) dans la deuxième couche (320) comprend, avant la gravure isotrope, une gravure anisotrope du deuxième matériau.

12. Procédé selon la revendication précédente, dans lequel la gravure anisotrope est configurée pour préserver une épaisseur non nulle de la deuxième couche (320) au niveau du motif de grille.

20 13. Procédé selon l'une des revendications 8 à 12, dans lequel on utilise un substrat (300) ayant un empilement de couches comprenant en outre une troisième couche (730) en un troisième matériau différent du deuxième matériau, située sur la deuxième couche (320), dans lequel le masque est formé au-dessus de la troisième couche (730) de sorte à définir une cavité de motif de grille à la fois dans l'épaisseur de la deuxième couche (320) et dans
25 celle de la troisième couche (730), et dans lequel, après la formation du masque et avant la création du motif de grille dans la deuxième couche (320), on effectue une gravure d'un motif de grille dans la troisième couche (730) comprenant une gravure isotrope du troisième matériau en formant une cavité
30 (740) de manière sélective relativement à la deuxième couche (320) et configurée pour créer des évidements latéraux additionnels (746) dans la troisième couche (730), à la périphérie du motif de grille dans la troisième couche (730) et sous le masque, et dans lequel on effectue un remplissage des

évidements latéraux additionnels (746) par un matériau diélectrique, de sorte à y former des espaceurs de grille additionnels (750).

14. Procédé selon la revendication précédente dans lequel le remplissage des évidements latéraux additionnels (746) comprend un dépôt du matériau diélectrique dans la cavité (740) et une gravure dudit matériau pour ne
5 laisser en place celui-ci que dans les évidements latéraux additionnels (746).

15. Procédé selon l'une des deux revendications précédentes dans lequel on ajuste le temps de la gravure isotrope du troisième matériau pour atteindre une largeur prédéterminée des évidements latéraux additionnels
10 (746).

16. Procédé selon l'une des revendications 13 à 15 dans lequel la gravure du motif de grille dans la troisième couche (730) comprend, avant la gravure isotrope dans la troisième couche (730), une gravure anisotrope du troisième matériau.

15 17. Procédé selon la revendication précédente dans lequel la gravure anisotrope du troisième matériau est configurée pour préserver une épaisseur non nulle de la troisième couche (730) au niveau du motif de grille dans la troisième couche (730).

18. Procédé selon l'une des revendications 13 à 17 dans lequel on
20 forme les espaceurs additionnels (750) plus larges que les espaceurs (350).

19. Procédé selon l'une des revendications 13 à 18 dans lequel on utilise des matériaux différents pour les espaceurs (350) et pour les espaceurs additionnels (750).

20. Procédé selon l'une des revendications 13 à 19 en combinaison
25 avec la revendication 5 dans lequel on utilise du silicium germanium comme troisième matériau, la teneur en germanium du troisième matériau étant supérieure à la teneur en germanium du deuxième matériau.

21. Procédé selon l'une des revendications 8 à 20 comportant la formation d'un sandwich de couches formant la grille dans le motif de grille
30 (370) puis un retrait du masque.

22. Procédé selon la revendication précédente comportant, après le retrait du masque, une formation d'espaceurs supplémentaires (380) en contact avec une partie de flanc libre de la grille (370).

23. Procédé selon l'une des revendications 1 à 7, comprenant, après formation de la cavité (340) :
- formation d'espaceurs sacrificiels (810), par création d'une couche d'un matériau sacrificiel sur la paroi de flanc de la cavité (340) ;
 - formation de la grille (370) ;
 - enlèvement du matériau sacrificiel de sorte à former un espace intercalaire à la place des espaceurs sacrificiels (810);
 - remplissage de l'espace intercalaire par un matériau diélectrique, ledit remplissage remplissant les évidements latéraux (346).
24. Procédé selon la revendication précédente dans lequel la création des évidements latéraux (346) est réalisée entre l'étape d'enlèvement et l'étape de remplissage de l'espace intercalaire.
25. Procédé selon la revendication 23, dans lequel la création des évidements latéraux (346) est réalisée lors de la formation de la cavité (340).
26. Procédé selon l'une des revendications 23 à 25, comprenant un dopage de la première couche (310) au travers de l'espace intercalaire entre l'étape d'enlèvement et l'étape de remplissage de l'espace intercalaire.
27. Procédé selon la revendication 26, comprenant un enlèvement du masque après l'étape de remplissage de l'espace intercalaire et un dopage de la deuxième couche (320).
28. Procédé selon l'une des revendications précédentes dans lequel on utilise un substrat (300) du type semi-conducteur sur isolant, le procédé étant configuré pour réaliser au moins un transistor MOSFET à désertion complète de son canal de conduction.
29. Transistor à effet de champs de type semi-conducteur sur isolant, ayant un empilement de couches comprenant :
- au moins deux couches superficielles avec une première couche (310) d'un premier matériau semi-conducteur, ladite première couche (310) comprenant un canal de conduction du transistor, et une deuxième couche (320), d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, située sur la première couche (310), ladite deuxième couche (320)

comprenant au moins en partie des électrodes de source et drain du transistor,

- une grille (370) formée au moins en partie dans une cavité (340) d'un motif de grille dans la deuxième couche (320);
- 5 - des espaceurs de grille en un matériau diélectrique autour de la grille (370) ;

caractérisé en ce que les espaceurs de grille sont au moins en partie formés par des espaceurs de grille (350) situés dans des évidements latéraux (346) dans la deuxième couche (320), à la périphérie de la grille (370), les
10 évidements latéraux (346) étant délimités par des flancs droits de la grille (370) suivant l'épaisseur de la deuxième couche (320) et par la première couche (310).

30. Transistor selon la revendication précédente dans lequel l'empilement de couches comporte une troisième couche (730) en un troisième
15 matériau différent du deuxième matériau, située sur la deuxième couche (320), et comportant des espaceurs additionnels (750) situés dans des évidements latéraux additionnels (746) dans la troisième couche (730), à la périphérie de la grille (370), les évidements latéraux additionnels (746) étant délimités par des
20 flancs droits de la grille (370) suivant l'épaisseur de la troisième couche (730) et par la deuxième couche (320).

31. Transistor selon l'une des revendications 29 ou 30 obtenu par le procédé selon l'une des revendications 1 à 28.

32. Dispositif microélectronique comportant une pluralité de transistors selon l'une des revendications 29 à 31.

1/10 Art Antérieur

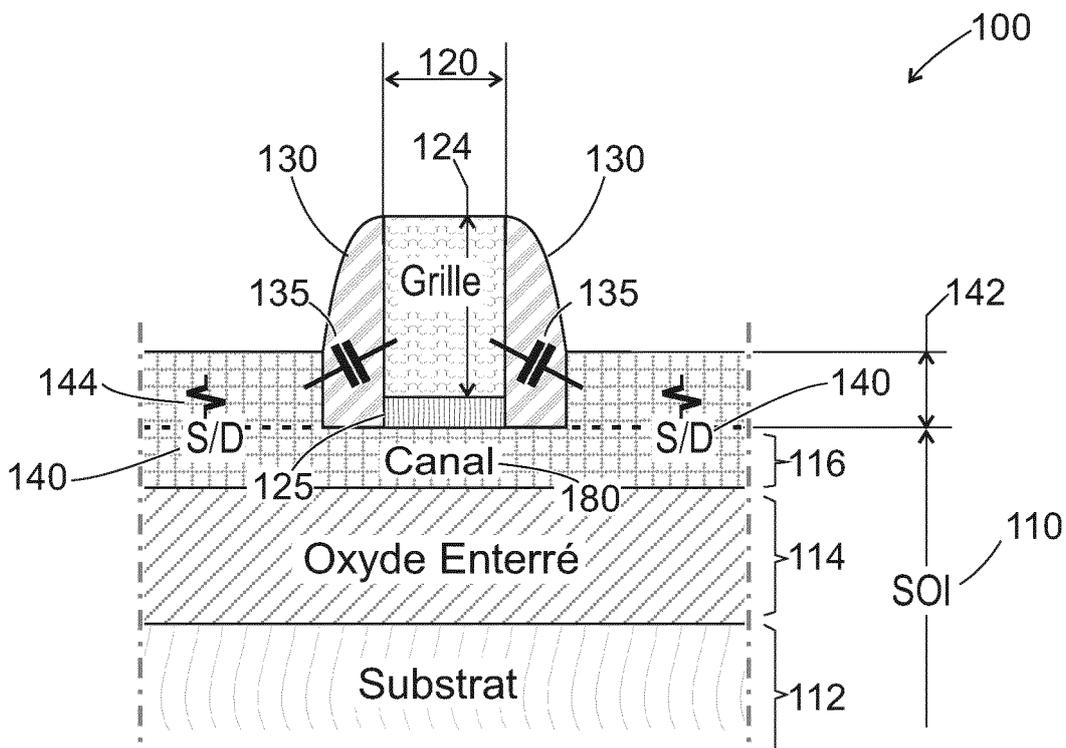


Figure 1

Art Antérieur

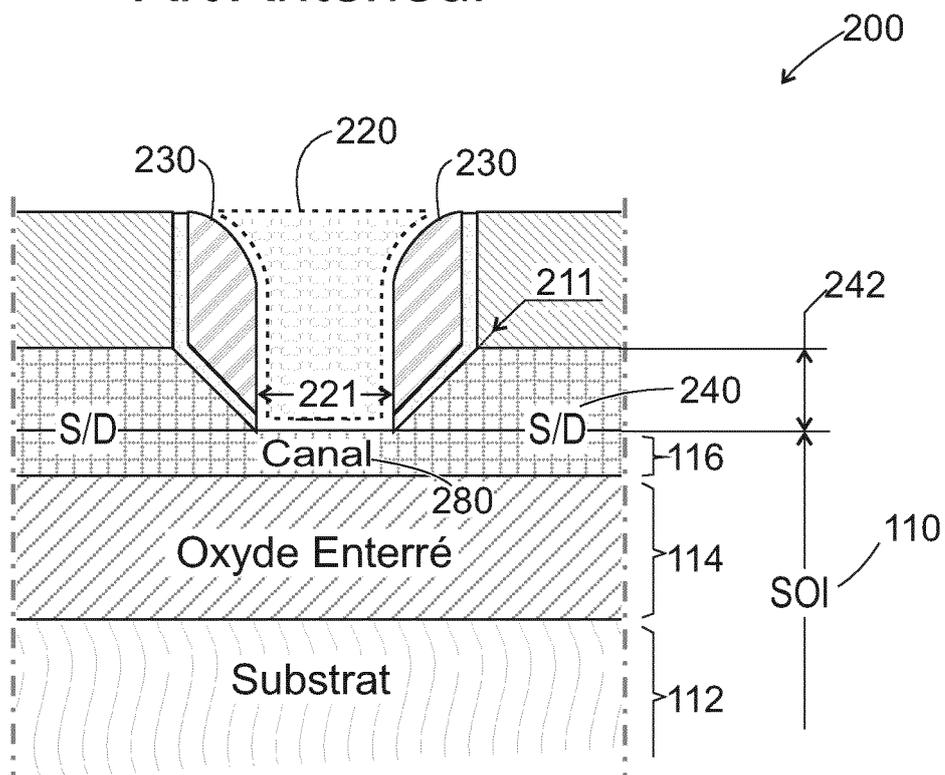


Figure 2

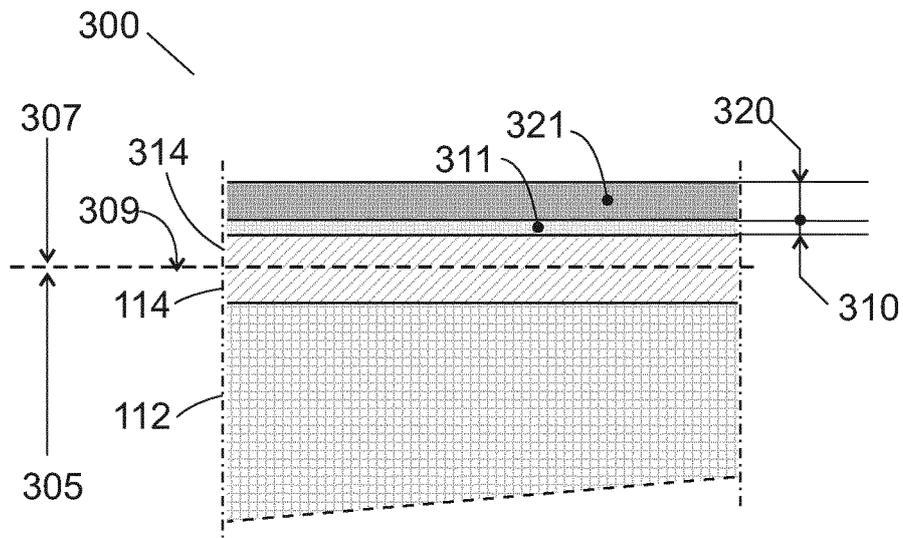


FIGURE 3a

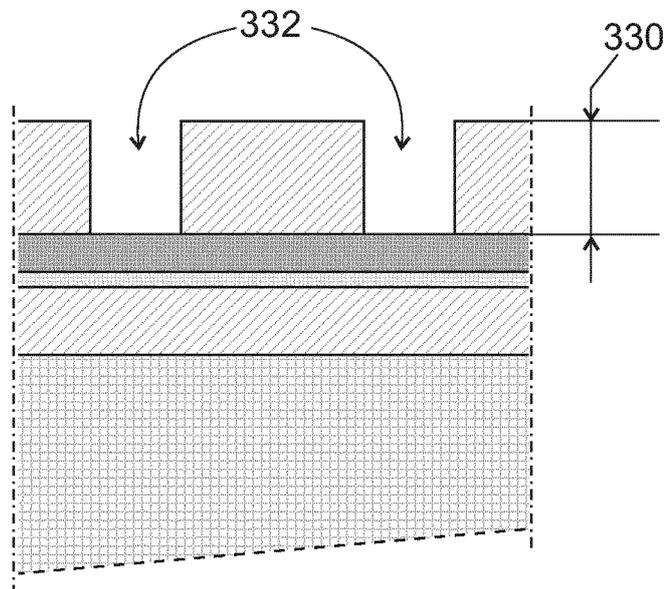


FIGURE 3b

3/10

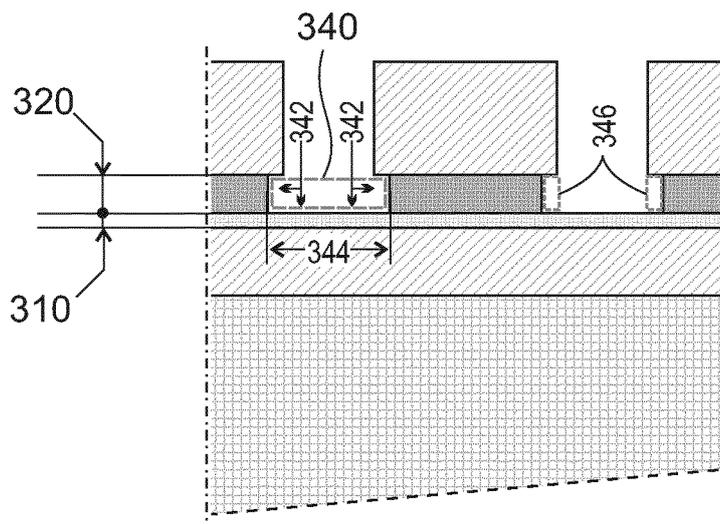


FIGURE 3c

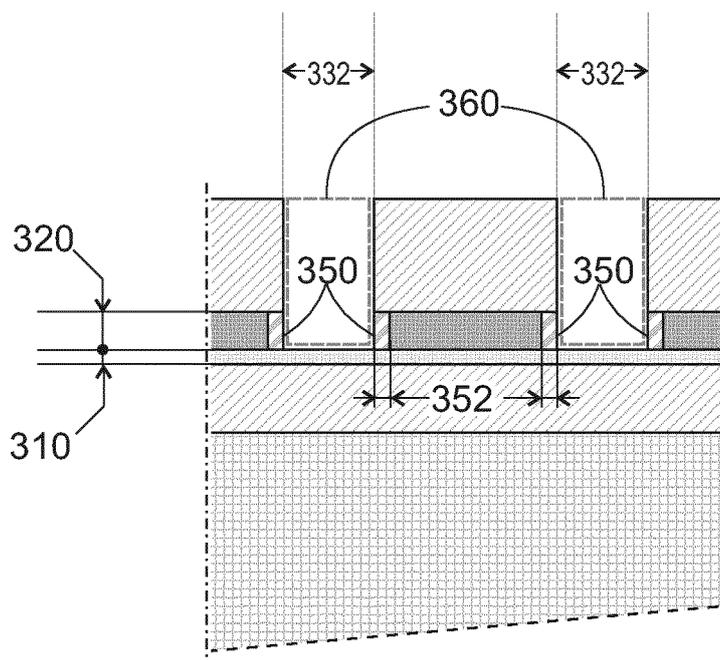


FIGURE 3d

4/10

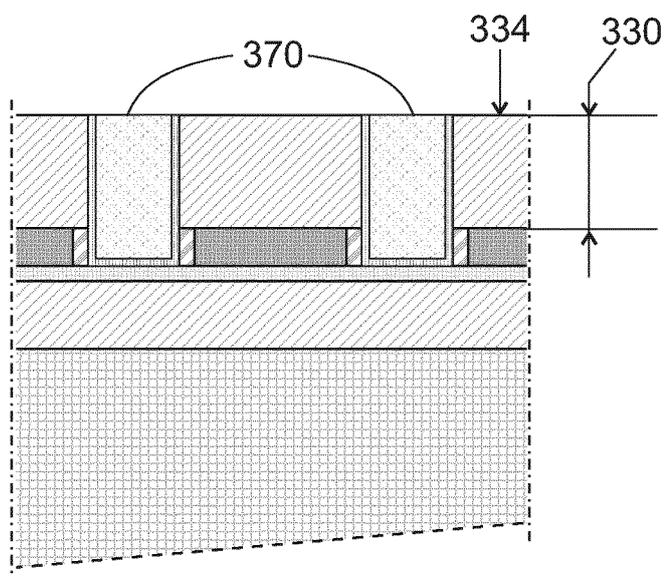


FIGURE 3e

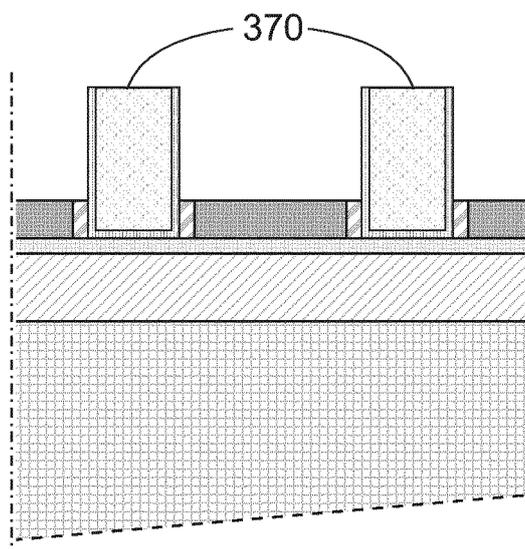


FIGURE 3f

5/10

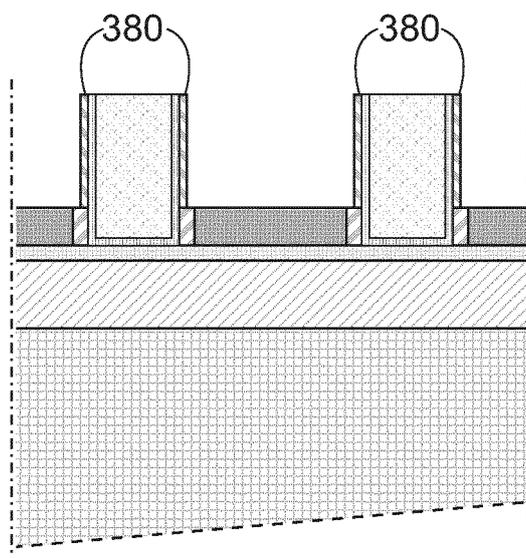


FIGURE 3g

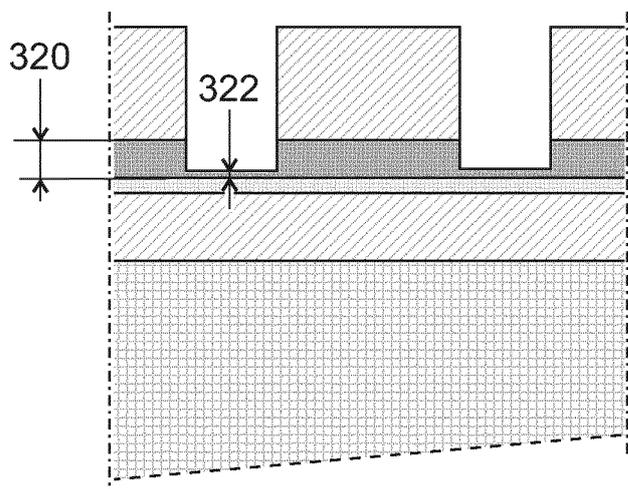


FIGURE 4a

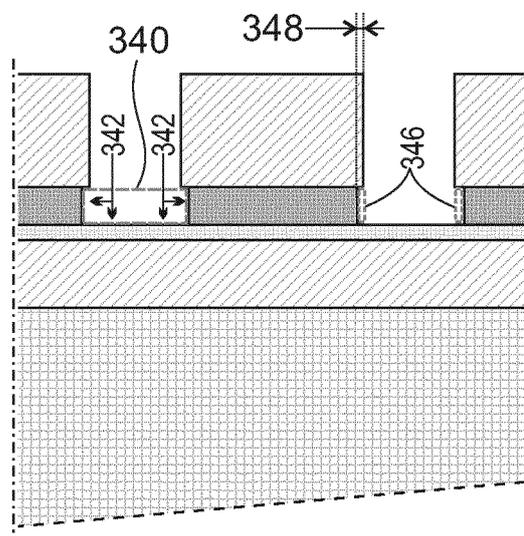


FIGURE 4b

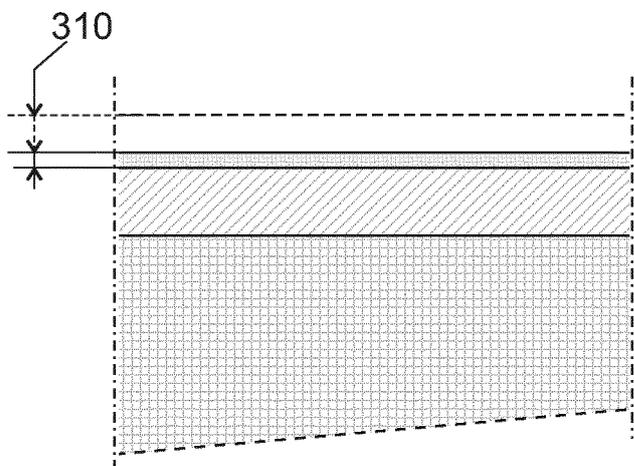


FIGURE 5a

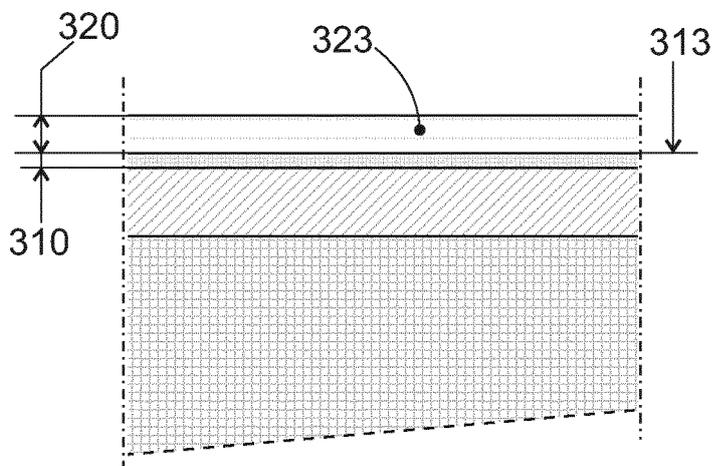


FIGURE 5b

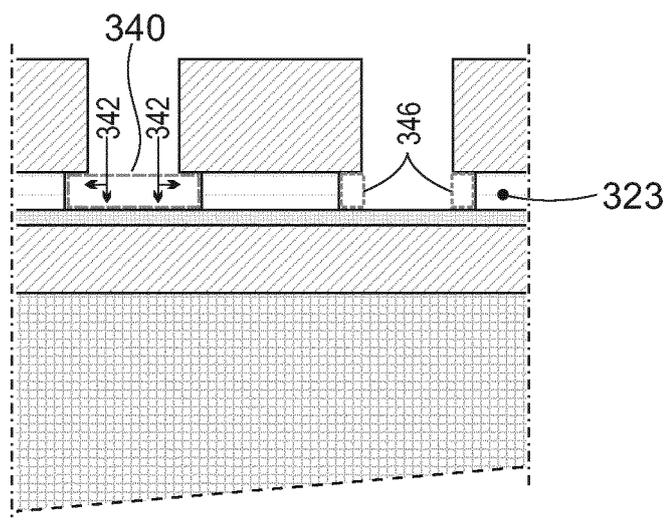


FIGURE 5c

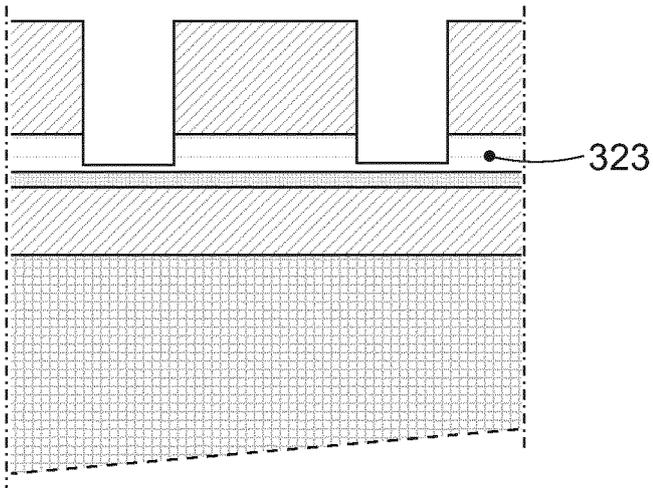


FIGURE 6a

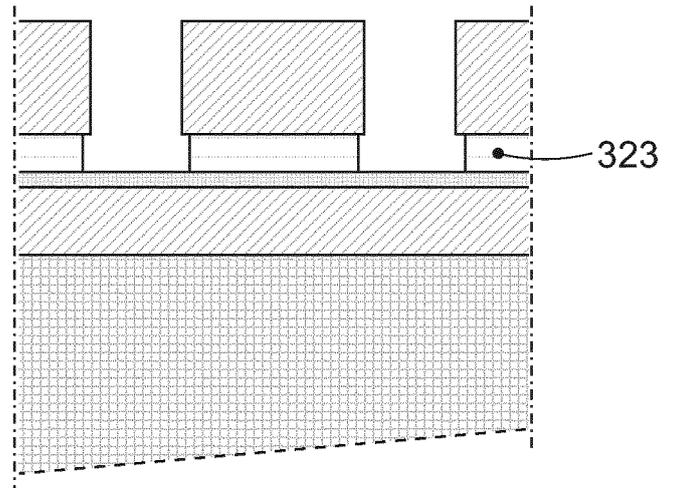


FIGURE 6b

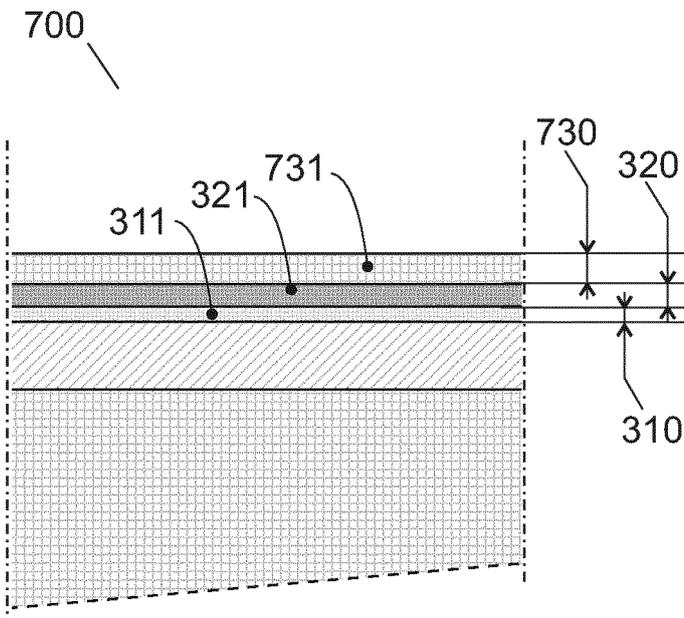


FIGURE 7a

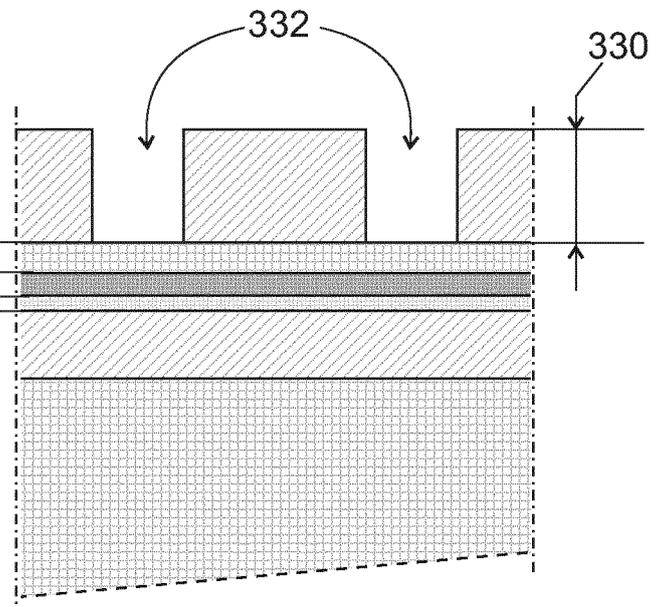


FIGURE 7b

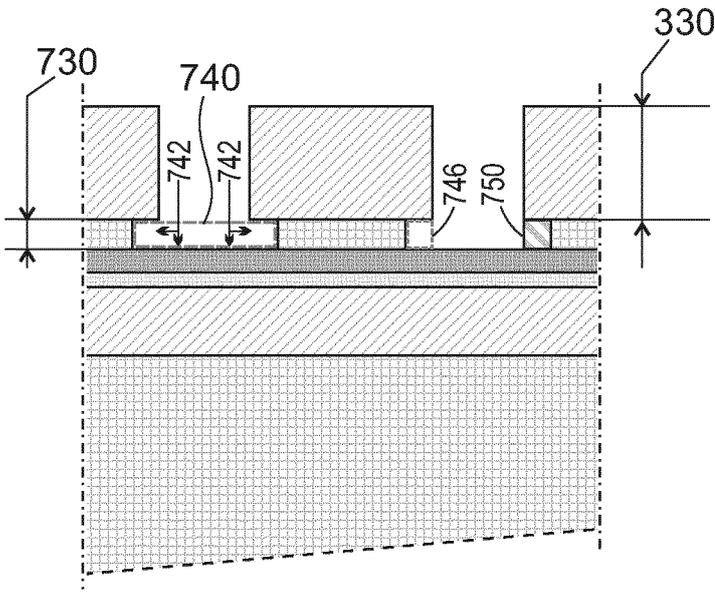


FIGURE 7c

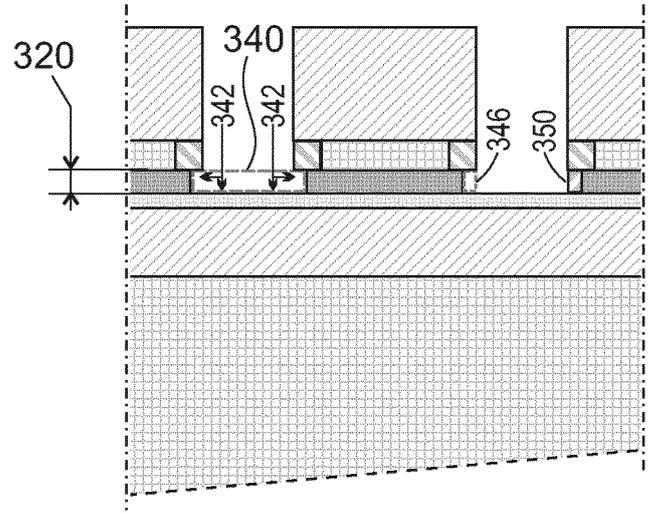


FIGURE 7d

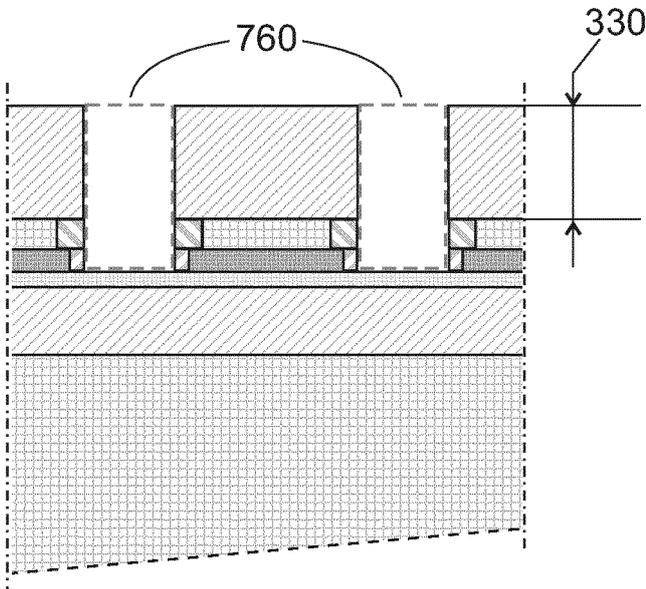


FIGURE 7e

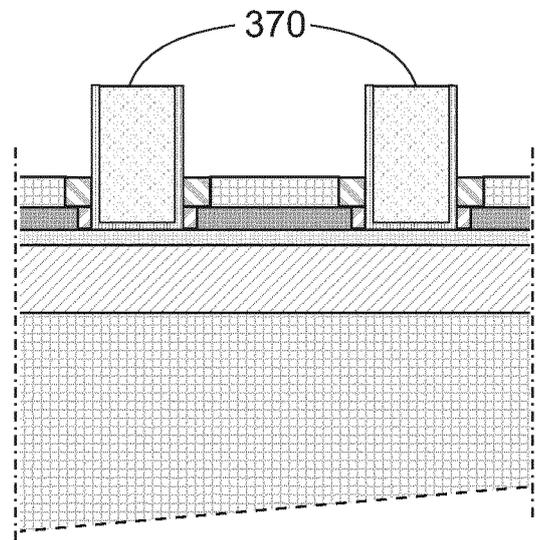


FIGURE 7f

9/10

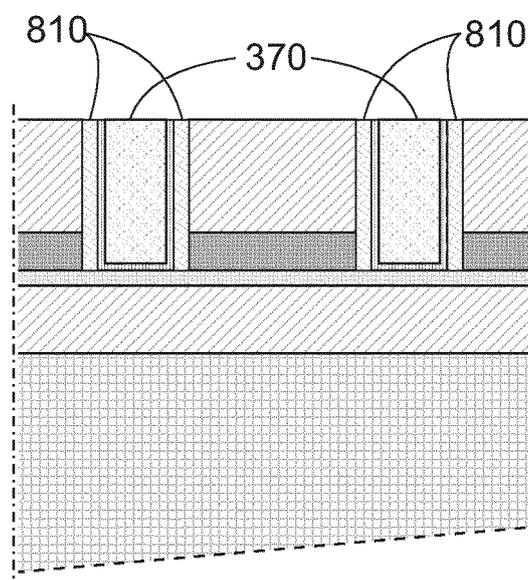


FIGURE 8a

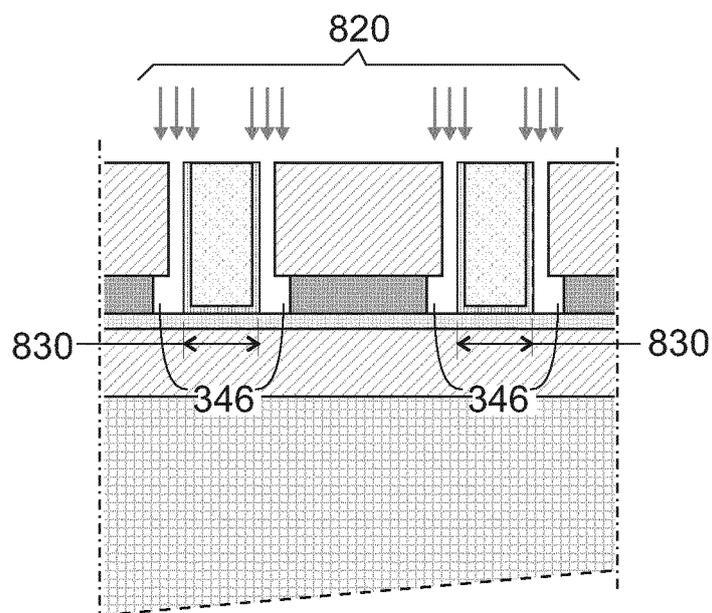


FIGURE 8b

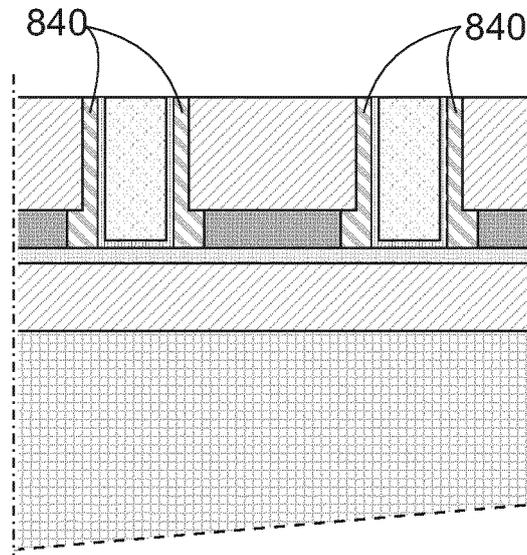


FIGURE 8c

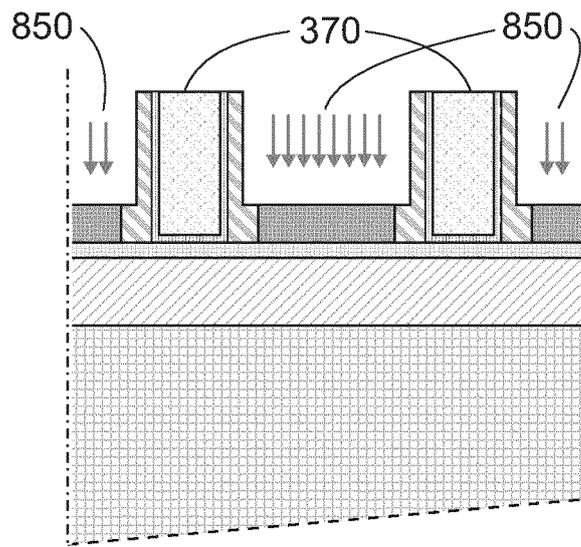


FIGURE 8d



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE PARTIEL**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 786008
FR 1359101

voir FEUILLE(S) SUPPLÉMENTAIRE(S)

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendications concernées	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2004/180521 A1 (JOLY JEAN-PIERRE [FR]) 16 septembre 2004 (2004-09-16) * alinéa [0045] - alinéa [0065] * -----	1-12,29, 31,32	H01L21/336 H01L29/786
A	FR 2 880 190 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]; CENTRE NAT RECH SCIENT [FR]) 30 juin 2006 (2006-06-30) * page 19, ligne 27 - page 30, ligne 20 * -----	1-12,29, 31,32	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
		Date d'achèvement de la recherche	Examineur
		31 mars 2014	Schuitemaker, Peter
CATÉGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ABSENCE D'UNITÉ D'INVENTION
FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 786008
FR 1359101

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

1. revendications: 1-12, 29(complètement); 31, 32(en partie)

Procédé de réalisation d'un transistor avec une couche de canal et une couche d'électrodes source et drain et un transistor correspondant

2. revendications: 13-22, 30(complètement); 31, 32(en partie)

Procédé de réalisation d'un transistor avec une couche de canal et deux couches d'électrodes source et drain et un transistor correspondant

3. revendications: 23-28

Procédé de réalisation d'un transistor avec une couche de canal et une couche d'électrodes source et drain utilisant des espaceurs sacrificiels

La première invention a été recherchée.

L'objet des revendications indépendantes 1 et 29 est déjà connu (voir D1, paragraphes [0045] - [0065]). L'exigence d'unité de l'invention n'est donc plus observée, dans la mesure où il n'existe entre les objets des groupes suivants de revendications dépendantes aucun lien technique portant sur une ou plusieurs caractéristiques techniques particulières identiques ou correspondantes: (i) revendication 2, (ii) revendication 3, (iii) revendications 4 et 5, (iv) revendication 6 et 7, (v) revendications 8-22 et 30, (vi) revendications 23-28, (vii) revendication 31 et (viii) revendication 32. L'objet de la revendication 8 est aussi connu (voir D1, paragraphes [0053] - [0054]). Par conséquent le groupe (v) comprises deux groupes de revendications, à savoir (v') revendications 8-12 et (v'') revendications 13-22 et 30, qui ne satisfont pas à l'exigence d'unité de l'invention.

L'objet des revendications dépendantes 2-12 (groupes (i)-(iv) et (v')) correspond à l'exemple de figures 3a-3g. L'objet des revendications dépendantes 13-22 et 30 correspond à l'exemple des figures 7a-7f. En conséquence on considère qu'il existe cinq inventions couvertes par l'objet des revendications citées.

- L'objet des revendications 1-12, 29, 31 et 32 (Procédé de réalisation d'un transistor avec une couche de canal et une couche d'électrodes source et drain et un transistor correspondant);
- L'objet des revendications 13-22 et 30-32 (Procédé de réalisation d'un transistor avec une couche de canal et deux couches d'électrodes source et drain et un transistor correspondant);
- L'objet des revendications 23-28 (Procédé de réalisation d'un transistor avec une couche de canal et une couche d'électrodes source et drain utilisant des espaceurs sacrificiels).

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1359101 FA 786008**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **31-03-2014**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004180521 A1	16-09-2004	AT 470953 T	15-06-2010
		EP 1407486 A2	14-04-2004
		FR 2827705 A1	24-01-2003
		US 2004180521 A1	16-09-2004
		WO 03009404 A2	30-01-2003

FR 2880190 A1	30-06-2006	FR 2880190 A1	30-06-2006
		WO 2006070154 A1	06-07-2006
