

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年7月30日 (30.07.2009)

PCT

(10) 国際公開番号  
WO 2009/093462 A1

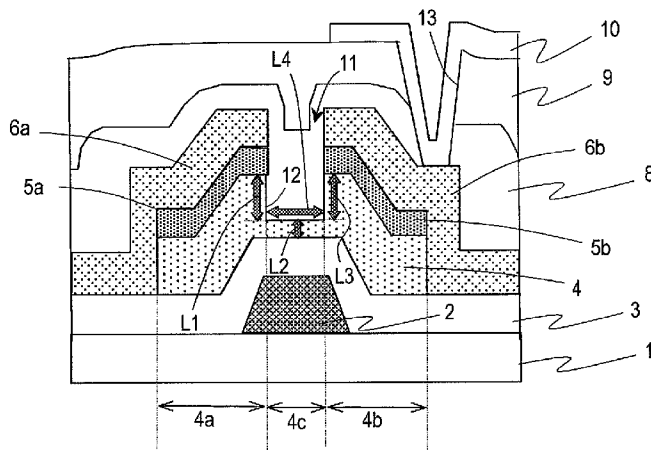
- (51) 国際特許分類: H01L 29/786 (2006.01) H01L 21/336 (2006.01) 5458522 大阪府大阪市阿倍野区长池町2番2号 Osaka (JP).  
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2009/000252
- (22) 国際出願日: 2009年1月23日 (23.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2008-015649 2008年1月25日 (25.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 守口正生 (MORIGUCHI, Masao). 齊藤裕一 (SAITO, Yuichi). 河野昭彦 (KOHNO, Akihiko).
- (74) 代理人: 奥田誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体素子およびその製造方法

[図1]



(57) Abstract: A semiconductor element wherein both high on-current and low off-current are achieved is provided. A method for manufacturing such semiconductor element is also provided. The semiconductor element is provided with a glass substrate (1); an island-shaped semiconductor layer (4) having a first region (4c), a second region (4a) and a third region (4c); a source region (5a) and a drain region (5b); a source electrode (6a); a drain electrode (6b); and a gate electrode (2) which controls conductivity of the first region (4c). An upper surface of the first region (4c) is positioned closer to the glass substrate (1) than upper surfaces of end sections on the side of the first region (4c) in the second region (4a) and the third region (4b). Distances of the semiconductor layer (4) in the thickness direction from the upper surfaces of the end sections of the second region (4a) and the third region (4b) to the upper surface of the first region (4c) are independently one or more times but not more than seven times the thickness of the first region (4b).

(57) 要約: 高オン電流と低オフ電流との両立を実現する半導体素子およびその製造方法を提供する。本発明の半導体素子は、ガラス基板1と、第1領域4c、第2領域4aおよび第3領域4cを有する

[続葉有]



WO 2009/093462 A1



MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,  
SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ,  
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,  
SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,  
GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:  
— 国際調査報告書

島状の半導体層 4 と、ソース領域 5 a およびドレイン領域 5 b と、ソース電極 6 a と、ドレイン電極 6 b と、第 1 領域 4 c の導電性を制御するゲート電極 2 とを備えた半導体素子であって、第 1 領域 4 c の上面は、第 2 領域 4 a および第 3 領域 4 b のうち第 1 領域 4 c 側の端部の上面よりもガラス基板 1 側に位置し、第 2 領域 4 a および第 3 領域 4 b の端部の上面から第 1 領域 4 c の上面までの、半導体層 4 の厚さ方向の距離は、互いに独立に、第 1 領域 4 b の厚さの 1 倍以上 7 倍以下である。

## 明 細 書

### 半導体素子およびその製造方法

#### 技術分野

[0001] 本発明は、半導体素子およびその製造方法に関する。

#### 背景技術

[0002] 従来から、液晶表示装置や有機EL表示装置の画素を駆動するための半導体素子として、薄膜トランジスタ（Thin film Transistor：以下ではTFTと略称する。）が知られている。

[0003] TFTとしては、アモルファスシリコン（以下ではa-Siと略称する。）などの非晶質のチャネル領域を有するTFT（以下ではa-SiTFTと略称する。）が、一般的に用いられている。ところが、a-Siの移動度は $0.2 \sim 0.5 \text{ cm}^2/\text{Vs}$ 程度であり、a-SiTFTはオン特性が悪い。その反面、a-Siのバンドギャップは広いため、a-SiTFTのリーク電流（オフ電流）の値は小さい。このように、a-SiTFTには、オフ電流の値が小さいという利点はあるものの、オン電流の値が小さいという課題がある。

[0004] 一方、チャネル領域の少なくとも一部が微結晶シリコン膜であるTFT（以下では微結晶シリコンTFTと略称する）も知られている。ここで、「微結晶シリコン膜」とは、結晶質シリコン相と非晶質シリコン相とが混在した膜のことを言う。

[0005] 微結晶シリコン膜は結晶を有するため、微結晶シリコンTFTのチャネル領域の移動度は $0.7 \sim 3 \text{ cm}^2/\text{Vs}$ であり、a-SiTFTと比較してオン電流の値が大きい。その一方、微結晶シリコン膜には欠陥準位が多く含まれているため、微結晶シリコン膜を含むチャネル領域と、ソース領域およびドレイン領域（n<sup>+</sup>Si膜）との接合状態が悪い。また、微結晶シリコン膜は、a-Si膜よりも電気抵抗が低く、バンドギャップも狭いため、オフ電流の値が大きい。すなわち、微結晶シリコンTFTでは、a-SiTFTと比

較して大きいオン電流が得られるが、オフ電流の値も大きいという課題がある。

[0006] 微結晶シリコンTFETのオフ電流を低減するために、特許文献1では、活性層の厚さを100nm以下にすることが開示されている。特許文献1では、活性層として機能する微結晶シリコン膜の上に、不純物を含む非晶質シリコン膜を形成した後、これらの膜のエッチング選択比を利用して、非結晶シリコン膜のみを選択的に除去している。

特許文献1：特開平5-304171号公報

## 発明の開示

### 発明が解決しようとする課題

[0007] 特許文献1において、微結晶シリコン膜の厚さ、すなわちチャネルの厚さは100nm以下と記載されている。しかしながら、チャネルの厚さをこの範囲内にすることだけでは、オフ電流を低減することはできない。

[0008] また、非晶質シリコンのエッチングレートと微結晶シリコンのエッチングレートとはほとんど変わらないため、非結晶シリコン膜のみを選択的にエッチングすることは現実には困難である。つまり、特許文献1のように、微結晶シリコン膜と非結晶シリコン膜とを積層し、これらのエッチングレートの差のみを利用して、チャネルの厚さを制御することは困難である。

[0009] 本発明は、上記課題を解決するためになされたものであり、その主な目的は、オフ電流の値の小さな半導体素子およびその製造方法を提供することにある。

### 課題を解決するための手段

[0010] 本発明の半導体素子は、基板と、前記基板に形成され、第1領域と、前記第1領域の両側にそれぞれ位置する第2領域および第3領域とを有する島状の活性層と、前記活性層の第2領域の上に接する第1コンタクト層および前記活性層の第3領域の上に接する第2コンタクト層と、前記第1コンタクト層を介して前記第2領域と電氣的に接続された第1電極と、前記第2コンタクト層を介して前記第3領域と電氣的に接続された第2電極と、前記第1領

域に対して、ゲート絶縁膜を介して対向するように設けられたゲート電極であって、前記第1領域の導電性を制御するゲート電極とを備えた半導体素子であって、前記第1領域の上面は、前記第2領域および前記第3領域のうち前記第1領域側の端部の上面よりも基板側に位置し、前記第2領域および前記第3領域の前記端部の上面から前記第1領域の前記上面までの、前記活性層の厚さ方向の距離は、互いに独立に、前記第1領域の厚さの1倍以上7倍以下である。

- [0011] ある実施形態において、少なくとも前記第1領域は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される。
- [0012] ある実施形態において、前記微結晶シリコン膜のうち前記アモルファス相の体積分率は、5%以上40%以下である。
- [0013] ある実施形態において、前記距離は60nm以上140nm以下であって、前記第1領域の厚さは20nm以上60nm以下である。
- [0014] ある実施形態において、前記第2領域および前記第3領域のうち前記第1領域側の端部は、微結晶シリコンから形成される。
- [0015] ある実施形態において、前記第2領域および前記第3領域のうち前記第1領域側の端部は、非晶質シリコンから形成される。
- [0016] ある実施形態において、前記ゲート電極は、前記活性層と前記基板との間に配置されている。
- [0017] ある実施形態において、前記ゲート電極は、前記活性層に対して、前記基板と反対側に配置されている。
- [0018] ある実施形態において、前記活性層は、第1活性層と、中間層と、第2活性層とを基板側からこの順に有し、前記第1領域は前記第1活性層から形成され前記第2活性層を含まず、前記第2領域および前記第3領域は、前記第1活性層、前記中間層および前記第2活性層から形成されている。
- [0019] ある実施形態において、前記第1活性層および前記第2活性層はシリコン層であり、前記中間層はシリコン酸化物から形成されている膜である。
- [0020] ある実施形態において、前記シリコン酸化物から形成されている膜の厚さ

は1 nm以上3 nm以下である。

- [0021] 本発明の半導体素子の製造方法は、基板にゲート電極を形成する工程（a）と、前記ゲート電極の上を覆うゲート絶縁膜を形成する工程（b）と、前記ゲート絶縁膜の上に半導体層を形成する工程（c）と、前記半導体層の上に、不純物含有半導体層を形成する工程（d）と、前記不純物含有半導体層のうち前記ゲート電極の上に位置する部分と、前記半導体層のうち前記ゲート電極の上に位置する部分の上部とを除去することにより、前記半導体層のうち前記ゲート電極上に位置する部分を第1領域とする活性層を形成し、前記活性層のうち前記第1領域となる部分の厚さを他の部分よりも小さくする工程（e）とを包含し、前記第1領域の厚さを、前記半導体層の厚さの1/8以上1/2以下とする。
- [0022] ある実施形態において、前記工程（c）は、前記ゲート絶縁膜側から、第1半導体層と、前記第1半導体層の上に位置する中間層と、前記中間層の上に位置する第2半導体層とをこの順に有する前記半導体層を形成する工程であり、前記工程（e）は、前記中間層のエッチングレートよりも前記第2半導体層のエッチングレートが高い条件で、少なくとも前記第2半導体層を除去する工程を含む。
- [0023] ある実施形態では、前記工程（c）において、前記第1半導体層として、結晶粒およびアモルファス相を有する微結晶シリコン膜を形成し、前記第2半導体層として、微結晶シリコン膜または非晶質シリコン膜を形成する。
- [0024] ある実施形態において、前記工程（c）は、前記第1半導体層に対して、酸素プラズマ処理、UV処理、またはオゾン処理を行うことにより、前記中間層として、前記第1半導体層の表面を酸化する工程を含む。
- [0025] ある実施形態において、前記工程（c）は、前記ゲート絶縁膜側から、前記ゲート絶縁膜の上面に接する第1半導体層と、前記第1半導体層のうち少なくとも前記ゲート電極の上に位置する部分を覆うエッチングストッパー膜と、前記エッチングストッパー膜の上に位置する第2半導体層とをこの順に有する前記半導体層を形成する工程であり、前記工程（e）は、前記エッチ

ングストッパー膜のエッチングレートよりも前記第2半導体層のエッチングレートが高い条件で、少なくとも前記第2半導体層を除去する工程を含む。

[0026] 本発明の半導体素子の製造方法は、基板にゲート電極を形成する工程（a）と、前記ゲート電極の上を覆うゲート絶縁膜を形成する工程（b）と、前記ゲート絶縁膜の上に第1半導体膜を形成し、前記第1半導体膜のうち前記ゲート電極の上に位置する部分を除去することにより、前記ゲート電極上に溝部を有する第1半導体層を形成する工程（c）と、前記溝部を有する第1半導体層の上に第2半導体層を形成して、前記第1半導体層および前記第2半導体層から形成される活性層を形成する工程（d）とを包含し、前記第2半導体層の厚さを前記第1半導体層の厚さの1倍以上7倍以下とする。

[0027] ある実施形態において、前記第1半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される。

[0028] 本発明の半導体素子の製造方法は、基板に第1半導体層を形成する工程（a）と、前記第1半導体層の上に不純物含有半導体層を形成する工程（b）と、前記不純物含有半導体層および前記第1半導体層に溝部を形成することにより、前記第1半導体層と不純物含有半導体層とを分離し、第1領域と第2領域を形成する工程（c）と、前記第1領域、前記第2領域および前記溝部を覆う第2半導体層を形成する工程（d）と、前記第2半導体層を覆うゲート絶縁膜を形成し、前記ゲート絶縁膜を介した前記溝部の上にゲート電極を形成する工程（e）とを包含し、前記第2半導体層の厚さを、前記第1半導体層の厚さの $1/8$ 以上 $1/2$ 以下とする。

[0029] ある実施形態において、前記第2半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される。

[0030] 本発明の半導体素子の製造方法は、基板に第1半導体層を形成する工程（a）と、前記第1半導体層の上に第2半導体層を形成する工程（b）と、前記第2半導体層の上に不純物含有半導体層を形成する工程（c）と、前記不純物含有半導体層および前記第2半導体層に溝部を形成することにより、前記第1半導体層と、前記溝部を有する第2半導体層とから形成される活性層

を形成する工程（d）と、前記不純物含有半導体層と前記溝部の表面を覆うゲート絶縁膜を形成し、前記ゲート絶縁膜を介した前記溝部の上にゲート電極を形成する工程（e）とを包含し、前記第2半導体層の厚さを、前記第1半導体層の厚さの1倍以上7倍以下とする。

[0031] ある実施形態において、前記第1半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される。

[0032] ある実施形態において、前記微結晶シリコン膜は、ICP方式、表面波プラズマ方式またはECR方式の高密度プラズマCVDにより形成される。

### 発明の効果

[0033] 本発明の半導体素子では、活性層における第1領域の上面を、第2領域および第3領域の上面よりも基板側に位置させることにより、従来よりも、オフ電流の値を小さくすることができる。

[0034] 半導体素子では、ゲート電圧が負のときに、急激にオフ電流が増加してしまうが、第2領域および第3領域の端部の上面から第1領域の上面までの、活性層の厚さ方向の距離を第1領域の厚さの1倍以上とすることにより、オフ電流の増加を抑制することができる。また、上記距離を第1領域の厚さの7倍以下とすることにより、寄生抵抗が大きくなることによるオン電流の低下を回避することができる。

### 図面の簡単な説明

[0035] [図1]実施形態1の半導体素子を示す断面図である。

[図2]（a）は、実施形態1の半導体素子におけるチャネル領域の移動度を測定した結果を示す図であり、（b）は、実施形態1の半導体素子における最低オフ電流を測定した結果を示す図である。

[図3]（a）～（e）は、オフセット部の長さ（L1、L3）とTFT特性との関係を示す図である。

[図4]（a）～（f）は、実施形態1の半導体素子の製造工程を示す断面図である。

[図5]微結晶シリコン膜における結晶性シリコン層および非結晶シリコン層の



状態を模式的に示す図である。

[図6]実施形態1の半導体素子が搭載される液晶表示装置を概略的に示す断面図である。

[図7]実施形態2の半導体素子を示す断面図である。

[図8](a)～(f)は、実施形態2の半導体素子の製造工程を示す断面図である。

[図9]実施形態3の半導体素子を示す断面図である。

[図10](a)～(f)は、実施形態3の半導体素子の製造工程を示す断面図である。

[図11]実施形態4の半導体素子を示す断面図である。

[図12](a)～(f)は、実施形態4の半導体素子の製造工程を示す断面図である。

[図13]実施形態5の半導体素子を示す断面図である。

[図14](a)～(e)は、実施形態5の半導体素子の製造工程を示す断面図である。

[図15]実施形態6の半導体素子を示す断面図である。

[図16](a)～(d)は、実施形態6の半導体素子の製造工程を示す断面図である。

[図17]実施形態7の半導体素子を示す断面図である。

[図18](a)～(e)は、実施形態7の半導体素子の製造工程を示す断面図である。

## 符号の説明

[0036]	1	ガラス基板
	2	ゲート電極
	3	ゲート絶縁膜
	4	半導体層
	5	不純物含有層
	5 a、5 b	ソース領域、ドレイン領域

6	電極層
6 a、6 b	ソース電極、ドレイン電極
7	フォトレジスト
2 1	第 1 半導体層
2 2	中間層
2 3	第 2 半導体層
3 1 a、3 1 b	第 1 半導体層
3 2	第 2 半導体層
4 1	第 1 半導体層
4 2 a、4 2 b	第 2 半導体層
4 3	エッチングストッパー層
5 1	ガラス基板
5 2	ゲート電極
5 3	ゲート絶縁膜
5 4	半導体層
5 5	不純物含有層
5 5 a、5 5 b	ソース領域、ドレイン領域
5 6 a、5 6 b	ソース電極、ドレイン電極
5 7	フォトレジスト
6 1 a、6 1 b	第 1 半導体層
6 2	第 2 半導体層
7 1	第 1 半導体層
7 2 a、7 2 b	第 2 半導体層
8 1	酸素を含む層

### 発明を実施するための最良の形態

[0037] 以下では、本発明による半導体素子の実施形態を詳細に説明する。

[0038] (実施形態 1)

まず、図面を参照しながら、本発明による半導体素子の第 1 の実施形態を

説明する。図 1 は、実施形態 1 の半導体素子を示す断面図である。本実施形態の半導体素子は、ゲート電極が半導体層とガラス基板との間に配置するボトムゲート構造を有する T F T である。

[0039] 本実施形態の T F T は、図 1 に示すように、絶縁基板であるガラス基板 1 と、ガラス基板 1 の上に形成されたゲート電極 2 と、ガラス基板 1 およびゲート電極 2 を覆うゲート絶縁膜 3 とを備えている。ゲート電極 2 は例えば T a N 膜、T a 膜および T a N 膜から形成され、ゲート絶縁膜 3 は例えばシリコン窒化膜から形成されている。ゲート絶縁膜 3 の表面の断面は、ゲート電極 2 の断面形状を反映した凸状となっている。

[0040] ゲート電極 2 の上には、ゲート絶縁膜 3 を介して、島状の半導体層 4 が形成されている。半導体層 4 は、結晶粒およびアモルファス相を有する微結晶シリコンから構成されている。

[0041] 半導体層 4 のうちゲート電極 2 の上に位置する部分は、他の部分よりも上側に突出している。この突出している部分の中央部には、凹部 1 2 が形成されている。

[0042] 半導体層 4 のうち凹部 1 2 の底面より下の部分の厚さは、他の部分よりも小さくなっている。この部分を第 1 領域 4 c と呼び、半導体層 4 のうち第 1 領域 4 c の両側に位置する部分をそれぞれ第 2 領域 4 a および第 3 領域 4 b と呼ぶ。凹部 1 2 が形成されることにより、第 1 領域 4 c の上面は、第 2 領域 4 a および第 3 領域 4 b のうち第 1 領域 4 c 側の端部の上面よりもガラス基板 1 側に位置している。

[0043] 第 2 領域 4 a の上にはソース領域 5 a が形成され、第 3 領域 4 b の上にはドレイン領域 5 b が形成されている。ソース領域 5 a およびドレイン領域 5 b は、非晶質シリコンまたは微結晶シリコンから形成され、例えばリンなどの n 型不純物を含んでいる。

[0044] ソース領域 5 a はソース電極 6 a に覆われ、ドレイン領域 5 b はドレイン電極 6 b によって覆われている。ソース電極 6 a およびドレイン電極 6 b は金属などの導電体から構成され、ソース領域 5 a およびドレイン領域 5 b の

上だけでなく、ソース領域 5 a およびドレイン領域 5 b の側面、半導体層 4 の側面を覆うとともに、半導体層 4 の周囲のゲート絶縁膜 3 の上に延びている。

[0045] ソース電極 6 a およびドレイン電極 6 b は、例えばシリコン窒化膜のパッシベーション膜 8 によって覆われている。パッシベーション膜 8 は、凹部 1 2 の内部も覆っている。さらに、パッシベーション膜 8 は、透明樹脂膜である平坦化膜 9 によって覆われている。

[0046] 上記平坦化膜 9 およびパッシベーション膜 8 には、これらを貫通するコンタクトホール 1 3 が形成されている。コンタクトホール 1 3 はドレイン電極 6 b の表面に達している。そして、コンタクトホール 1 3 内には、例えば ITO (Indium-tin-oxide) の透明電極 1 0 が形成されている。

[0047] ゲート電極 2 に閾値以上の電圧を印加すると、ソース領域 5 a から、半導体層 4 を介してドレイン領域 5 b に電流が流れる。このとき、電流は、ソース領域 5 a から、第 2 領域 4 a を通過して第 1 領域 4 c に達し、第 1 領域 4 c から第 3 領域 4 b を通過した後、ドレイン領域 5 b に達する。第 2 領域 4 a および第 3 領域 4 b のうち凹部 1 2 の側面に位置する部分を「オフセット部」と呼ぶ。このとき、チャンネル長は、オフセット部の上下方向の長さ  $L_1$ 、 $L_3$  と、第 1 領域 4 c の長さ  $L_4$  との和となる。ただし、オフセット部の上下方向の長さ  $L_1$ 、 $L_3$  が第 1 領域 4 c の長さ  $L_4$  の値と比較してごく小さい場合には、長さ  $L_1$ 、 $L_3$  を無視できるため、実質的には、チャンネル長は第 1 領域 4 c の長さ  $L_4$  となる。

[0048] 本実施形態において、第 1 領域 4 c の上面は、第 2 領域 4 a および第 3 領域 4 b のうち第 1 領域 4 c 側の端部の上面よりもガラス基板 1 側に位置している。そして、第 2 領域 4 a および第 3 領域 4 b の端部の上面から第 1 領域 4 c の上面までの、活性層の厚さ方向の距離（オフセット部の長さ）は、互いに独立に、第 1 領域 4 c の厚さの 1 倍以上 7 倍以下である。

[0049] 本実施形態の微結晶シリコン TFT では、第 1 領域 4 c の両側のオフセット部を設けることにより、オフセット部を設けない場合と比較して、オフ電

流を少なくすることができる。すなわち、微結晶シリコンTFETの利点である高いオン電流（高移動度）を確保しつつ、オフ電流を少なくすることができるため、高ON/OFF比を実現することができる。

[0050] また、半導体層4として微結晶シリコン膜を形成したため、一般的なa-SiTFTと同様の製造プロセスによってTFETを容易に製造することができる。

[0051] 次に、本実施形態のTFETの特性を測定した結果について説明する。図2(a)は、本実施形態のTFETにおけるチャネル領域の移動度を測定した結果を示す図であり、図2(b)は、本実施形態のTFETにおける最低オフ電流を測定した結果を示す図である。図2(a)の横軸は第1領域4cの厚さ(nm)を示し、縦軸は移動度(a-SiTFTの移動度を1とした場合の値)を示す。図2(b)の横軸は第1領域4cの厚さ(nm)を示し、縦軸は最低オフ電流(pA)を示す。図2(a)に示すように、第1領域4cの厚さが20nm以上になれば、移動度がほぼ一定の高い値となる。また、図14(b)に示すように、第1領域4cの厚さが60nm以下であれば、最低オフ電流が許容範囲(15pA)内に収まっていることがわかる。これらの結果から、第1領域4cの厚さが20nm以上60nm以下であれば、高移動度(オン特性)と低オフ電流(最低オフ電流)を両立できることがわかる。

[0052] 図3(a)~(e)は、オフセット部の長さ(L1、L3)とTFET特性との関係を示す図である。図3(a)、(b)、(c)、(d)は、それぞれ、オフセット部の長さが35nm、50nm、90nmまたは110nmのときのTFET特性を示す。図3(a)~(d)における横軸はゲート電圧Vg(V)を示し、縦軸はドレイン電流Id(A)を示す。なお、この測定で用いたTFETのチャネル長(L)は3μmであり、チャネル幅(W)は20μmである。チャネル長は、図1に示す断面におけるソース電極6aとドレイン電極6bとの間の距離(第1領域4cの長さL4)であり、チャネル幅は、図1に示す断面と直行する方向のソース電極6aおよびドレイン電極

6 bの長さである。

[0053] また、ドレイン電圧 $V_d$ は10Vとする。図3(e)に示すように、オフセット長が90nm、110nmのときには、オフ電流( $V_g = -30V$ のときのドレイン電流 $I_d$ )が少なくなっていることがわかる。図3(a)~(d)で得られたオフ電流をオフセット部の長さ( $L_1$ 、 $L_3$ )ごとにプロットしたグラフを図3(e)に示す。図3(e)に示すように、オフセット部の長さが70nm以上になれば、オフ電流が許容範囲内となる。また、オフセット部が長くなりすぎると寄生抵抗が大きくなるため、オフセット部の長さは、70nm以上140nm以下が好ましい。

[0054] 以上のデータから、第1領域4cの厚さ( $L_2$ )とオフセット部( $L_1$ 、 $L_3$ )の長さとの好ましい比を算出することができる。すなわち、第1領域4cの厚さの最小値は20nm、オフセット部の長さの最大値は140nmであるため、オフセット部の長さは、第1領域4cの厚さの7倍以下であることが好ましい。また、第1領域4cの厚さの最大値は60nm、オフセット部の長さの最小値は60nmであるため、オフセット部の長さは、第1領域4cの厚さの1倍以上であることが好ましい。

[0055] 次に、本実施形態の半導体素子の製造方法について、図4(a)~(f)を参照しながら説明する。図4(a)~(f)は、実施形態1の半導体素子の製造工程を示す断面図である。

[0056] まず、図4(a)に示すように、ガラス基板1にゲート電極2を形成する。具体的には、スパッタリング法により、ガラス基板1の表面にTa<sub>2</sub>N<sub>5</sub>膜、Ta膜およびTa<sub>2</sub>N<sub>5</sub>膜をこの順に成膜する。その後、ドライエッチングを行うことにより不要な部分を除去し、ゲート電極2を形成する。このとき、エッチングガスに酸素を導入することにより、フォトリソ(図示せず)を後退させながらエッチングを行う。これにより、ゲート電極2の側面を、ガラス基板1の表面に対して45°の角度をなすテーパ形状にする。

[0057] 次に、図4(b)に示すように、ゲート電極2の上に、ゲート絶縁膜3、半導体層4および不純物含有層5をこの順に形成する。このとき、半導体層

4の厚さを90以上200nm以下の範囲内（例えば130nm）とし、不純物含有層5の厚さを30nmとする。不純物含有層5は、微結晶シリコンであってもよいし、アモルファスシリコンであってもよい。

[0058] ゲート絶縁膜3および不純物含有層5は、平行平板型のCVD装置によって形成される。また、ゲート絶縁膜3、半導体層4および不純物含有層5は、マルチチャンバー型装置を用い、真空中にて連続して成膜される。

[0059] 具体的には、プラズマCVDを行うことにより、厚さ約400nmのシリコン窒化膜（SiN<sub>x</sub>膜）のゲート絶縁膜3を成膜する。その後、高密度プラズマCVD（ICP方式、表面波プラズマ方式又はECR方式）を行うことにより、微結晶シリコン膜の半導体層4を形成する。続いて、リンなどのn型不純物を含むガス雰囲気下でプラズマCVDを行うことにより、不純物含有層5を形成する。

[0060] ゲート絶縁膜3および不純物含有層5については、一般的なa-SiTFTの製造プロセスと同じ成膜条件で形成することができる。一方、半導体層4は、プラズマCVDの原料ガスとしてSiH<sub>4</sub>およびH<sub>2</sub>を用い、SiH<sub>4</sub>とH<sub>2</sub>との流量の比SiH<sub>4</sub>/H<sub>2</sub>を約1/20とし、約1.33Pa（10mTorr）の圧力で成膜すればよい。成膜時の圧力の範囲は、0.133Pa以上13.3Pa以下であることが好ましく、SiH<sub>4</sub>/H<sub>2</sub>の範囲は、1/30以上1以下であることが好ましい。半導体層4の成膜時には、ガラス基板1の温度を例えば約300°Cとする。また、半導体層4を形成する前に、ゲート絶縁膜3に対してH<sub>2</sub>プラズマによる表面処理を行ってもよい。このときの圧力は約1.33Paとする。

[0061] 次に、図4（c）に示すように、フォトリソグラフィにより、半導体層4および不純物含有層5を島状にパターニングする。エッチングとしてドライエッチングを行えば、微細な形状でも形成することが可能になる。エッチングガスには、ゲート絶縁膜3のシリコン窒化膜と選択比のとりやすい塩素（Cl<sub>2</sub>）を用いる。そして、エッチング時には、エンドポイントディテクタ（EPD）によってエッチング部分をモニタリングし、ゲート絶縁膜3が露出

するまでエッチングを行う。

- [0062] 次に、図4(d)に示すように、スパッタリング法により、島状の不純物含有層5の上に、厚さ100nmのAl膜と厚さ100nmのMo膜とを備える電極層を形成する。
- [0063] その後、電極層を覆うようにフォトレジスト7を形成する。フォトレジスト7には、ゲート電極2の上方位置で電極層が露出するように開口11を形成する。このフォトレジスト7をマスクとしてエッチングを行うことにより、まず、電極層に開口11を貫通させる。これにより、開口11の両側に、ソース電極6aおよびドレイン電極6bを形成する。なお、開口11を形成する際のエッチングとしてウェットエッチングを行うことにより、電極層のみを選択的にエッチングできる。エッチャントとしては、例えばSLAエッチャントを適用する。
- [0064] 次に、図4(e)に示すように、フォトレジスト7を残した状態で、ドライエッチングを行うことにより、露出している不純物含有層5をエッチングし、ソース領域5aおよびドレイン領域5bを形成する。このとき、不純物含有層5のうち露出する部分が完全に除去された後もエッチングを進行させると、半導体層4の一部も除去され、開口11の底面が、半導体層4の上面よりも低い位置に到達する。これにより、開口11の下に位置する半導体層4(第1領域4c)の厚さが、他の部分よりも小さくなる。その後、第1領域4cの厚さが所望の値になれば、開口11が半導体層4を貫通する前にエッチングを停止させる。具体的には、第1領域4cの厚さが、半導体層4の厚さの1/8以上1/2以下の範囲内となると、エッチングを停止する。その後、フォトレジスト7を除去する。以上の工程により、半導体層4に凹部12を形成することができる。
- [0065] 次に、図4(f)に示すように、プラズマCVDを行うことにより、ソース電極6aおよびドレイン電極6bの上をシリコン窒化膜のパッシベーション膜8で覆う。このとき、開口11の内部にもパッシベーション膜8が充填され、ソース領域5aとドレイン領域5bとの間、およびソース電極6aと



ドレイン電極 6 b との間がパッシベーション膜 8 によって絶縁される。

[0066] 続いて、パッシベーション膜 8 を覆うように、樹脂膜 (JAS 膜) の平坦化膜 9 を形成する。次に、ドレイン電極 6 b の上方に、平坦化膜 9 およびパッシベーション膜 8 を貫通するコンタクトホール 13 を形成する。その後、スパッタリングを行うことにより、平坦化膜 9 およびコンタクトホール 13 の表面に ITO 膜を形成し、パターニングを行うことにより、透明電極 10 を形成する。以上の各工程によって、本実施形態の半導体素子が得られる。

[0067] 一般に、微結晶シリコン TFT では、ゲート電圧が負 ( $\sim -30\text{V}$ ) のときに、急激にオフ電流が増加してしまう。しかしながら、オフセット部の長さ  $L_1$ 、 $L_3$  を、第 1 領域 4 c の厚さ  $L_2$  の 1 倍以上とすることにより、オフ電流の増加を抑制することができる。また、第 1 領域 4 c の厚さを、凹部 12 を形成する前の半導体層 4 の厚さの  $1/8$  以上  $1/2$  以下とすることにより、寄生抵抗が大きくなることによるオン電流の低下を回避することができる。

[0068] (微結晶シリコン膜について)

微結晶シリコン膜の半導体層 4 は、結晶質シリコン相と非晶質シリコン相とが混在した構造を有する。半導体層 4 が微結晶シリコン膜であるかどうかは、ラマン分光測定によって測定することができる。結晶質シリコンは  $520\text{cm}^{-1}$  の波長で鋭いピークを示す一方、非晶質シリコンは  $480\text{cm}^{-1}$  の波長でブロードなピークを示す。微結晶シリコン膜には両者が混在するので、そのラマン分光測定の結果は、 $520\text{cm}^{-1}$  の波長で最も高いピークを有するとともに、その低波長側にブロードなピークを有するようなスペクトルとなる。また、 $520\text{cm}^{-1}$  のピークと  $480\text{cm}^{-1}$  のピークとの強度比によって結晶化率を比較することができる。

[0069] 固相成長 (SPC) 又はレーザー結晶化によってシリコン膜を形成すると、上記ピーク強度比が  $30\sim 80$  程度となる。この結果から、形成された膜には非晶質成分が事実上存在しておらず、多結晶シリコン膜が形成されたと推測できる。

- [0070] 例えば、高密度プラズマCVDにより形成した微結晶シリコン膜のピーク強度比 ( $520\text{ cm}^{-1}/480\text{ cm}^{-1}$ ) は、2~20程度になる。高密度プラズマCVDの条件によって、微結晶シリコン膜における結晶質シリコン相の比率を高めることはできるが、完全な結晶質シリコン膜を形成することはできない。すなわち、高密度プラズマCVDによりシリコン層を形成すると、ほぼ確実に結晶質シリコン相と非晶質シリコン相とを混在させることができる。
- [0071] また、半導体膜4を、高密度プラズマCVDにより形成することにより、低温で成膜を行うことができる。これにより、高温処理に適していないガラス基板やプラスチック基板等を上記ガラス基板1に適用することができ、その生産性を向上させることが可能になる。
- [0072] 図5は、微結晶シリコン膜における結晶質シリコン相および非結晶シリコン相の状態を模式的に示す図である。図5に示す微結晶シリコン膜のうちガラス基板111との界面部分には、数nmの厚さを有するアモルファス相であるインキュベーション層112が形成されている。インキュベーション層112の上には結晶質シリコン相114が配置しており、結晶質シリコン相114は、ガラス基板111の表面に対して垂直に伸びる柱状の形状を有する。隣合う結晶質シリコン相114の間には、インキュベーション層112から伸びる結晶粒界113が形成されている。結晶質シリコン相114の断面の直径を5nm以上40nm以下とすると、結晶断面が素子の大きさに比べて十分に小さくなるため、素子の特性を均一化することができる。微結晶シリコン膜の成膜初期では、アモルファス相のインキュベーション層112が成長しやすいが、成膜が進むと、徐々に結晶質シリコン相114の占める割合が高くなる傾向がある。このインキュベーション層112は、微結晶シリコン膜が成長するまでの前駆体であり、膜中に大量のボイドを含んでいるため、非常に低い移動度を示す。
- [0073] 高密度プラズマCVDによると、微結晶シリコン膜の結晶化率、特に、成膜初期の結晶化率および密度を顕著に向上させることができる。つまり、高

密度プラズマCVDによると、図5のインキュベーション層112を薄くすることができる、アモルファス相の体積分率を5%以上40%以下にすることができる。また、高密度プラズマCVDによると、SiH<sub>4</sub>およびH<sub>2</sub>の流量の比SiH<sub>4</sub>/H<sub>2</sub>を1/30以上1/1以下にできるため、SiH<sub>4</sub>の供給速度を速くでき、成膜速度を高めることができる。

[0074] 一方、いわゆる平行平板型の一般的なプラズマCVD装置では、成膜初期段階から結晶質シリコン相を得ることが難しく、初期の厚み50nm程度の部分はインキュベーション層112になってしまう。また、この平行平板型のプラズマCVD装置によって微結晶シリコン膜を得るためには、SiH<sub>4</sub>/H<sub>2</sub>比を1/300~1/100程度にする必要があり、SiH<sub>4</sub>の供給速度が低くなって、成膜速度が低くなってしまふ。

[0075] 以上の結果から、本実施形態1では、半導体層4を形成するときに、高密度プラズマCVD装置(ICP、表面波、ECR)を用いることが好ましい。さらに、半導体層4を形成する前に、H<sub>2</sub>プラズマによる表面処理を行うことによって、成膜初期からの結晶性をより向上させることができる。

[0076] 次に、本実施形態のTFTが搭載される液晶表示装置について説明する。図6は、実施形態1のTFTが搭載される液晶表示装置を概略的に示す断面図である。本実施形態の液晶表示装置は、図6に示すように、半導体装置であり且つ第1基板であるアクティブマトリクス基板102と、表示媒体層である液晶層104と、液晶層104を介してアクティブマトリクス基板102に対向して配置された第2基板である対向基板103とを備えている。液晶層104は、アクティブマトリクス基板102と対向基板103との間に介在されたシール部材109によって封止されている。

[0077] アクティブマトリクス基板102のうち液晶層104側の面には配向膜105が設けられ、対向基板103のうち液晶層104側の面には配向膜107が設けられている。一方、アクティブマトリクス基板102のうち液晶層104とは反対側の面には偏光板106が設けられ、対向基板103のうち液晶層104とは反対側の面には偏光板108が設けられている。

[0078] アクティブマトリクス基板 102 には、図示は省略するが複数の画素が設けられ、図 1 に示すようなスイッチング素子である T F T が画素ごとに形成されている。また、アクティブマトリクス基板 102 には、各 T F T を駆動制御するためのドライバ I C（図示省略）が実装されている。

[0079] 対向基板 103 には、図示を省略するが、カラーフィルタや I T O の共通電極が形成されている。

[0080] 図 6 に示すアクティブマトリクス基板 102 は、ガラス基板に上記 T F T や配線等を形成した後に、配向膜 105 を形成し、偏光板 106 を貼り付けると共にドライバ I C（図示省略）等を実装することにより形成する。液晶表示装置は、T F T により液晶層 104 における液晶分子の配向状態を画素ごとに制御して、所望の表示を行うようになっている。

[0081] （実施形態 2）

次に、本実施形態による半導体素子の第 2 の実施形態を説明する。図 7 は、実施形態 2 の半導体素子を示す断面図である。本実施形態の半導体素子は、ゲート電極が半導体層とガラス基板との間に配置するボトムゲート構造を有する T F T である。

[0082] 図 7 に示すように、本実施形態の T F T は、半導体層 4 として、微結晶シリコン膜の第 1 半導体層 21 と、第 1 半導体層 21 の上に形成されたシリコン酸化物である中間層 22 と、中間層 22 の上に形成され、微結晶シリコン膜または非結晶シリコン膜である第 2 半導体層 23 とを備える。第 1 半導体層 21 の厚さは 20 nm 以上 60 nm 以下であり、中間層 22 の厚さは 1 nm 以上 3 nm 以下であり、第 2 半導体層 23 の厚さは 60 nm 以上 140 nm 以下である。

[0083] 半導体層 4 の第 1 領域 4c は、第 1 半導体層 21 から形成されており、第 2 半導体層 23 は含まれない。半導体層 4 の第 2 領域 4a および第 3 領域 4b は、第 1 領域 4c の両側に位置する部分の第 1 半導体層 21 と、その上の中間層 22 と、その上の第 2 半導体層 23 とから形成されている。

[0084] 本実施形態において、第 1 領域 4c の上面は、第 2 領域 4a および第 3 領

域 4 b のうち第 1 領域 4 c 側の端部の上面よりもガラス基板 1 側に位置している。そして、第 2 領域 4 a および第 3 領域 4 b の端部の上面から第 1 領域 4 c の上面までの、活性層の厚さ方向の距離（オフセット部の長さ）は、互いに独立に、第 1 領域 4 c の厚さの 1 倍以上 7 倍以下である。それ以外の構造は実施形態 1 と同様であるため、その説明を省略する。

[0085] 本実施形態の微結晶シリコン T F T では、第 1 の実施形態と同様の効果を得ることができる。それに加えて、第 1 半導体層 2 1 と第 2 半導体層 2 3 との間に中間層 2 2 を設けることにより、第 2 半導体層 2 3 の選択的なエッチングが容易になる。したがって、第 1 半導体層 2 1（第 1 領域 4 c）の厚さ（ $L_2$ ）とオフセット部の厚さ（ $L_1$ 、 $L_3$ ）とを確実に制御することができる。

[0086] 次に、実施形態 2 の T F T の製造方法について説明する。図 8（a）～（f）は、実施形態 2 の半導体素子の製造工程を示す断面図である。ここでは、製造工程のうち実施形態 1 と異なる部分のみ詳細に説明する。

[0087] まず、図 8（a）に示すように、スパッタリング法により、ガラス基板 1 に、T a N 膜、T a 膜および T a N 膜から構成されるゲート電極 2 を形成する。

[0088] 次に、図 8（b）に示すように、プラズマ C V D を行うことにより、ゲート電極 2 の上に、シリコン窒化膜のゲート絶縁膜 3 を形成する。その後、ゲート絶縁膜 3 の上に、半導体層 4 を形成する。本実施形態では、半導体層 4 として、第 1 半導体層 2 1、中間層 2 2 および第 2 半導体層 2 3 を形成する。具体的には、まず、高密度プラズマ C V D（I C P 方式、表面波プラズマ方式又は E C R 方式）を行うことにより、ゲート絶縁膜 3 の上に微結晶シリコン膜の第 1 半導体層 2 1 を形成する。その後、酸素プラズマ処理、オゾン処理または U V 処理などを行って、第 1 の半導体層 2 1 の表面を酸化することにより、シリコン酸化物の中間層 2 2 を形成する。次に、再び高密度プラズマ C V D を行うことにより、中間層 2 2 の上に微結晶シリコン膜の第 2 半導体層 2 3 を形成する。なお、第 2 半導体層 2 3 として、微結晶シリコン膜

ではなく非結晶シリコン膜を形成する場合には、例えば、通常のプラズマCVDを行えばよい。続いて、半導体層4の上に、リンなどのn型不純物を含むガス雰囲気下でプラズマCVDを行うことにより、不純物含有層5を形成する。

- [0089] 次に、図8(c)に示すように、フォトリソグラフィにより、半導体層4および不純物含有層5を島状にパターニングする。
- [0090] 次に、図8(d)に示すように、スパッタリング法により、島状の不純物含有層5の上に、Al膜とMo膜から構成される電極層を形成する。その後、電極層を覆うフォトレジスト7を形成する。フォトレジスト7には、ゲート電極2の上方位置で電極層が露出するように開口11を形成する。このフォトレジスト7をマスクとしてエッチングを行うことにより、まず、電極層6に開口11を貫通させる。これにより、開口11の両側に、ソース電極6aおよびドレイン電極6bを形成する。
- [0091] 次に、図8(e)に示すように、フォトレジスト7を残した状態でドライエッチングを行うことにより、露出している不純物含有層5をエッチングする。これにより、不純物含有層5がソース領域5aおよびドレイン領域5bに分離される。開口11が不純物含有層5を貫通した後もエッチングを進行させ、第2半導体層23を除去する。
- [0092] このとき、第2半導体層23は微結晶シリコン層または非結晶シリコン層であり、中間層22はシリコン酸化物であるため、これらのエッチングレートは異なる。したがって、中間層22よりも第2半導体層23のエッチングレートが高いエッチングガスを用いることにより、エッチングを中間層22で止めることができる。例えば、塩素ガスを用いてエッチングを行った場合には、シリコン酸化物に対する微結晶シリコン膜または非結晶シリコン膜のエッチング選択比は、10~20程度となる。
- [0093] 本実施形態のTFETでは、第1領域4cの厚さを、凹部12を形成する前の半導体層4の厚さの1/8以上1/2以下とする。これらの厚さの比を得るためには、図8(c)に示す工程で、第2半導体層23を、第1半導体層2

1の1倍以上7倍以下程度の厚さで形成しておくことが好ましい。

[0094] その後、フッ酸処理を行うことにより、開口11内に残存するシリコン酸化物を容易に除去することができる。また、第1半導体層21と第2半導体層23との間にシリコン酸化物の中間層22が存在すると、そのままでは導電特性の妨げとなるが、TFT特性に影響しない200～300℃で熱処理を行えば、第1半導体層21と第2半導体層23との間を通電させることができる。これは、プラズマ酸化、UV処理、オゾン処理によるシリコン酸化物が非常に薄く、また多孔質なためである。一般的な熱処理によって形成されたシリコン酸化物（熱酸化膜）の密度は高いため、200～300℃の温度で熱処理を行うことにより通電させることは不可能である。なお、第1半導体層21と第2半導体層23との間を通電させるための熱処理は、第1半導体層21および第2半導体層23を形成した後であれば、いつ行ってもよい。

[0095] その後、図8（f）に示すように、パッシベーション膜8、平坦化膜9および透明電極10を形成することによって、TFTを形成することができる。

[0096] （実施形態3）

次に、本発明による第3の実施形態の半導体素子を説明する。図9は、実施形態3の半導体素子を示す断面図である。本実施形態の半導体素子は、ゲート電極が半導体層とガラス基板との間に配置するボトムゲート構造を有するTFTである。

[0097] 図9に示すように、本実施形態のTFTは、半導体層4として、微結晶シリコン膜または非結晶シリコン膜である第1半導体層31a、31bと、微結晶シリコン膜である第2半導体層32とを備える。第1半導体層31a、31bは、それぞれ、ゲート電極2の両側に位置する部分に形成されている。第1半導体層31a、31bの間、すなわちゲート電極2の上に位置する部分には溝33が形成されている。第2半導体層32は、第1半導体層31a、31bの上を覆うとともに、溝33の表面を覆っている。

- [0098] 第1半導体層31a、31bおよび第2半導体層32がこのように配置されることにより、半導体層4の第1領域4c（ゲート電極2の上に位置する部分）は第2半導体層32により構成され、半導体層4の第2領域4aおよび第3領域4bは、第1半導体層31a、31bと、その上に形成された第2半導体層32とにより構成されている。第1半導体層31a、31bの厚さは60nm以上140nm以下であり、第2半導体層32の厚さは20nm以上80nm以下である。
- [0099] 本実施形態のTFETでは、第2半導体層32の厚さ（第1領域4cの厚さ： $L_2$ ）を、オフセット部の長さ（第2半導体層32のうち、第2領域4aおよび第3領域4bにおける端部の上面から第1領域4cの上面までの、活性層の厚さ方向の距離）、すなわち第1半導体層31a、31bの厚さ（ $L_1$ 、 $L_3$ ）の1倍以上7倍以下とする。それ以外の構造は実施形態1と同様であるため、その説明を省略する。
- [0100] 次に、実施形態3のTFETの製造方法について説明する。図10（a）～（f）は、実施形態3の半導体素子の製造工程を示す断面図である。ここでは、製造工程のうち実施形態1と異なる部分のみ詳細に説明する。
- [0101] まず、図10（a）に示すように、スパッタリング法により、ガラス基板1に、Ta<sub>2</sub>N膜、Ta膜およびTa<sub>2</sub>N膜の積層であるゲート電極2を形成する。
- [0102] 次に、図10（b）に示すように、プラズマCVDを行うことにより、ゲート電極2の上に、シリコン窒化膜のゲート絶縁膜3を形成する。その後、ゲート絶縁膜3の上に、第1半導体層31a、31bを形成する。具体的には、ゲート絶縁膜3の上全体に微結晶シリコン膜または非結晶シリコン膜を形成した後、パターニングを行うことにより、ゲート電極2の上に位置する部分に溝33を形成すると共に、溝33の両側に、第1半導体層31a、31bを形成する。
- [0103] 次に、図10（c）に示すように、第1半導体層31a、31bの上および溝33の表面に、微結晶シリコン膜の第2半導体層32を形成する。さら



に、第2半導体層32の上に、リンなどのn型不純物を含むガス雰囲気下でプラズマCVDを行うことにより、不純物含有層5を形成する。

[0104] 次に、図10(d)に示すように、スパッタリング法により、島状の不純物含有層5の上に、Al膜とMo膜から構成される電極層を形成する。その後、電極層を覆うフォトレジスト7を形成する。フォトレジスト7には、ゲート電極2の上方位置で電極層が露出するように開口11を形成する。このフォトレジスト7をマスクとしてエッチングを行うことにより、まず、電極層に開口11を貫通させる。これにより、開口11の両側に、ソース電極6aおよびドレイン電極6bを形成する。

[0105] 次に、図10(e)に示すように、フォトレジスト7を残した状態で、ドライエッチングを行うことにより、露出している不純物含有層5をエッチングする。これにより、不純物含有層5がソース領域5aおよびドレイン領域5bに分離される。

[0106] その後、図10(f)に示すように、パッシベーション膜8、平坦化膜9および透明電極10を形成することによって、TFTを形成することができる。

[0107] 本実施形態では、実施形態1と同様の効果を得ることができる。それに加えて、第1半導体層31a、31bを予め分離させて形成しておくことにより、第2半導体層32の厚さを第1領域4cの厚さとすることができる。これにより、第2半導体層32(第1領域4c)の厚さ(L2)とオフセット部の厚さ(L1、L3)とを確実に制御することができる。

[0108] 本実施形態のTFTの製造方法では、開口11を形成するためのエッチング量を少なくすることができるといった利点もある。具体的には、実施形態1では、溝12を形成するときに、不純物含有層5の厚さ(例えば40nm)およびオフセット部の厚さ(L1、L3、例えば60~140nm)の分のエッチング(例えば110~180nm)を行う必要がある。この場合、エッチング分布が±10%であるなら、厚さが±11~18nmばらつくことになる。それに対し、本実施形態では、不純物含有層5の厚さ(例えば4

0 nm) +  $\alpha$ 分のエッチングを行えばよいため、50~70 nm程度を除去すればすむ。この場合、エッチング分布が $\pm 10\%$ であるなら、厚さがばらつくのは $\pm 5\sim 7$  nmの範囲内となる。したがって、より少ない誤差で厚さを制御することができる。

[0109] (実施形態4)

次に、本発明による第4の実施形態の半導体素子を説明する。図11は、実施形態4の半導体素子を示す断面図である。本実施形態の半導体素子は、ゲート電極が半導体層とガラス基板との間に配置するボトムゲート構造を有するTFETである。

[0110] 図11に示すように、本実施形態のTFETでは、ゲート絶縁膜3の上に、微結晶シリコン膜の第1半導体層41が形成され、第1半導体層41のうちゲート電極2の上に位置する部分の上には、シリコン窒化膜のエッチングストッパー層43が形成されている。エッチングストッパー層43および第1半導体層41の上には、微結晶シリコン膜または非結晶シリコン膜の第2半導体層42a、42bが形成されている。第1半導体層41および第2半導体層42a、42bは、半導体層4を構成する。

[0111] 本実施形態では、第2半導体層42a、42bの厚さ(L1、L3)を、第1半導体層41の厚さ(第1領域4cの厚さL2)の1倍以上7倍以下とする。言い換えると、第2領域4aおよび第3領域4bの端部の上面から第1領域4cの上面までの、第2半導体層42a、42bの厚さ方向の距離は、互いに独立に、第1領域4cの厚さの1倍以上7倍以下である。このとき、「第2領域4aおよび第3領域4bの端部」とは、第2半導体層42aのうちエッチングストッパー層43の側面を覆っている部分ではなく、第2半導体層42aのうち第1半導体層41の上を覆っている部分のことをいう。

[0112] 例えば、第1半導体層41の厚さは20 nm以上60 nm以下であり、第2半導体層42a、42bの厚さは20 nm以上140 nm以下であることが好ましい。それ以外の構成は、実施形態1と同様であるため、その説明を省略する。

- [0113] 本実施形態では、実施形態 1 と同様の効果を得ることができる。それに加えて、エッチングストッパー層 4 3 を設けてエッチングを行うため、より確実にエッチングを停止させることができる。したがって、第 1 半導体層 4 1 (第 1 領域 4 c) の厚さ (L 2) とオフセット部の厚さ (L 1、L 3) とを確実に制御することができる。
- [0114] 次に、実施形態 4 の製造方法について説明する。図 1 2 (a) ~ (f) は、実施形態 4 の半導体素子の製造工程を示す断面図である。
- [0115] まず、図 1 2 (a) に示すように、スパッタリング法により、ガラス基板 1 に、T a N 膜、T a 膜および T a N 膜の積層から構成されるゲート電極 2 を形成する。
- [0116] 次に、図 1 2 (b) に示すように、プラズマ CVD を行うことにより、ゲート電極 2 の上に、シリコン窒化膜のゲート絶縁膜 3 を形成する。ゲート絶縁膜 3 の上に微結晶シリコン膜の第 1 半導体層 4 1 を形成する。
- [0117] 次に、図 1 2 (c) に示すように、プラズマ CVD を行うことにより、第 1 半導体層 4 1 の上にシリコン窒化膜を形成した後、パターニングを行うことにより、第 1 半導体層 4 1 のうちゲート電極 2 の上に位置する部分の上に、エッチングストッパー層 4 3 を形成する。
- [0118] さらに、図 1 2 (d) に示すように、第 1 半導体層 4 1 およびエッチングストッパー層 4 3 を覆う第 2 半導体層 4 2 を形成し、第 2 半導体層 4 2 の上に、不純物含有層 5 を形成する。
- [0119] 次に、図 1 2 (e) に示すように、パターニングを行うことにより、第 1 半導体層 4 1、第 2 半導体層 4 2 および不純物含有層 5 を島状にする。
- [0120] 次に、図 1 2 (f) に示すように、島状の不純物含有層 5、第 2 半導体層 4 2 および第 1 半導体層 4 1 の上を覆う電極層を形成した後、電極層の上にフォトレジスト 7 を形成する。フォトレジスト 7 には、ゲート電極 2 の上方位置で電極層が露出するように開口 1 1 を形成する。このフォトレジスト 7 をマスクとしてエッチングを行うことにより、まず、電極層に開口 1 1 を貫通させる。これにより、開口 1 1 の両側に、ソース電極 6 a およびドレイン

電極 6 b を形成する。その後、エッチングストッパー層 4 3 に到達するまでエッチングを進行させることにより、ソース領域 5 a およびドレイン領域 5 b を形成するとともに、第 2 半導体層 4 2 a、4 2 b を形成する。

[0121] その後、図示は省略するがフォトレジスト 7 を除去し、パッシベーション膜 8、平坦化膜 9 および透明電極 10 を形成することにより、TFT を形成することができる。

[0122] (実施形態 5)

次に、本発明による第 5 の実施形態の半導体素子を説明する。図 1 3 は、実施形態 5 の半導体素子を示す断面図である。実施形態 1 ~ 4 の半導体素子がボトムゲート型構造を有するのに対し、本実施形態の半導体素子はトップゲート型構造（スタガ構造）を有する TFT である。

[0123] 図 1 3 に示すように、本実施形態の TFT では、絶縁基板であるガラス基板 5 1 の上に互いに離間して配置する、微結晶シリコン膜または非結晶シリコン膜の第 1 半導体層 6 1 a、6 1 b が形成されている。第 1 半導体層 6 1 a、6 1 b の厚さは 60 nm 以上 140 nm 以下であり、第 1 半導体層 6 1 a、6 1 b の間には、溝 6 3 が配置されている。第 1 半導体層 6 1 a の上にはソース領域 5 5 a が形成され、第 2 半導体層 6 1 b の上にはドレイン領域 5 5 b が形成されている。ソース領域 5 5 a およびドレイン領域 5 5 b は、非晶質シリコンまたは微結晶シリコンであり、例えばリンなどの n 型不純物を含んでいる。

[0124] ソース領域 5 5 a、ドレイン領域 5 5 b および溝 6 3 の表面は、第 2 半導体層 6 2 によって覆われている。第 2 半導体層 6 2 は、厚さ 20 nm 以上 60 nm 以下の微結晶シリコン膜または非結晶シリコン膜から形成されている。第 1 半導体層 6 1 a、6 1 b および第 2 半導体層 6 2 により、半導体層 5 4 が構成される。また、第 2 半導体層 6 2 のうち、溝 6 3 の表面を覆う部分を第 1 領域 5 4 c と呼び、第 1 半導体層 6 1 a を第 2 領域 5 4 a と呼び、第 1 半導体層 6 1 b を第 3 領域 5 4 b と呼ぶ。なお、第 2 半導体層 6 2 のうちソース領域 5 5 a およびドレイン領域 5 5 b の上を覆う部分は、電流が流れ

る活性層として機能しないため、半導体層54の第1領域54c、第2領域54aおよび第3領域54bには含まない。

[0125] 本実施形態において、第1領域54cの上面（ここでは、第2半導体層62のうち溝63の底面を覆う部分の上面をいう）は、第2領域54aおよび第3領域54bのうち第1領域54c側の端部の上面（第1半導体層61a、61bの上面）よりもガラス基板1側に位置している。また、第2領域54aにおける第1半導体層61aの上面から第1領域54cにおける第2半導体層62の上面までの、上下方向の距離（オフセット部の長さL1）は、第2半導体層62の厚さ（第1領域4cの厚さL2）の1倍以上7倍以下である。かつ、第3領域54bにおける第1半導体層61bの上面から第1領域54cにおける第2半導体層62の上面までの、上下方向の距離（オフセット部の長さL3）は、第2半導体層62の厚さ（第1領域4cの厚さL2）の1倍以上7倍以下である。

[0126] 第2半導体層62の上は、シリコン窒化膜のゲート絶縁膜53により覆われている。ゲート絶縁膜53のうち第1領域54cに対向する部分の上には、Al/Mo積層（Moが下層）のゲート電極52が形成されている。一方、ゲート絶縁膜53のうち第2領域54aに対向する部分の上には、Al/Mo積層（Moが下層）のソース電極56aが形成されている。ソース電極56aは、ゲート絶縁膜53および第2半導体層62を貫通して、ソース領域55aに接触している。また、ゲート絶縁膜53のうち第3領域54bに対向する部分の上には、Al/Mo積層（Moが下層）のドレイン電極56bが形成されている。ドレイン電極56bは、ゲート絶縁膜53および第2半導体層62を貫通して、ドレイン領域55bに接触している。ゲート絶縁膜53、ゲート電極52、ソース電極56aおよびドレイン電極56bの上は、保護膜58によって覆われている。

[0127] 本実施形態の微結晶シリコンTFETでは、オフセット部を設けることにより、オフセット部を設けない場合と比較して、オフ電流を少なくすることができる。すなわち、微結晶シリコンTFETの利点であるオン電流の多さ（高

移動度)を確保しつつ、オフ電流を少なくすることができるため、高ON/OFF比を実現することができる。

[0128] 微結晶シリコンTFETでは、ゲート電圧が負(〜−30V)のときに、急激にオフ電流が増加してしまうが、オフセット部の長さL1、L3を、第1領域4cの厚さL2の1倍以上とすることにより、オフ電流の増加を抑制することができる。また、オフセット部の長さL1、L3を、第1領域4cの厚さL2の7倍以下とすることにより、寄生抵抗が大きくなることによるオン電流の低下を回避することができる。具体的には、オフセット領域(L1、L3)の長さが60nm以上140nm以下であれば、高移動度(オン特性)と低オフ電流(最低オフ電流)を両立することができる。

[0129] また、半導体層54として微結晶シリコン膜を形成したため、一般的なa-SiTFETと同様の製造プロセスによってTFETを容易に製造することができる。

[0130] さらに、第1半導体層61a、61bの厚さから第2半導体層62の厚さを引いた値をオフセット部の厚さ(L1、L3)とし、第2半導体層62の厚さを第1領域4cの厚さ(L2)とすることができるため、これらの厚さをより確実に制御することができる。

[0131] 次に、本実施形態のTFETの製造方法について、図14(a)〜(e)を参照しながら説明する。図14(a)〜(e)は、実施形態5の半導体素子の製造工程を示す断面図である。

[0132] まず、図14(a)に示すように、ガラス基板51の上に、高密度プラズマCVD(ICP方式、表面波プラズマ方式又はECR方式)を行うことにより、微結晶シリコン膜61を形成する。ここで、微結晶シリコン膜61のかわりに非結晶シリコン膜を形成してもよく、その場合には、例えば、プラズマCVDを行えばよい。

[0133] その後、リンなどのn型不純物を含むガス雰囲気下でプラズマCVDを行うことにより、微結晶シリコン膜61の上に不純物含有層55を形成する。

[0134] 次に、図14(b)に示すように、不純物含有層55の上にレジストマス

ク（図示せず）を形成してパターニングを行うことにより、不純物含有層55および微結晶シリコン膜61に溝63を形成する。これにより、溝63の両側に、第1半導体層61a、61bおよびソース領域55a、ドレイン領域55bを形成する。

[0135] 次に、図14(c)に示すように、高密度プラズマCVD（ICP方式、表面波プラズマ方式又はECR方式）を行うことにより、第1半導体層61a、61bおよび溝63を覆う微結晶シリコン膜である第2半導体層62を形成する。本実施形態では、第2半導体層62の厚さを、第1半導体層61a、61bの厚さの1/8以上1/2以下とする。

[0136] 次に、図14(d)に示すように、プラズマCVDを行うことにより、第2半導体層62の上に、シリコン窒化膜のゲート絶縁膜53を形成する。

[0137] その後、図14(e)に示すように、ゲート絶縁膜53の上に、ゲート電極52、ソース電極56aおよびドレイン電極56bを形成し、これらの上にシリコン窒化膜の保護膜58を形成する。以上の工程によりTFETを形成することができる。

[0138] （実施形態6）

次に、本発明による第6の実施形態の半導体素子を説明する。図15は、実施形態6の半導体素子を示す断面図である。本実施形態の半導体素子はトップゲート型構造（スタガ構造）を有するTFETである。

[0139] 図15に示すように、本実施形態のTFETでは、絶縁基板であるガラス基板51の上に、厚さ20nm以上60nm以下の微結晶シリコン膜である第1半導体層71が形成されている。第1半導体層71の上には第2半導体層72a、72bが形成されており、第2半導体層72a、72bの間は、溝73により互いに分離されている。第2半導体層72a、72bは、厚さ60nm以上140nm以下の微結晶シリコン膜または非結晶シリコン膜から形成されている。第1半導体層71および第2半導体層72a、72bにより、半導体層54が構成されている。また、第1半導体層71のうち溝73の底面の下に位置する部分を第1領域54cと呼び、第2半導体層72aと

その下の第1半導体層71を第2領域54aと呼び、第2半導体層72bとその下の第1半導体層71を第3領域54bと呼ぶ。

[0140] 本実施形態において、第1領域54cの上面は、第2領域54aおよび第3領域54bのうち第1領域54c側の端部の上面よりもガラス基板51側に位置している。また、第2領域54aにおける第2半導体層72aの上面から第1領域54cにおける第1半導体層71の上面までの、上下方向の距離（オフセット部の長さL1）は、第1半導体層71の厚さ（第1領域54cの厚さL2）の1倍以上7倍以下である。かつ、第3領域54bにおける第2半導体層72bの上面から第1領域54cにおける第1半導体層71の上面までの、上下方向の距離（オフセット部の長さL3）は、第1半導体層71の厚さ（第1領域54cの厚さL2）の1倍以上7倍以下である。

[0141] 第2半導体層72aの上にはソース領域55aが形成され、第2半導体層72bの上にはドレイン領域55bが形成されている。ソース領域55aおよびドレイン領域55bと、溝73の底面に配置する第1半導体層71との上は、シリコン窒化膜のゲート絶縁膜53が形成されている。

[0142] ゲート絶縁膜53のうち第1領域54cに対向する部分の上には、Al/Mo積層（Moが下層）のゲート電極52が形成されている。一方、ゲート絶縁膜53のうち第2領域54aに対向する部分の上には、Al/Mo積層（Moが下層）のソース電極56aが形成されている。ソース電極56aは、ゲート絶縁膜53および第2半導体層72a、72bを貫通して、ソース領域55aに接触している。また、ゲート絶縁膜53のうち第3領域54bに対向する部分の上には、Al/Mo積層（Moが下層）のドレイン電極56bが形成されている。ドレイン電極56bは、ゲート絶縁膜53および第2半導体層72a、72bを貫通して、ドレイン領域55bに接触している。ゲート絶縁膜53、ゲート電極52、ソース電極56aおよびドレイン電極56bの上は、シリコン窒化膜の保護膜58によって覆われている。

[0143] 本実施形態の微結晶シリコンTFTでは、オフセット部を設けることにより、オフセット部を設けない場合と比較して、オフ電流を少なくすることが



できる。すなわち、微結晶シリコンTFTの利点であるオン電流の多さ（高移動度）を確保しつつ、オフ電流を少なくすることができるため、高ON/OFF比を実現することができる。

[0144] 微結晶シリコンTFTでは、ゲート電圧が負（ $\sim -30\text{V}$ ）のときに、急激にオフ電流が増加してしまうが、オフセット部の長さ $L_1$ 、 $L_3$ を、第1領域4cの厚さ $L_2$ の1倍以上とすることにより、オフ電流の増加を抑制することができる。また、オフセット部の長さ $L_1$ 、 $L_3$ を、第1領域4cの厚さ $L_2$ の7倍以下とすることにより、寄生抵抗が大きくなることによるオン電流の低下を回避することができる。具体的には、オフセット領域（ $L_1$ 、 $L_3$ ）の長さが60nm以上140nm以下であれば、高移動度（オン特性）と低オフ電流（最低オフ電流）を両立することができる。

[0145] また、半導体層54として微結晶シリコン膜を形成したため、一般的なa-SiTFTと同様の製造プロセスによってTFTを容易に製造することができる。

[0146] 次に、本実施形態のTFTの製造方法について、図16(a)～(d)を参照しながら説明する。図16(a)～(d)は、実施形態6の半導体素子の製造工程を示す断面図である。

[0147] まず、図16(a)に示すように、ガラス基板51の上に、高密度プラズマCVD（ICP方式、表面波プラズマ方式又はECR方式）を行うことにより、微結晶シリコン膜の第1半導体層71を形成する。続いて、高密度プラズマCVD（ICP方式、表面波プラズマ方式又はECR方式）を行うことにより、第1半導体層71の上に、微結晶シリコン膜の第2半導体層72を形成する。このとき、第2半導体層72として、非結晶シリコン膜を形成してもよい。その後、第2半導体層72の上に、不純物含有層55を形成する。次に、図16(b)に示すように、不純物含有層55の上にレジストマスク74を形成してパターニングを行うことにより、不純物含有層55および第2半導体層72に溝73を形成する。これにより、溝73の両側に、ソース領域55a、ドレイン領域55bを形成するとともに、第2半導体層7

2 a、7 2 bを形成する。その後、レジストマスク7 4を除去する。

[0148] 次に、図1 6 (c)に示すように、ソース領域5 5 a、ドレイン領域5 5 bおよび溝7 3の表面を覆うゲート絶縁膜5 3を形成する。

[0149] 次に、図1 6 (d)に示すように、ゲート絶縁膜5 3を介した溝7 3の上にゲート電極5 2、ソース電極5 6 aおよびドレイン電極5 6 bを形成する。以上の工程によりT F Tを形成することができる。

[0150] 実施形態5、6のようにトップゲート型のT F Tを形成する場合には、微結晶シリコン膜が厚くなると結晶化率が増加する傾向にあり、その結晶化率の高い領域がゲート絶縁膜との界面に近い側に配置されるため、ボトムゲート構造に対して移動度を高めることが可能になる。

[0151] (実施形態7)

次に、本発明による第7の実施形態の半導体素子を説明する。図1 7は、実施形態7の半導体素子を示す断面図である。本実施形態の半導体素子は、ゲート電極が半導体層とガラス基板との間に配置するボトムゲート構造を有するT F Tである。

[0152] 図1 7に示すように、本実施形態のT F Tでは、半導体層4と、ソース領域5 aおよびドレイン領域5 bとの間に、酸素を含む層8 1が形成されている。酸素を含む層8 1は、その周囲の領域(半導体層4、ソース領域5 aおよびドレイン領域5 b)よりも高い濃度の酸素を含む。具体的には、酸素を含む層8 1は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下の酸素を含むことが好ましい。また、より好ましくは、 $1 \times 10^{21} \text{ atoms/cm}^3$ 以上の酸素を含むことが好ましい。酸素を含む層8 1の厚さは、酸素を含む層8 1の酸素濃度にもよるが、例えば1 nm以上30 nm以下であることが好ましい。1 nm以上であれば、オフ電流をより確実に低減できる。一方、30 nmを超えると、酸素を含む層8 1の電気抵抗が大きくなりすぎてオン電流が低下してしまう可能性がある。

[0153] 本実施形態において、第1領域4 cの上面は、第2領域4 aおよび第3領域4 bのうち第1領域4 c側の端部の上面よりもガラス基板1側に位置して

いる。そして、第2領域4 aおよび第3領域4 bの端部の上面から第1領域4 cの上面までの、活性層の厚さ方向の距離（オフセット部の長さ）は、互いに独立に、第1領域4 cの厚さの1倍以上7倍以下である。それ以外の構成は、実施形態1と同様であるため、その説明を省略する。

[0154] 本実施形態のTFTでは、実施形態1と同様の効果を得ることができる。さらに、ソース領域5 aとドレイン領域5 bとの間の電流経路上に、電気抵抗の高い酸素を含む層8 1を形成することにより、オフ電流をより低減することができるので、オン・オフ比を改善できる。

[0155] 次に、酸素を含む層8 1の製造工程について説明する。図18 (a) ~ (e) は、実施形態7の半導体素子の製造工程を示す断面図である。ここでは、製造工程のうち実施形態1と異なる部分のみ詳細に説明する。

[0156] まず、図18 (a) に示すように、ガラス基板1にゲート電極2を形成した後、図18 (b) に示すように、ゲート絶縁膜3および半導体層4を形成する。

[0157] 次に、基板をチャンバーから取り出して酸素を含む空气中に晒す。このとき、半導体層4の温度を15°C以上30°C以下に保ち、24時間から48時間、半導体層4を空気に接触させる。これにより、図18 (c) に示すように、半導体層4の表面が酸化され、酸素を含む層8 1が形成される。

[0158] 次に、図18 (d) に示すように、酸素を含む層8 1の上に不純物含有層5を形成する。その後、図18 (e) に示すように、半導体層4、酸素を含む層8 1および不純物含有層5を島状にする。

[0159] その後、実施形態1と同様の工程を行うことにより、図17に示すようなTFTを得ることができる。

[0160] 半導体層4、ソース領域5 aおよびドレイン領域5 bを形成する工程では、チャンバー内に微量の酸素が存在するため、意図しなくても半導体層4、ソース領域5 aおよびドレイン領域5 bには酸素が導入される。また、製造工程の途中や終了した後に、酸素が入り込むこともある。しかしながら、酸素を含む層8 1を形成する工程では、半導体層4の表面を意図的に酸素に晒

すため、半導体層 4 の表面には、他の領域よりも多量の酸素が供給される。したがって、酸素を含む層 8 1 の酸素濃度は、周囲の領域の酸素濃度よりも高くなる。

[0161] また、同一のチャンバー内で半導体層 4 と酸素を含む層 8 1 とを CVD 法で連続形成してもよい。

[0162] なお、上記実施形態 1～7 では、TFT として、液晶表示装置のアクティブマトリクス基板 102（図 6 に示す）に用いる TFT を例に挙げて説明したが、本発明はこれに限らず、有機 EL 表示装置のアクティブマトリクス基板等に用いてもよい。また、画素のスイッチング素子である TFT としてだけでなく、その他にも例えばゲートドライバや有機 EL 表示装置のスイッチング素子にも適用することができる。

#### **産業上の利用可能性**

[0163] 以上説明したように、一般的に用いられている a-Si TFT では移動度が不足している場合に非常に有効となり、例えば、大型液晶表示装置または有機 EL 表示装置等へ利用することができる。

## 請求の範囲

- [1] 基板と、  
前記基板に形成され、第1領域と、前記第1領域の両側にそれぞれ位置する第2領域および第3領域とを有する島状の活性層と、  
前記活性層の第2領域の上に接する第1コンタクト層および前記活性層の第3領域の上に接する第2コンタクト層と、  
前記第1コンタクト層を介して前記第2領域と電氣的に接続された第1電極と、  
前記第2コンタクト層を介して前記第3領域と電氣的に接続された第2電極と、  
前記第1領域に対して、ゲート絶縁膜を介して対向するように設けられたゲート電極であって、前記第1領域の導電性を制御するゲート電極とを備えた半導体素子であって、  
前記第1領域の上面は、前記第2領域および前記第3領域のうち前記第1領域側の端部の上面よりも基板側に位置し、前記第2領域および前記第3領域の前記端部の上面から前記第1領域の前記上面までの、前記活性層の厚さ方向の距離は、互いに独立に、前記第1領域の厚さの1倍以上7倍以下である、半導体素子。
- [2] 少なくとも前記第1領域は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される、請求項1に記載の半導体素子。
- [3] 前記微結晶シリコン膜のうち前記アモルファス相の体積分率は、5%以上40%以下である、請求項2に記載の半導体素子。
- [4] 前記距離は60nm以上140nm以下であって、前記第1領域の厚さは20nm以上60nm以下である、請求項2または3に記載の半導体素子。
- [5] 前記第2領域および前記第3領域のうち前記第1領域側の端部は、微結晶シリコンから形成される、請求項1から4のいずれかに記載の半導体素子。
- [6] 前記第2領域および前記第3領域のうち前記第1領域側の端部は、非晶質シリコンから形成される、請求項1から4のいずれかに記載の半導体素子。

- [7] 前記ゲート電極は、前記活性層と前記基板との間に配置されている、請求項 1 から 6 のいずれかに記載の半導体素子。
- [8] 前記ゲート電極は、前記活性層に対して、前記基板と反対側に配置されている、請求項 1 から 6 のいずれかに記載の半導体素子。
- [9] 前記活性層は、第 1 活性層と、中間層と、第 2 活性層とを基板側からこの順に有し、  
前記第 1 領域は前記第 1 活性層から形成され前記第 2 活性層を含まず、前記第 2 領域および前記第 3 領域は、前記第 1 活性層、前記中間層および前記第 2 活性層から形成されている、請求項 1 から 8 のいずれかに記載の半導体素子。
- [10] 前記第 1 活性層および前記第 2 活性層はシリコン層であり、  
前記中間層はシリコン酸化物から形成されている膜である、請求項 9 に記載の半導体素子。
- [11] 前記シリコン酸化物から形成されている膜の厚さは 1 nm 以上 3 nm 以下である、請求項 10 に記載の半導体素子。
- [12] 基板にゲート電極を形成する工程 (a) と、  
前記ゲート電極の上を覆うゲート絶縁膜を形成する工程 (b) と、  
前記ゲート絶縁膜の上に半導体層を形成する工程 (c) と、  
前記半導体層の上に、不純物含有半導体層を形成する工程 (d) と、  
前記不純物含有半導体層のうち前記ゲート電極の上に位置する部分と、前記半導体層のうち前記ゲート電極の上に位置する部分の上部とを除去することにより、前記半導体層のうち前記ゲート電極上に位置する部分を第 1 領域とする活性層を形成し、前記活性層のうち前記第 1 領域となる部分の厚さを他の部分よりも小さくする工程 (e) とを包含し、  
前記第 1 領域の厚さを、前記半導体層の厚さの  $1/8$  以上  $1/2$  以下とする、半導体素子の製造方法。
- [13] 前記工程 (c) は、前記ゲート絶縁膜側から、第 1 半導体層と、前記第 1 半導体層の上に位置する中間層と、前記中間層の上に位置する第 2 半導体層

とをこの順に有する前記半導体層を形成する工程であり、

前記工程（e）は、前記中間層のエッチングレートよりも前記第2半導体層のエッチングレートが高い条件で、少なくとも前記第2半導体層を除去する工程を含む、請求項12に記載の半導体素子の製造方法。

[14] 前記工程（c）において、前記第1半導体層として、結晶粒およびアモルファス相を有する微結晶シリコン膜を形成し、前記第2半導体層として、微結晶シリコン膜または非晶質シリコン膜を形成する、請求項13に記載の半導体素子の製造方法。

[15] 前記工程（c）は、前記第1半導体層に対して、酸素プラズマ処理、UV処理、またはオゾン処理を行うことにより、前記中間層として、前記第1半導体層の表面を酸化する工程を含む、請求項14に記載の半導体素子の製造方法。

[16] 前記工程（c）は、前記ゲート絶縁膜側から、前記ゲート絶縁膜の上面に接する第1半導体層と、前記第1半導体層のうち少なくとも前記ゲート電極の上に位置する部分を覆うエッチングストッパー膜と、前記エッチングストッパー膜の上に位置する第2半導体層とをこの順に有する前記半導体層を形成する工程であり、

前記工程（e）は、前記エッチングストッパー膜のエッチングレートよりも前記第2半導体層のエッチングレートが高い条件で、少なくとも前記第2半導体層を除去する工程を含む、請求項12に記載の半導体素子の製造方法。

[17] 基板にゲート電極を形成する工程（a）と、  
前記ゲート電極の上を覆うゲート絶縁膜を形成する工程（b）と、  
前記ゲート絶縁膜の上に第1半導体膜を形成し、前記第1半導体膜のうち前記ゲート電極の上に位置する部分を除去することにより、前記ゲート電極上に溝部を有する第1半導体層を形成する工程（c）と、

前記溝部を有する第1半導体層の上に第2半導体層を形成して、前記第1半導体層および前記第2半導体層から形成される活性層を形成する工程（d

)とを包含し、

前記第2半導体層の厚さを前記第1半導体層の厚さの1倍以上7倍以下とする、半導体素子の製造方法。

[18] 前記第1半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される、請求項17に記載の半導体素子の製造方法。

[19] 基板に第1半導体層を形成する工程(a)と、  
前記第1半導体層の上に不純物含有半導体層を形成する工程(b)と、  
前記不純物含有半導体層および前記第1半導体層に溝部を形成することにより、前記第1半導体層と不純物含有半導体層とを分離し、第1領域と第2領域を形成する工程(c)

と、

前記第1領域、前記第2領域および前記溝部を覆う第2半導体層を形成する工程(d)と、

前記第2半導体層を覆うゲート絶縁膜を形成し、前記ゲート絶縁膜を介した前記溝部の上にゲート電極を形成する工程(e)とを包含し、

前記第2半導体層の厚さを、前記第1半導体層の厚さの1/8以上1/2以下とする、半導体素子の製造方法。

[20] 前記第2半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される、請求項19に記載の半導体素子の製造方法。

[21] 基板に第1半導体層を形成する工程(a)と、  
前記第1半導体層の上に第2半導体層を形成する工程(b)と、  
前記第2半導体層の上に不純物含有半導体層を形成する工程(c)と、  
前記不純物含有半導体層および前記第2半導体層に溝部を形成することにより、前記第1半導体層と、前記溝部を有する第2半導体層とから形成される活性層を形成する工程(d)と、

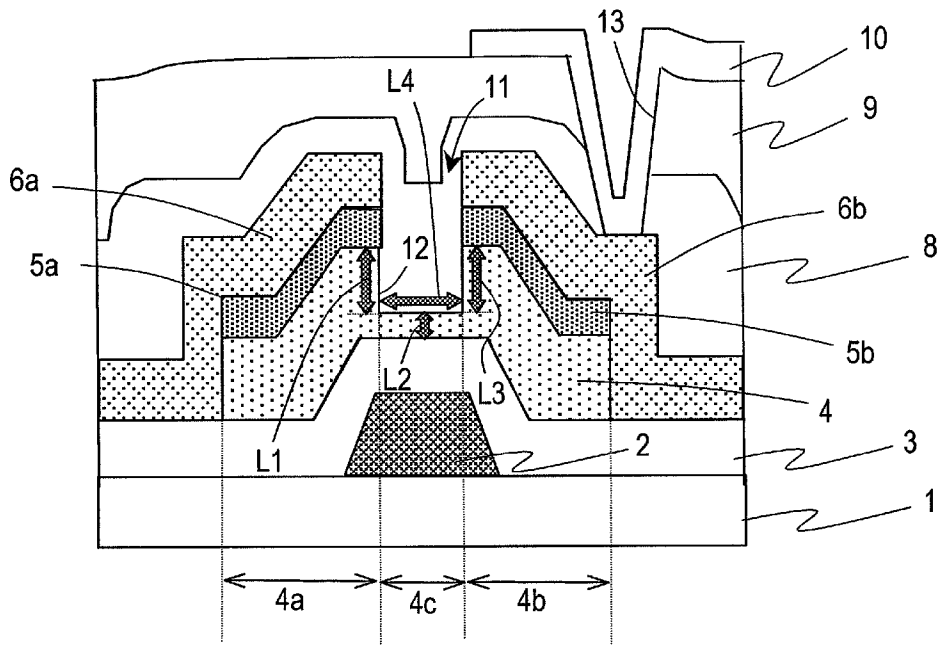
前記不純物含有半導体層と前記溝部の表面を覆うゲート絶縁膜を形成し、前記ゲート絶縁膜を介した前記溝部の上にゲート電極を形成する工程(e)とを包含し、



前記第 2 半導体層の厚さを、前記第 1 半導体層の厚さの 1 倍以上 7 倍以下とする、半導体素子の製造方法。

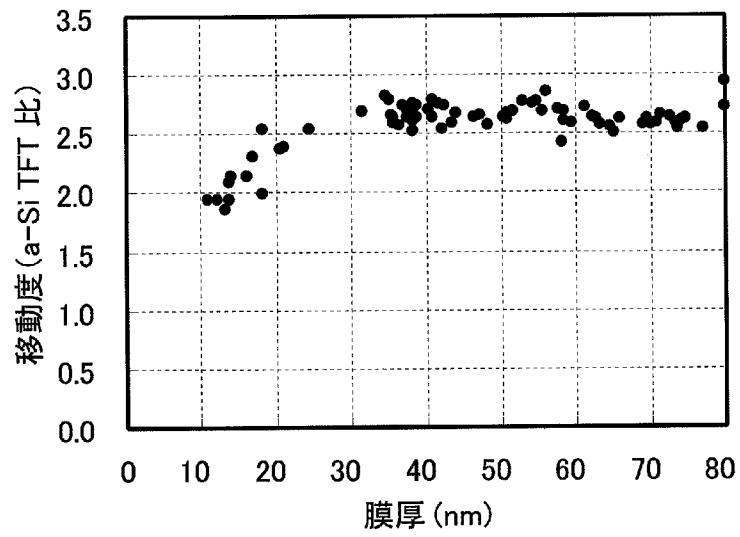
- [22] 前記第 1 半導体層は、結晶粒およびアモルファス相を有する微結晶シリコン膜から形成される、請求項 21 に記載の半導体素子の製造方法。
- [23] 前記微結晶シリコン膜は、ICP 方式、表面波プラズマ方式または ECR 方式の高密度プラズマ CVD により形成される、請求項 18、20 または 22 に記載の半導体素子の製造方法。

[図1]

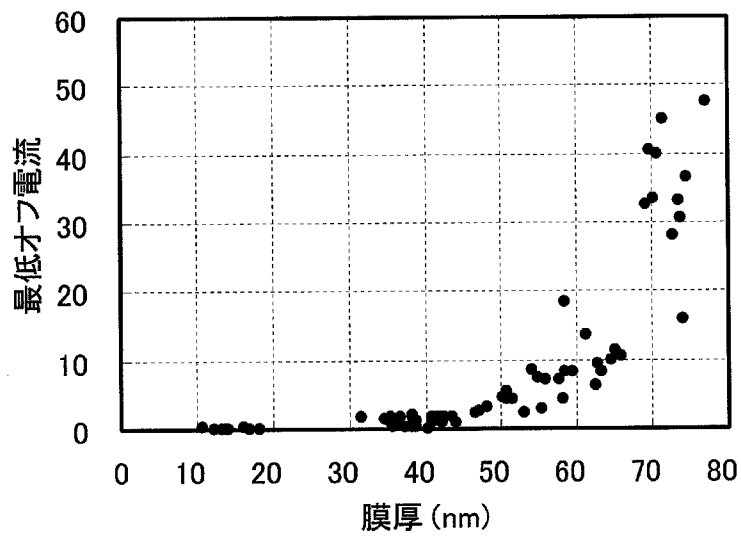


[図2]

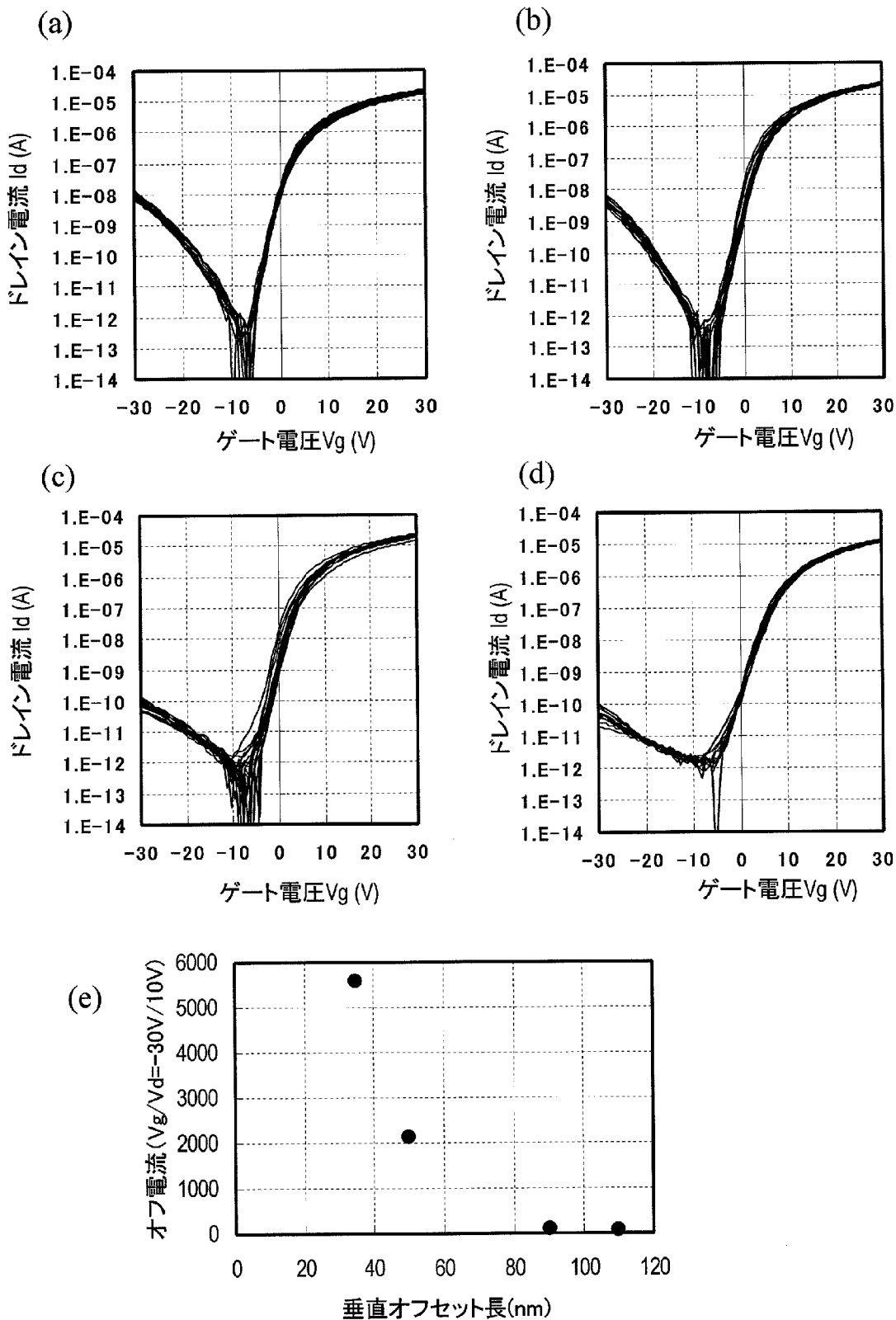
(a)



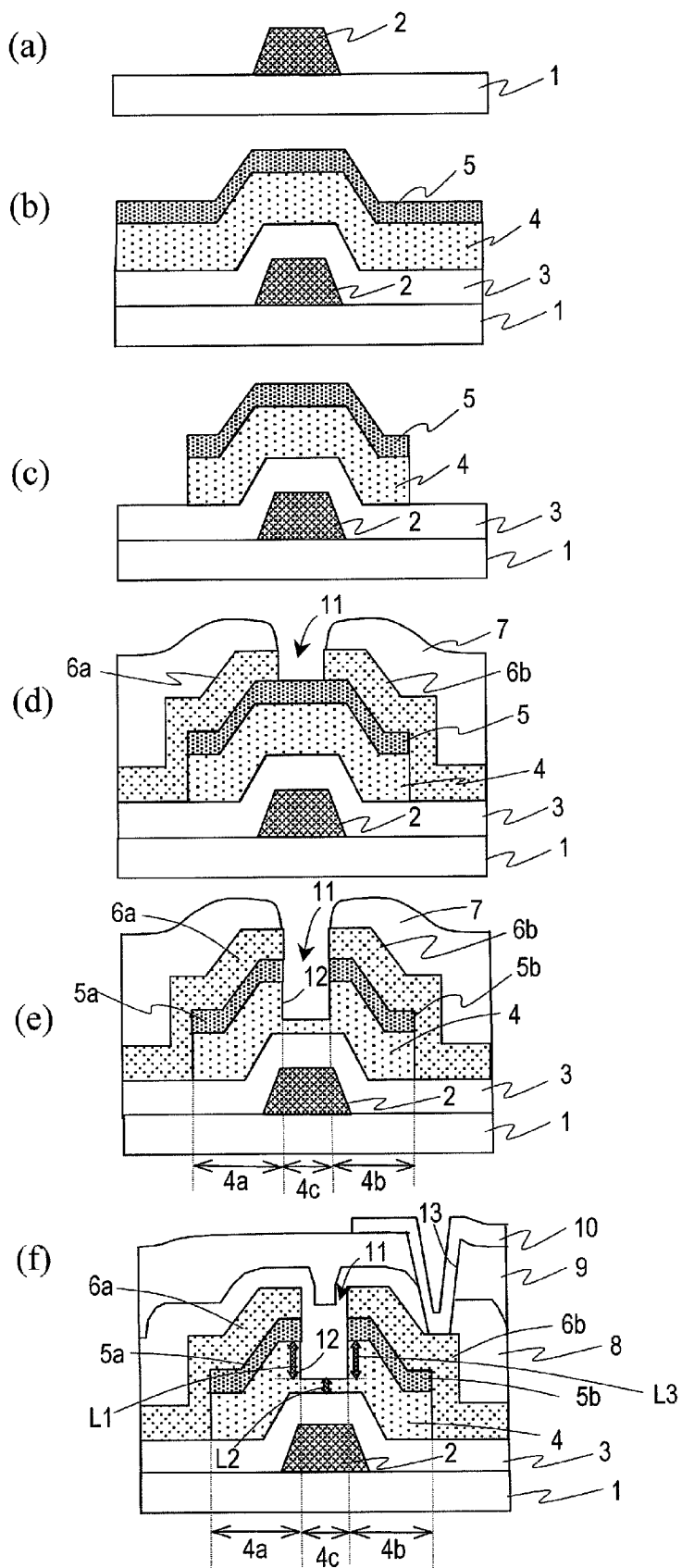
(b)



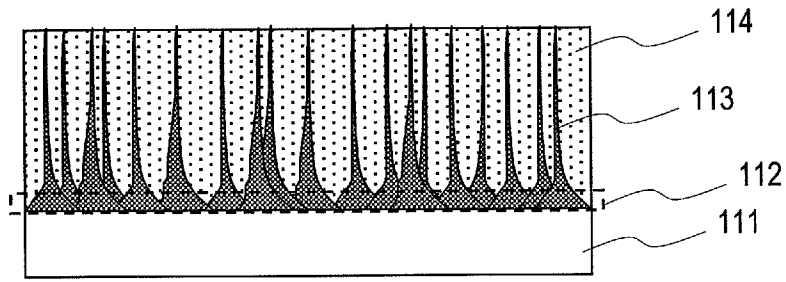
[図3]



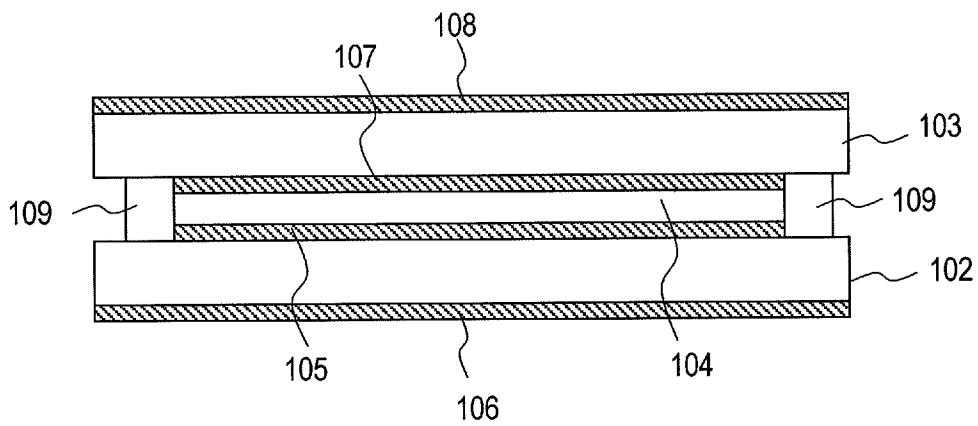
[図4]



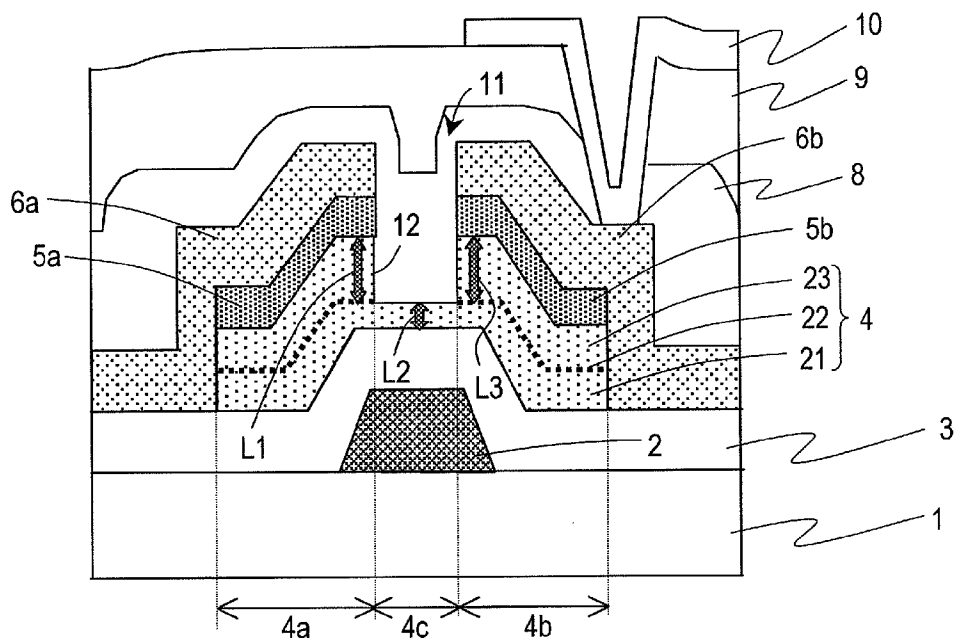
[図5]



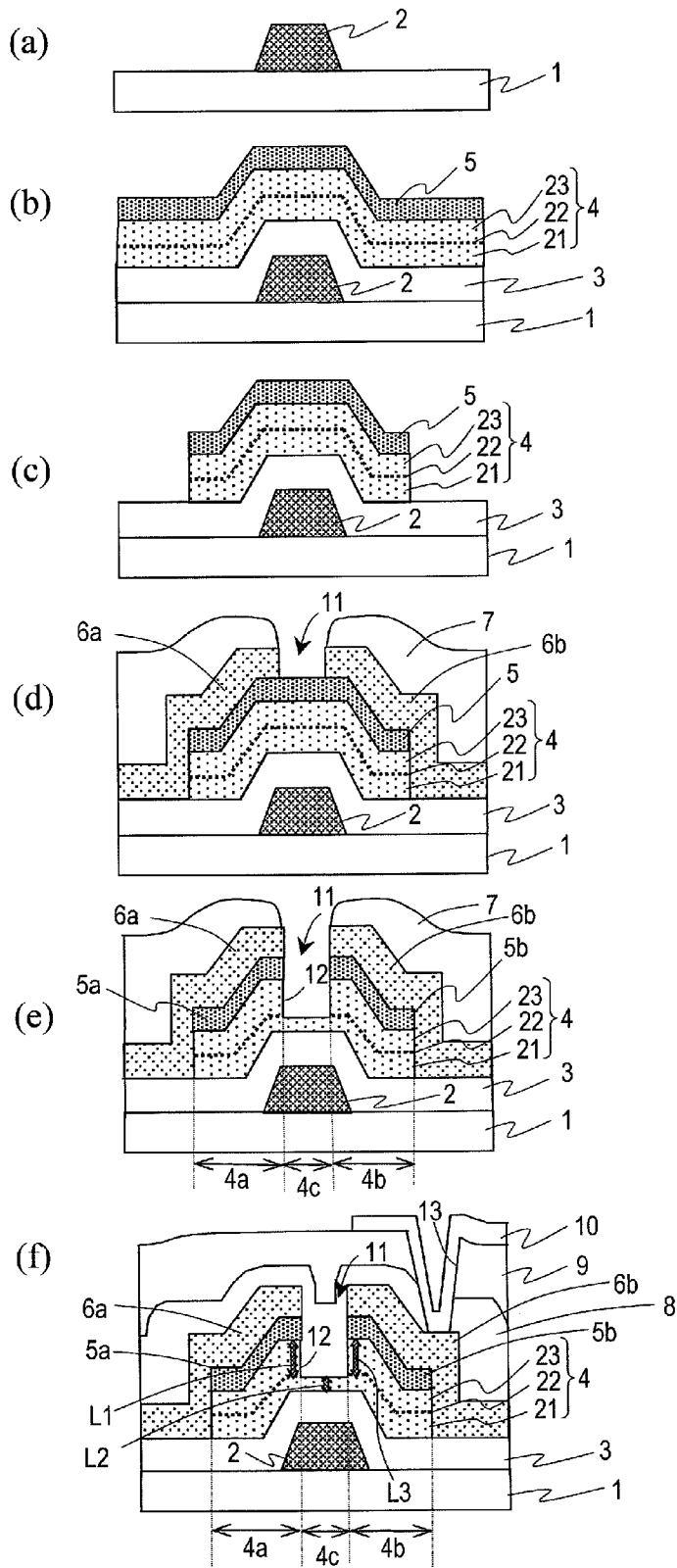
[図6]



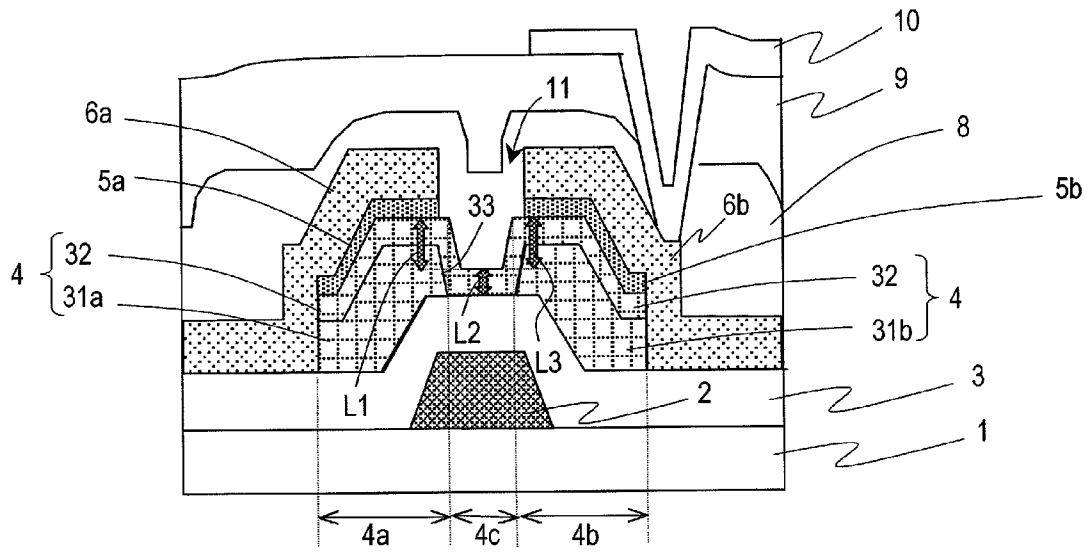
[図7]



[図8]

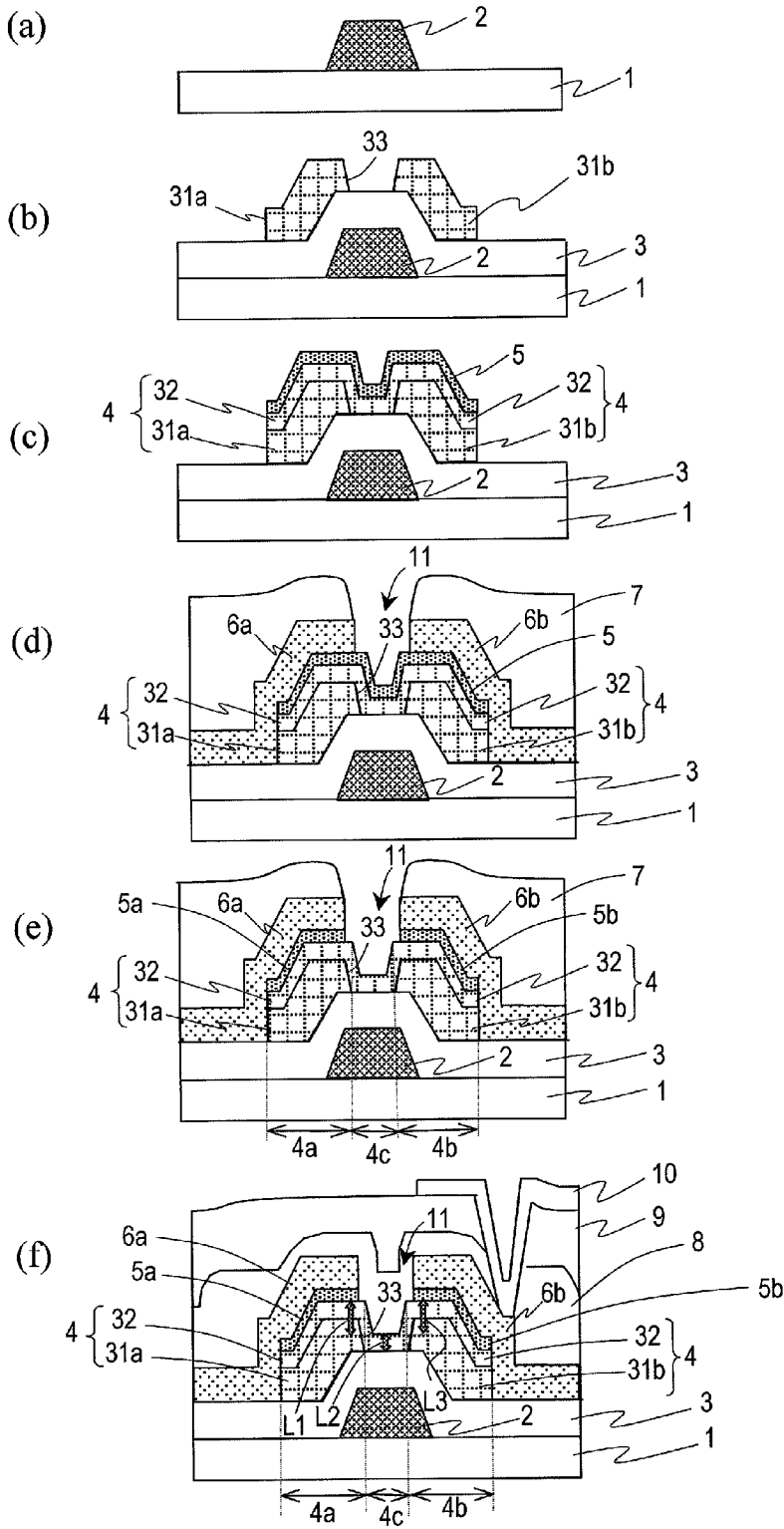


[図9]

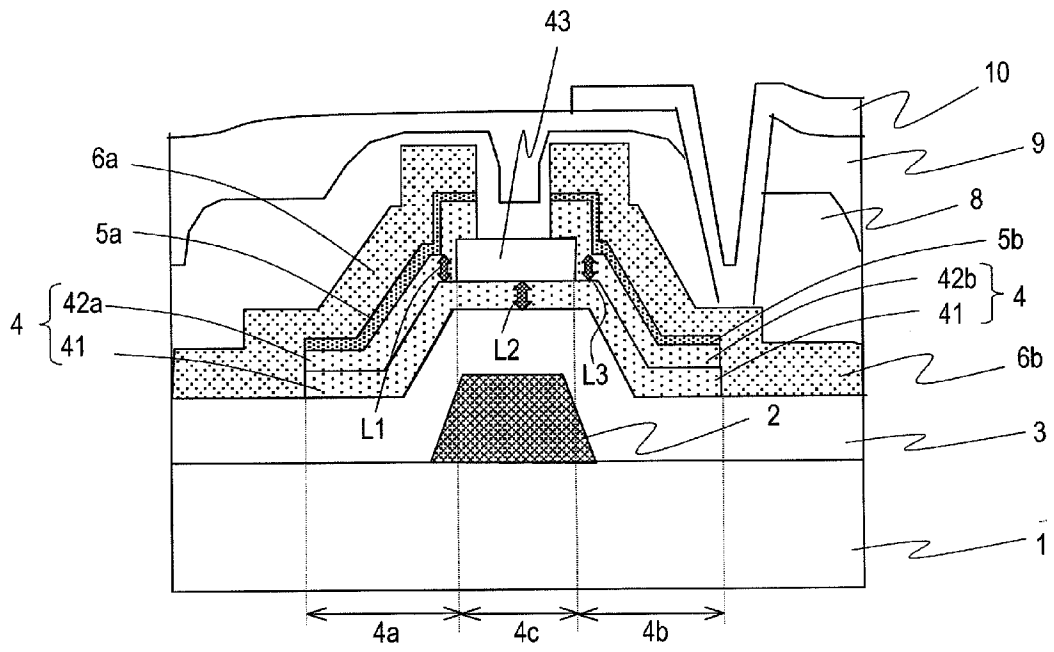




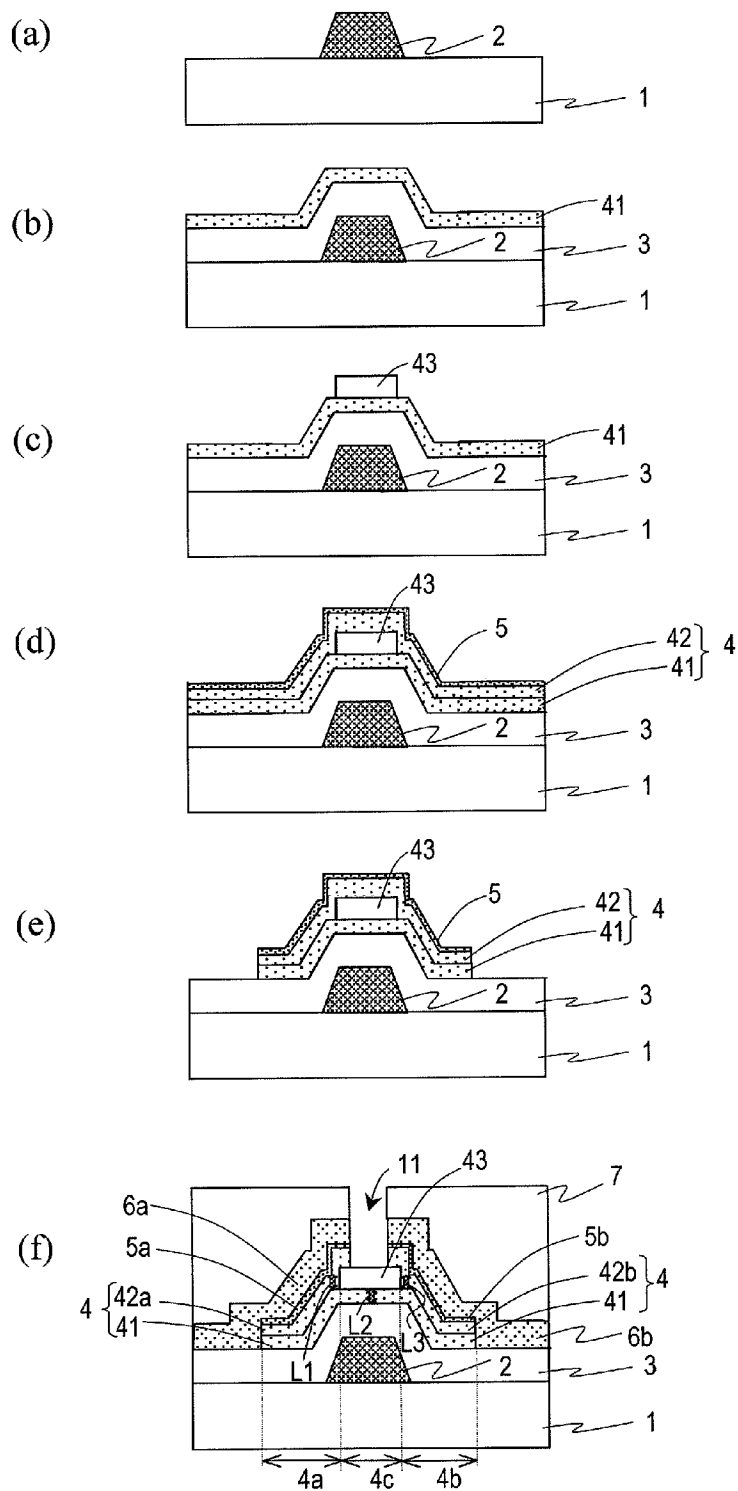
[図10]



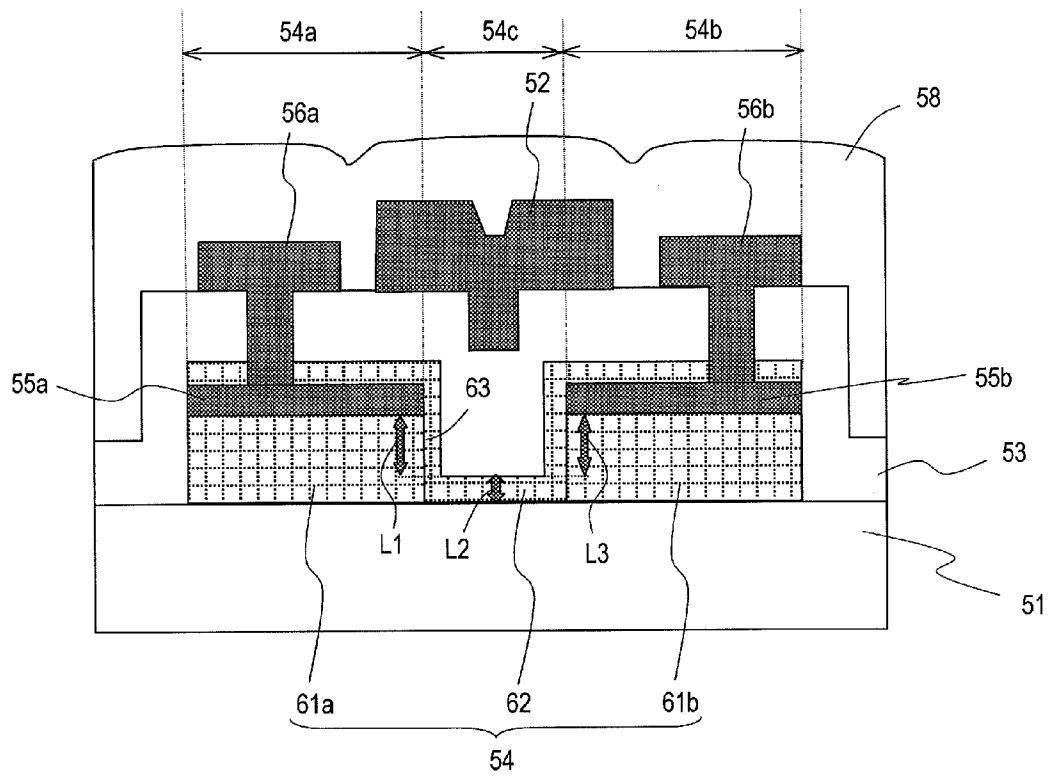
[図11]



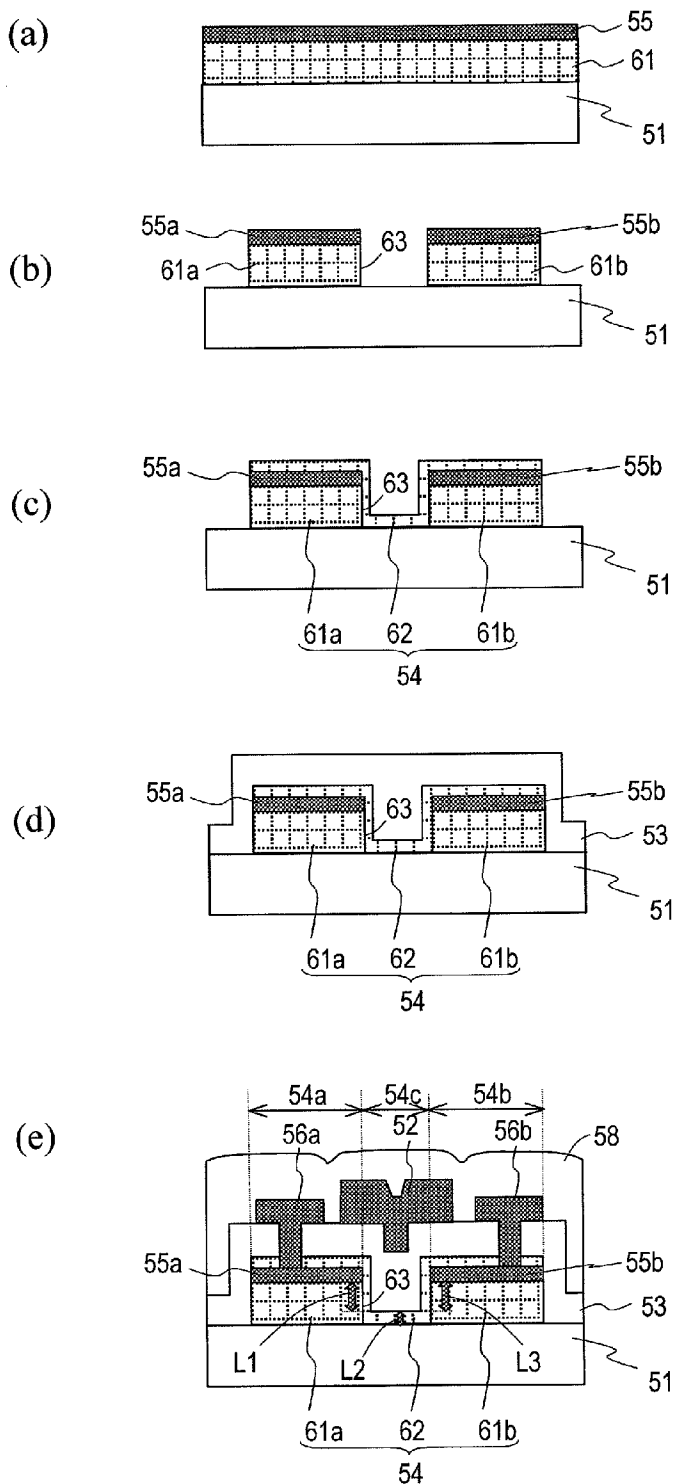
[圖12]



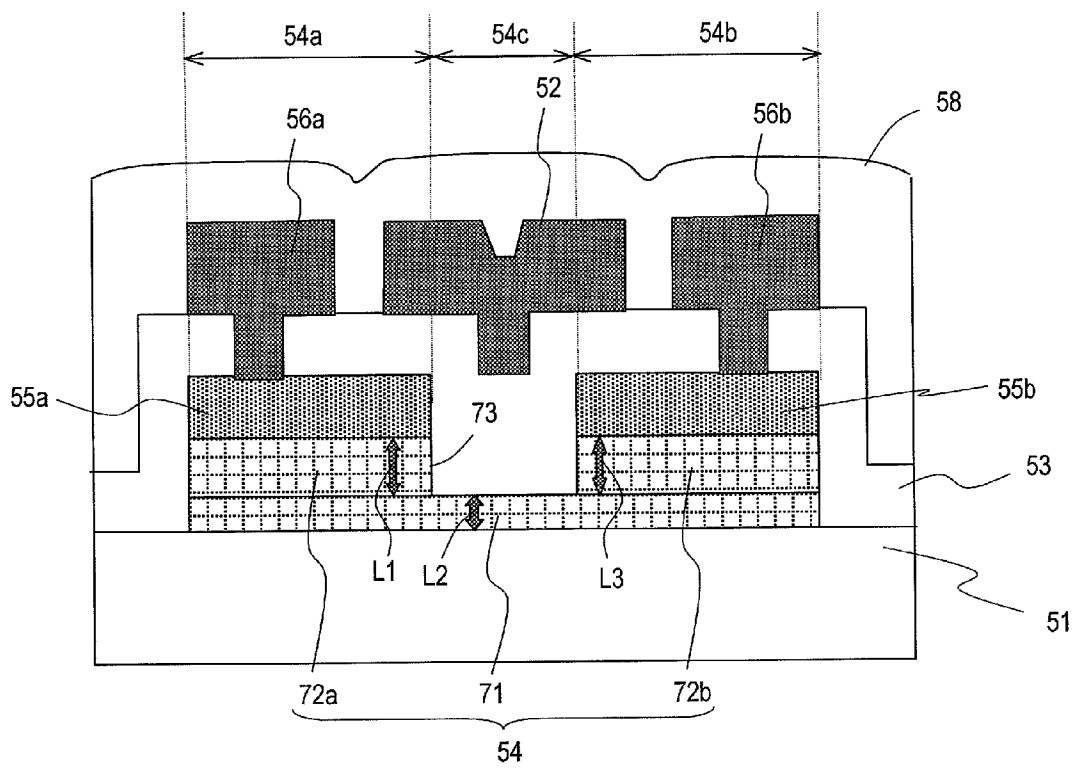
[図13]



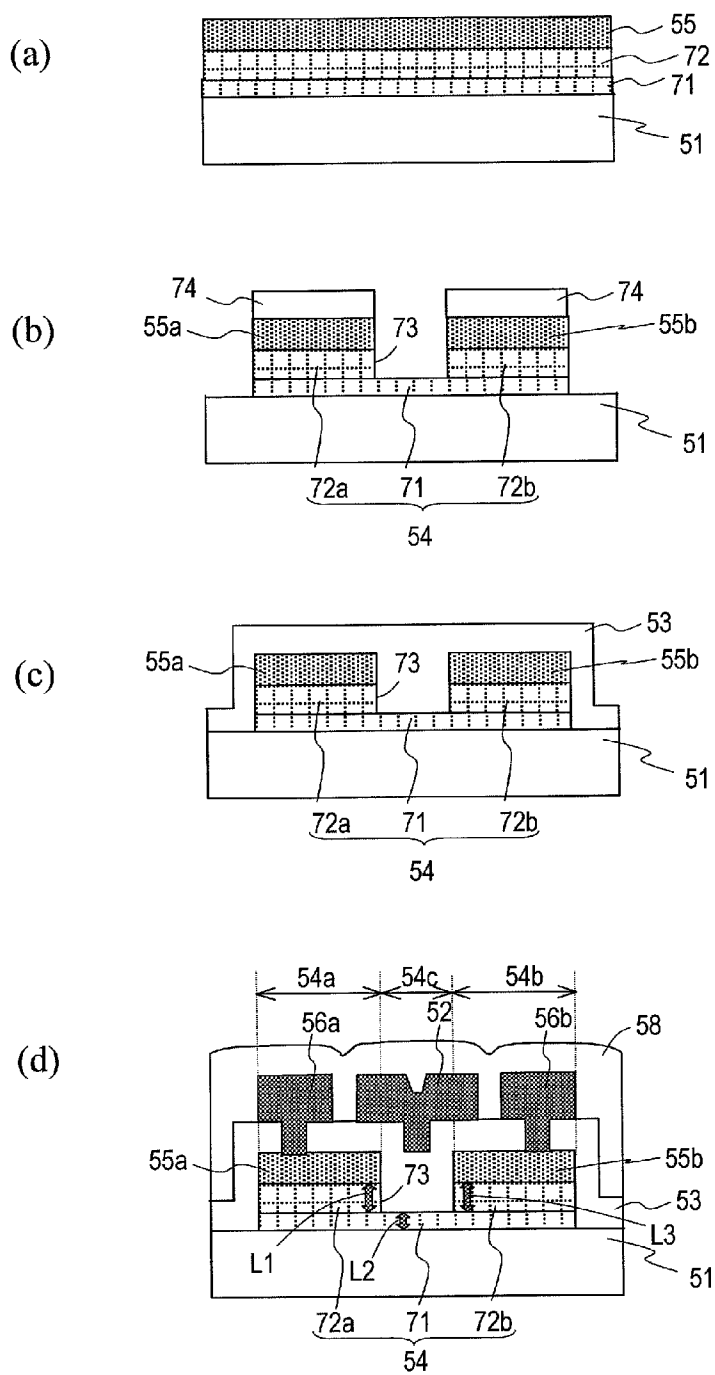
[図14]



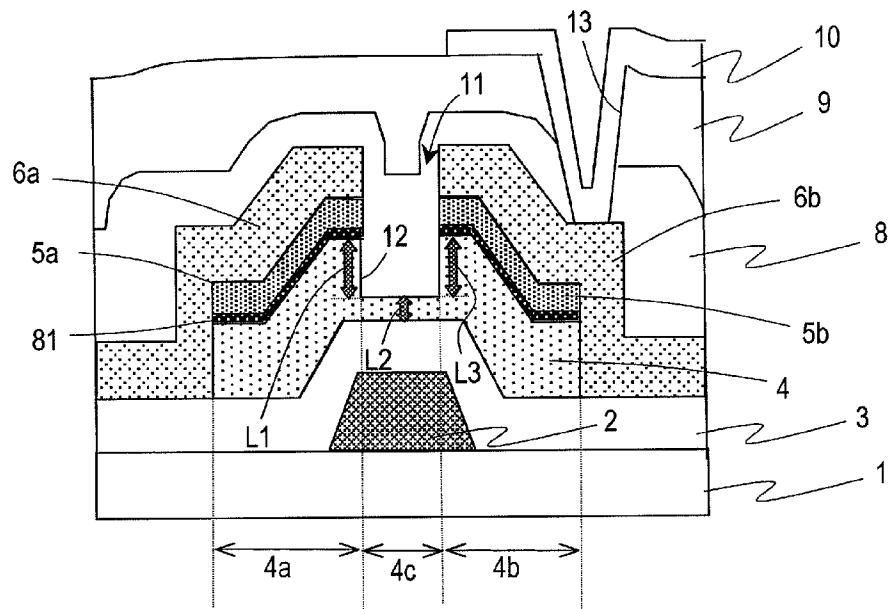
[図15]



[図16]

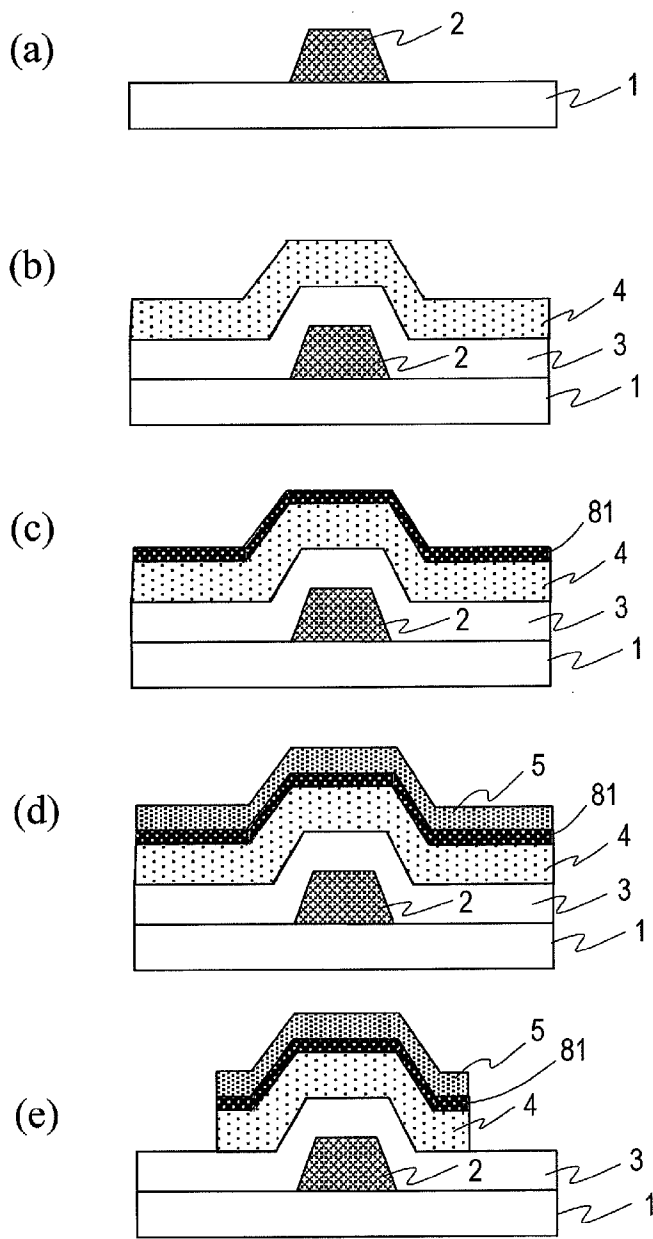


[図17]





[図18]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2009/000252

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L29/786(2006.01) i, H01L21/205(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L29/786, H01L21/205, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-127296 A (NEC Corp.), 11 May, 2001 (11.05.01), Par. Nos. [0050] to [0064]; Figs. 8, 9 (Family: none)	1, 6, 7, 9-11 2-5
Y	JP 6-196701 A (Sharp Corp.), 15 July, 1994 (15.07.94), Full text; all drawings & US 5686349 A & EP 592227 A2 & KR 10-0130955 B	2-5
Y	JP 8-148690 A (Sharp Corp.), 07 June, 1996 (07.06.96), Full text; all drawings (Family: none)	2-5

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 April, 2009 (02.04.09)	Date of mailing of the international search report 14 April, 2009 (14.04.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/000252

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

There are six inventions in claims of this international application as stated in the extra sheet.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-7 and 9-11

**Remark on Protest**  
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet (2)

There must exist a special technical feature that links a group of inventions to form a single general inventive concept to have the group of inventions in claims satisfy the requirement of unity of invention. The group of inventions in claims 1-23 are linked only by the feature in claim 1.

The feature, however, cannot be a special technical feature, since it is disclosed in prior art documents, for instance, JP 2001-127296 A (NEC Corp.), 11 May, 2001 (11.05.01), in paragraphs [0050]-[0064], Fig. 8 and Fig. 9.

There is no special technical feature among the group of inventions in claims 1-23 so as to link them to form a single general inventive concept.

Therefore, the group of inventions in claims 1-23 do not satisfy the requirement of unity of invention.

Next, the number of groups of inventions, namely, the number of inventions, so linked as to form the general inventive concept in claims in this international application is discussed.

As mentioned above, there is no special technical feature among the group of inventions in claims 1-23 so as to link them to form a single general inventive concept.

Consequently, there are at least six inventions classified as claims 1-7, 9-11, claims 8-11, claims 12-16, claims 17, 18, 23, claims 19, 20, 23 and claims 21-23 in claims of this international application.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L29/786(2006.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L29/786, H01L21/205, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2009年  
 日本国実用新案登録公報 1996-2009年  
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-127296 A (日本電気株式会社) 2001.05.11, 段落【0050】 - 【0064】、図8、図9 (ファミリーなし)	1, 6, 7, 9-11 2-5
Y	JP 6-196701 A (シャープ株式会社) 1994.07.15, 全文、全図 & US 5686349 A & EP 592227 A2 & KR 10-0130955 B	2-5
Y	JP 8-148690 A (シャープ株式会社) 1996.06.07, 全文、全図 (ファミリーなし)	2-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
 02.04.2009

国際調査報告の発送日  
 14.04.2009

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 河本 充雄  
 電話番号 03-3581-1101 内線 3462

## 第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
  
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
  
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、6個の発明が記載されている。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1 - 7, 9 - 11

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-23に記載されている一群の発明は、請求の範囲1に記載されている事項でのみ連関している。

しかしながら、この事項は、先行技術文献、例えば、JP 2001-127296 A (日本電気株式会社) 2001.05.11, 段落【0050】-【0064】、図8、図9に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-23に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求の範囲1-23に記載されている一群の発明は、発明の単一性の要件を満たしていない。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

請求の範囲1-23に記載されている一群の発明の間には、上記のとおり、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しない。

そうすると、この国際出願の請求の範囲には、少なくとも、請求の範囲1-7, 9-11、請求の範囲8-11、請求の範囲12-16、請求の範囲17, 18, 23、請求の範囲19, 20, 23、請求の範囲21-23に区分される6個の発明が記載されている。