



**ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

**(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ**

(21)(22) Заявка: 2014103229/08, 30.01.2014

(24) Дата начала отсчета срока действия патента:  
30.01.2014

Приоритет(ы):

(22) Дата подачи заявки: 30.01.2014

(45) Опубликовано: 10.01.2015 Бюл. № 1

(56) Список документов, цитированных в отчете о поиске: RU 2152685 C1, 10.07.2000. US 978358, 02.12.1982. US 8253463 B1, 28.08.2012. US 6504876 B1, 07.01.2003

Адрес для переписки:

607188, Нижегородская обл., г. Саров, пр. Мира, 37, ФГУП "РФЯЦ-ВНИИЭФ", зам. начальника службы по инновациям и инвестициям-начальнику управления В.Е. Миронову

(72) Автор(ы):

Егоров Леонид Борисович (RU),  
Кирсанов Константин Сергеевич (RU),  
Цетлин Игорь Владимирович (RU)

(73) Патентообладатель(и):

Российская Федерация, от имени которой выступает Государственная корпорация по атомной энергии "Росатом" (RU), Федеральное государственное унитарное предприятие "Российский Федеральный ядерный центр-Всероссийский научно-исследовательский институт экспериментальной физики"-ФГУП "РФЯЦ-ВНИИЭФ" (RU)

**(54) МНОГОКАНАЛЬНЫЙ СЧЕТЧИК ИМПУЛЬСОВ**

(57) Реферат:

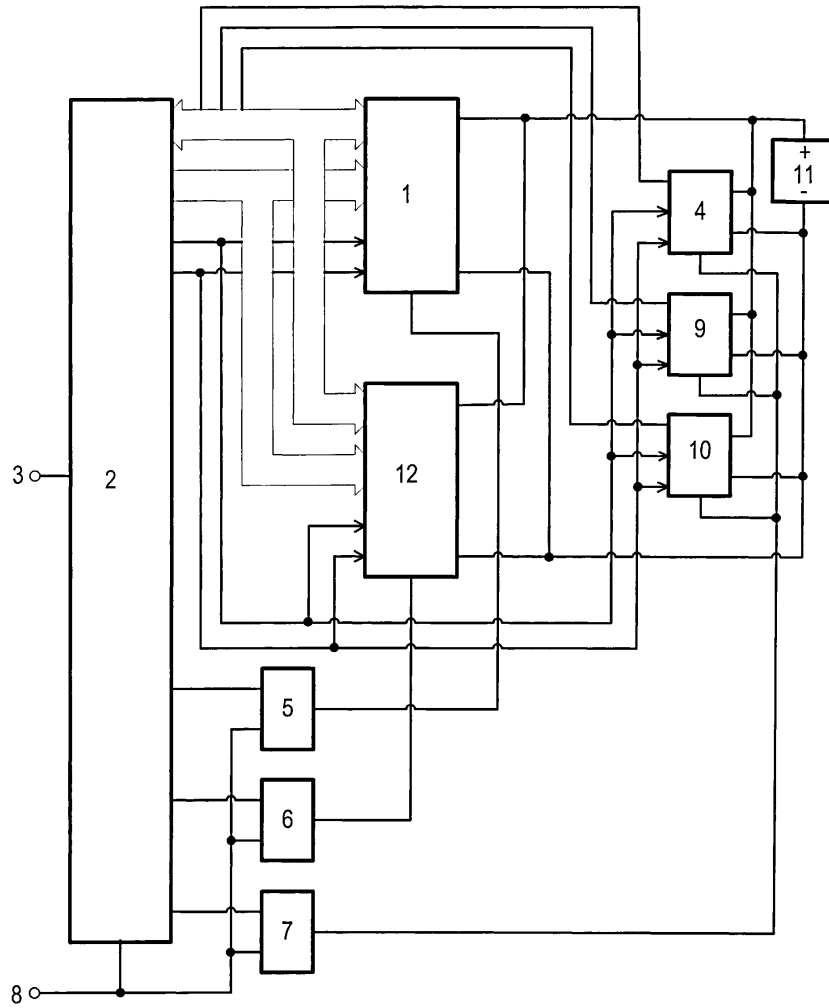
Изобретение относится к счетчикам импульсов. Техническим результатом является повышение помехоустойчивости в режиме ОЗУ. Счетчик включает ОЗУ 12 и ОЗУ 1. Группы информационных выводов и адресных выходов устройства управления 2 соединены с группами информационных выводов и адресных входов соответственно первого 1 и второго 12 ОЗУ, входы блокировки которых соединены с выходами соответственно первого 5 и второго 6 элементов ИЛИ. Причем выводы группы

информационных выводов устройства управления 2 подключены к соответствующим информационным выводам соответствующих триггеров четности. Выход записи и выход выборки устройства управления 2 подключены соответственно к входам записи и входам выборки первого 1 и второго 12 ОЗУ и первого 4, второго 9 и третьего 10 триггеров четности. Вход блокировки устройства управления 2 соединен с шиной блокировки 2. 1 ил.

RU 2 538 342 C1

RU 2 538 342 C1

R U 2 5 3 8 3 4 2 C 1



R U 2 5 3 8 3 4 2 C 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2014103229/08, 30.01.2014

(24) Effective date for property rights:  
30.01.2014

Priority:

(22) Date of filing: 30.01.2014

(45) Date of publication: 10.01.2015 Bull. № 1

Mail address:

607188, Nizhegorodskaja obl., g. Sarov, pr. Mira, 37,  
FGUP "RFJaTs-VNIEhF", zam. nachal'nika sluzhby  
po innovatsijam i investitsijam-nachal'niku  
upravlenija V.E. Mironovu

(72) Inventor(s):

Egorov Leonid Borisovich (RU),  
Kirsanov Konstantin Sergeevich (RU),  
Tsetlin Igor' Vladimirovich (RU)

(73) Proprietor(s):

Rossijskaja Federatsija, ot imeni kotoroj  
vystupaet Gosudarstvennaja korporatsija po  
atomnoj ehnergii "Rosatom" (RU),  
Federal'noe gosudarstvennoe unitarnoe  
predprijatje "Rossijskij Federal'nyj jadernyj  
tsentr-Vserossijskij nauchno-issledovatel'skij  
institut ehksperimental'noj fiziki"-FGUP  
"RFJaTs-VNIEhF" (RU)

(54) **MULTICHANNEL PULSE COUNTER**

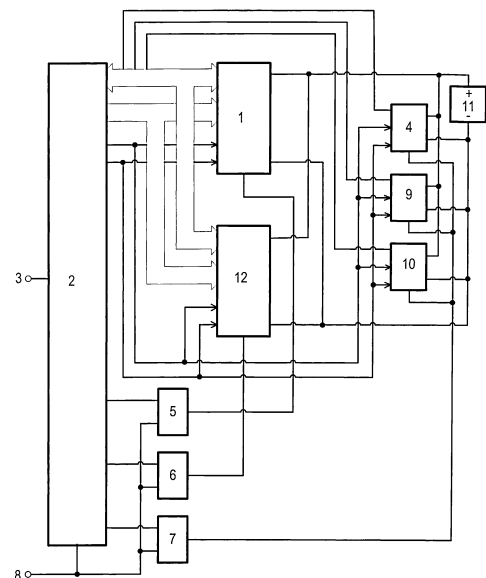
(57) Abstract:

FIELD: electricity.

SUBSTANCE: counter includes RAM 12 and RAM 1. Groups of information outputs and address outputs to control devices 2 are connected with groups of information outputs and address inputs of first 1 and second 12 RAM, respectively, their interlock inputs are connected with outputs of first 5 and second 6 OR elements, respectively. At that outputs of group of information outputs of the control device 2 are connected to the appropriate information outputs of the appropriate parity triggers. Record output and fletch output of the control device 2 are connected respectively to record inputs and fletch outputs of the first 1 and second 12 RAM and first 4, second 9 and third 10 parity triggers. Lock input of the control device 2 is connected with lock bus-bar 2.

EFFECT: increased interference resistance under RAM mode.

1 dwg



RU 2 538 342 C1

RU 2 538 342 C1

Изобретение относится к устройствам автоматики и вычислительной техники и позволяет повысить помехоустойчивость многоканальных счетных и интегрирующих устройств.

Известен многоканальный счетчик импульсов (см. авторское свидетельство СССР №1170610 от 30.09.1983, «Многоканальный счетчик импульсов», А.А. Сенюта, А.Г. Далингер и Н.И. Левашев, опубликовано 30.07.1985 г., БИ №28), содержащий сумматор, оперативное запоминающее устройство, блок начальной установки, устройство управления, буферное запоминающее устройство, RS-триггер, коммутирующий элемент и буферный регистр. Информационный вход сумматора соединен с входом оперативного запоминающего устройства. Один вход сумматора соединен с первым выходом блока начальной установки, второй выход которого соединен с другим информационным входом сумматора. Первый вход блока начальной установки соединен с шиной начальной установки, а второй вход через буферный регистр соединен с выходом оперативного запоминающего устройства. Управляющие выходы устройства управления соединены соответственно с управляющими входами буферного запоминающего устройства, блока начальной установки, оперативного запоминающего устройства, коммутирующего элемента, буферного регистра и входом сброса RS-триггера. Тактовый вход устройства управления соединен с тактовой шиной, а информационные шины подключены к информационным входам буферного запоминающего элемента, выход которого соединен с входом установки RS-триггера. Выход RS-триггера соединен с входом переноса сумматора и первым входом коммутирующего элемента, второй вход которого соединен с дополнительным выходом блока начальной установки. Выход коммутирующего элемента соединен с входом записи оперативного запоминающего устройства. Выход переполнения сумматора соединен с входом переполнения блока начальной установки и с выходной шиной переполнения. Адресный вход устройства управления соединен с адресным входом оперативного запоминающего устройства и выходной адресной шиной.

Недостатком данного устройства является низкая помехоустойчивость, что связано с большой ценой сбоя при совпадении помехи с моментом переключения счетчика.

Известен многоканальный счетчик импульсов (см. патент РФ №2152685 от 19.01.1999, «Многоканальный счетчик импульсов», Л.Б. Егоров, И.В. Цетлин, опубликовано 10.07.2000, БИ №19), содержащий блок оперативного запоминающего устройства (ОЗУ), блок начальной установки, устройство управления, триггер четности, триггер переноса, N элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, N элементов ИЛИ, N элементов ИЛИ-НЕ, шину начальной установки и шину адреса. Блок ОЗУ выполнен в виде N ячеек ОЗУ, адресные входы которых соединены с шиной адреса, входы выборки соединены с управляющим входом блока начальной установки, а первые входы записи ячеек соединены со вторым входом блока начальной установки и шиной записи. Первые информационные входы ячеек ОЗУ соединены с соответствующими информационными выходами блока начальной установки, второй информационный вход и прямой выход каждой ячейки соединены соответственно с первым и вторым входами соответствующего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, а второй вход записи ячеек - с выходом соответствующего элемента ИЛИ-НЕ. Инверсный выход каждой i-й ячейки, кроме последней, соединен с первым входом (i+1)-го элемента ИЛИ-НЕ. Первый вход каждого i-го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, кроме последнего, соединен с выходом (i+1)-го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Первый вход последнего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с первым выходом устройства управления, а выход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с первым входом устройства

управления и информационным входом триггера четности, тактовый вход и выход которого соединены соответственно со вторым и третьим входами устройства управления. Шина признака старшей строки и тактовая шина соединены соответственно со вторым и четвертым входами устройства управления, второй и третий выходы которого соединены с первыми входами первых элементов ИЛИ и ИЛИ-НЕ соответственно. Вторые входы первых элементов ИЛИ и ИЛИ-НЕ соединены с четвертым входом устройства управления. Прямой выход каждой  $i$ -ой ячейки, кроме последней, соединен с первым входом  $(i+1)$ -го элемента ИЛИ, второй вход которого соединен с выходом  $i$ -го элемента ИЛИ и вторым входом  $(i+1)$ -го элемента ИЛИ-НЕ. Выход последнего элемента ИЛИ соединен с информационным входом триггера переноса, тактовый вход которого соединен с шиной признака младшей строки, а выход - с пятым входом устройства управления. Шина выборки и шина блокировки соединены соответственно с третьим и четвертым входами блока начальной установки.

Недостатком данного устройства является низкая помехоустойчивость в режиме ОЗУ (шина начальной установки используется в этом режиме в качестве шины данных), так как код Грея защищает информацию от помех только в счетных каналах и не защищает в других каналах ОЗУ.

Вышеуказанное устройство является наиболее близким по технической сущности к заявляемому устройству и поэтому выбрано в качестве прототипа.

Достижимым техническим результатом является повышение помехоустойчивости устройства во всех режимах его работы.

Указанный технический результат достигается тем, что в многоканальном счетчике импульсов, содержащем первое оперативное запоминающее устройство, устройство управления, подключенное к тактовой шине, первый триггер четности, первый, второй и третий элементы ИЛИ, первые входы которых объединены и подключены к шине блокировки, второй вход первого элемента ИЛИ соединен с первым выходом устройства управления, новым является то, что дополнительно введены второй и третий триггеры четности, автономный источник питания, второе оперативное запоминающее устройство, первый и второй выходы которого соединены с первым и вторым выводами первого оперативного запоминающего устройства и первым и вторым выводами автономного источника питания, соответственно, второй и третий выходы устройства управления соединены со вторыми входами второго и третьего элементов ИЛИ соответственно, выход последнего из которых соединен с первыми входами первого, второго и третьего триггеров четности, вторые входы которых объединены и подключены к первому выводу автономного источника питания, второй вывод которого соединен с третьими входами первого, второго и третьего триггеров четности, группы информационных выводов и адресных выходов устройства управления соединены с группами информационных выводов и адресных входов соответственно первого и второго оперативных запоминающих устройств, входы блокировки которых соединены с выходами первого и второго элементов ИЛИ соответственно, первый, второй и третий выходы из группы информационных выводов устройства управления подключены к информационным выводам первого, второго и третьего триггеров четности соответственно, выход записи и выход выборки устройства управления подключены соответственно к входам записи и входам выборки первого и второго оперативных запоминающих устройств и первого, второго и третьего триггеров четности, вход блокировки устройства управления соединен с шиной блокировки.

Указанная совокупность существенных признаков позволяет повысить помехоустойчивость многоканального счетчика импульсов во всех режимах его работы

за счет дублирования ОЗУ с поочередным обращением к ним и защиты информации, хранящейся в ОЗУ, с помощью кода Хэмминга, а также за счет мажоритарного дублирования признака четности обращений к ОЗУ.

На фигуре приведена схема многоканального счетчика импульсов.

5 Многоканальный счетчик импульсов содержит первое оперативное запоминающее устройство (ОЗУ) 1, устройство управления 2, подключенное к тактовой шине 3, первый триггер четности 4, первый 5, второй 6 и третий 7 элементы ИЛИ, первые входы которых объединены и подключены к шине блокировки 8. Второй вход первого элемента ИЛИ 5 соединен с первым выходом устройства управления 2. Второй 9 и третий 10 триггеры четности, автономный источник питания 11, второе ОЗУ 12, первый и второй выходы которого соединены с первым и вторым выводами ОЗУ 1 и первым и вторым выводами автономного источника питания 11, соответственно. Второй и третий выходы устройства управления 2 соединены со вторыми входами соответственно второго 6 и третьего 7 элементов ИЛИ, выход последнего из которых соединен с первыми входами 4, 9 и 10 триггеров четности, вторые входы которых объединены и подключены к первому выводу автономного источника питания 11, второй вывод которого соединен с третьими входами 4, 9 и 10 триггеров четности. Группы информационных выводов и адресных выходов устройства управления 2 соединены с группами информационных выводов и адресных входов соответственно первого 1 и второго 12 ОЗУ, входы блокировки которых соединены с выходами соответственно 5 и 6 элементов ИЛИ. Первый, второй и третий выходы из группы информационных выводов устройства управления 2 подключены к информационным выводам соответственно 4, 9 и 10 триггеров четности. Выход записи и выход выборки устройства управления 2 подключены соответственно к входам записи и входам выборки первого 1 и второго 12 ОЗУ и 4, 9 и 10 триггеров четности. Вход блокировки устройства управления 2 соединен с шиной блокировки 8.

Многоканальный счетчик импульсов (см. Фигуру) работает следующим образом.

Ячейки ОЗУ 1 и 12, а также триггеры четности 4, 9 и 10 наиболее чувствительны к помехам в моменты переключения, более устойчивы к помехам в режиме хранения информации, а их наибольшая помехоустойчивость достигается в состоянии блокировки, когда триггерные структуры ОЗУ и триггеры четности отключены от выводов микросхем, в которых они расположены. Устройство 2 управления выполнено в виде микроконтроллера, который выполняет программу, реализующую функции многоканального счета импульсов, интегрирования и других вычислений с использованием результатов счета. Результаты счета и промежуточных вычислений запоминаются и в первом 1 и во втором 12 ОЗУ, но обращение к указанным ОЗУ производится поочередно в разные промежутки времени. Таким образом, в любой момент времени хотя бы одно ОЗУ находится в заблокированном состоянии, в котором оно обладает наивысшей помехоустойчивостью. Между обращениями к ОЗУ изменяется состояние триггеров четности 4, 9 и 10 свидетельствующее о том, к первому 1 или второму 12 ОЗУ будет производиться следующее обращение устройства управления 2.

Во время действия помехи на шину блокировки 8 поступает сигнал от датчиков помех по схеме ИЛИ. В качестве датчиков помех могут использоваться датчик провала напряжения питания (супервизор), датчик электромагнитной наводки (антенна) и т.п. Набор датчиков помех зависит от условий применения (помеховой обстановки) многоканального счетчика импульсов. Таким образом, во время действия помехи на выходах элементов ИЛИ 5, 6 и 7 формируются сигналы блокировки первого 1 и второго 12 ОЗУ и триггеров четности 4, 9 и 10. Сохранность информации в указанных

устройствах в заблокированном состоянии обеспечивается питанием этих устройств от автономного источника питания 11, в качестве которого используется аккумулятор, обладающий высокой устойчивостью к помехам любого типа.

5 После окончания действия помехи, устройство управления 2 считывает информацию из триггеров четности 4, 9 и 10, обрабатывает ее по мажоритарному принципу и определяет, к какому ОЗУ должно производиться следующее обращение.

10 Схема заявляемого устройства позволяет также парировать не только одиночные сбои триггерных структур ОЗУ 1 и 12 и триггеров четности 4, 9 и 10, но и их одиночные отказы, происходящие с вероятностью  $q$ . Так как отказ триггерной структуры является событием независимым (не зависит от отказа других триггерных структур), то вероятность отказа двух и более триггерных структур равна соответствующей степенной функции  $q^n$  (где  $n$  - число отказавших триггерных структур). Таким образом, наиболее вероятен отказ одиночной триггерной структуры. Вероятностью отказа двух и более триггерных структур можно пренебречь в силу ее пренебрежимо малого значения

15 (например, если  $q=0.0001$ , то  $q^2=0,00000001$ ). Информация, хранящаяся в ОЗУ 1 и 12, защищается кодом Хэмминга, позволяющим обнаруживать и исправлять одиночные ошибки. Информация, хранящаяся в триггерах четности 4, 9 и 10, защищена мажоритарной функцией, которая тоже исправляет одиночную ошибку.

20 Проведено макетирование многоканального счетчика импульсов с использованием микросхем 1620PУ6У в качестве ОЗУ. Остальная часть устройства реализована на базе микросхемы БМК 5517ВЦ2У. Испытания макета в условиях действия различных помех подтвердили работоспособность заявляемого устройства и его практическую ценность.

#### Формула изобретения

25 Многоканальный счетчик импульсов, содержащий первое оперативное запоминающее устройство, устройство управления, подключенное к тактовой шине, первый триггер четности, первый, второй и третий элементы ИЛИ, первые входы которых объединены и подключены к шине блокировки, второй вход первого элемента ИЛИ соединен с

30 первым выходом устройства управления, отличающийся тем, что дополнительно введены второй и третий триггеры четности, автономный источник питания, второе оперативное запоминающее устройство, первый и второй выводы которого соединены с первым и вторым выводами первого оперативного запоминающего устройства и

35 первым и вторым выводами автономного источника питания, соответственно, второй и третий выходы устройства управления соединены со вторыми входами соответственно второго и третьего элементов ИЛИ, выход последнего из которых соединен с первыми

40 входами первого, второго и третьего триггеров четности, вторые входы которых объединены и подключены к первому выводу автономного источника питания, второй вывод которого соединен с третьими входами первого, второго и третьего триггеров четности, группы информационных выводов и адресных выходов устройства управления

45 соединены с группами информационных выводов и адресных входов соответственно первого и второго оперативных запоминающих устройств, входы блокировки которых соединены с выходами соответственно первого и второго элементов ИЛИ, первый, второй и третий выводы из группы информационных выводов устройства управления подключены к информационным выводам соответственно первого, второго и третьего триггеров четности, выход записи и выход выборки устройства управления подключены соответственно к входам записи и входам выборки первого и второго оперативных запоминающих устройств и первого, второго и третьего триггеров четности, вход блокировки устройства управления соединен с шиной блокировки.