

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-213012

(P2009-213012A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl. F I テーマコード(参考)
HO4N 5/335 (2006.01) HO4N 5/335 Z 5C024
 HO4N 5/335 E

審査請求 未請求 請求項の数 12 O L (全 23 頁)

(21) 出願番号 特願2008-55949(P2008-55949)
 (22) 出願日 平成20年3月6日(2008.3.6)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 岩佐 拓
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 真有 浩一
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 上野 貴久
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 5C024 BX01 EX42 GX03 GX16 GY31
 HX02 HX29 HX32 HX50

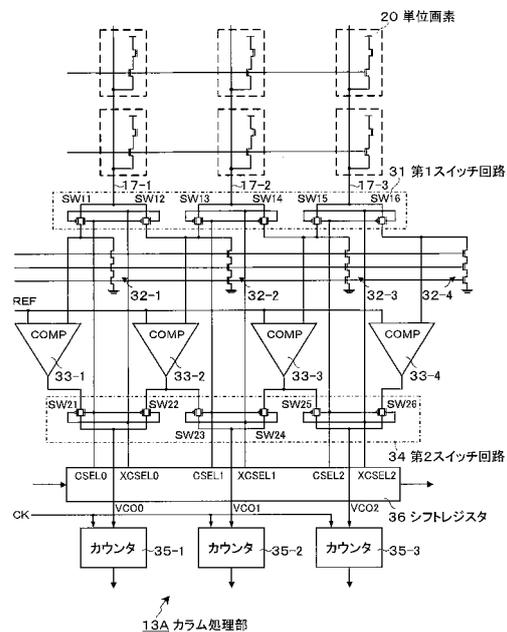
(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法および撮像装置

(57) 【要約】

【課題】 カラム処理部のアナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できるようにする。

【解決手段】 カラム処理部13Aにおいて、アナログ回路の部位である電流源32-1~32-4およびコンパレータ33-1~33-4を画素列の数よりも1つずつ多く設け、ある1つの電流源またはコンパレータに不良がある場合に、他の正常な電流源またはコンパレータで代替する、即ちカラム処理部13Aのアナログ回路の部位を冗長構成にし、あらかじめ決められたシフトレジスタ36内のシフトレジスタ情報を基に、不良の部位を正常な回路で代替するようにする。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

光電変換素子を含む単位画素が行列状に配置された画素アレイ部と、
前記画素アレイ部の画素列に対応した数よりも多い数のアナログ回路を有し、前記単位画素から垂直信号線を通して出力されるアナログ信号を画素列ごとに処理するカラム処理部とを備え、

前記カラム処理部は、

前記アナログ回路の個々の良否の情報を格納する良否情報格納手段と、

前記良否情報格納手段に格納されている情報に基づいて前記アナログ回路のうち不良のアナログ回路に代えて正常なアナログ回路を選択する選択手段とを有する

ことを特徴とする固体撮像装置。

10

【請求項 2】

前記アナログ回路は、前記垂直信号線の一端と基準電位ノードとの間に接続された電流源である

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記アナログ回路は、前記単位画素から出力されるアナログの画素信号を傾斜状波形の参照信号と比較することによって当該画素信号の大きさに対応した時間軸方向に大きさを持つパルス信号を出力するコンパレータである

ことを特徴とする請求項 1 記載の固体撮像装置。

20

【請求項 4】

前記カラム処理部は、

前記コンパレータから出力されるパルス信号のパルス幅の期間においてクロックをカウントすることにより、そのカウント値を前記画素信号の大きさに応じたデジタル信号とするカウンタを、前記画素アレイ部の画素列に対応した数だけ有する

ことを特徴とする請求項 3 記載の固体撮像装置。

【請求項 5】

前記アナログ回路は、前記垂直信号線の一端と基準電位ノードとの間に接続された電流源と、前記単位画素から出力されるアナログの画素信号を傾斜状波形の参照信号と比較することによって当該画素信号の大きさに対応した時間軸方向に大きさを持つパルス信号を出力するコンパレータである

ことを特徴とする請求項 1 記載の固体撮像装置。

30

【請求項 6】

前記カラム処理部は、

前記コンパレータから出力されるパルス信号のパルス幅の期間においてクロックをカウントすることにより、そのカウント値を前記画素信号の大きさに応じたデジタル信号とするカウンタを、前記画素アレイ部の画素列に対応した数だけ有する

ことを特徴とする請求項 5 記載の固体撮像装置。

【請求項 7】

前記画素アレイ部の全画素列を x 本の画素列を単位としてブロック化し、このブロックごとに x 本の画素列に対して前記アナログ回路を $x + 1$ 個有する

ことを特徴とする請求項 1 記載の固体撮像装置。

40

【請求項 8】

前記良否情報格納手段に格納される前記良否の情報は、固体撮像装置が搭載されるシステムの起動時に外部の記憶装置から入力される

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 9】

前記画素アレイ部の画素列ごとに、ソースフォロワトランジスタと選択トランジスタとから構成されて前記垂直信号線に接続されたテスト回路を有し、

前記テスト回路と前記電流源を用いて前記良否情報格納手段に格納される前記良否の情

50

報を生成するためのテスト時に、前記テスト回路から所定の電位を前記垂直信号線に入力し、このときの前記コンパレータの比較結果を基に得られる前記良否の情報を前記良否情報格納手段に格納する

ことを特徴とする請求項 3 または 5 記載の固体撮像装置。

【請求項 10】

前記画素アレイ部の画素列ごとに、前記垂直信号線に所定の電位を入力する電位入力回路を有し、

前記良否情報格納手段に格納される前記良否の情報を生成するためのテスト時に、前記電位入力回路から前記所定の電位を前記垂直信号線に入力し、このときの前記コンパレータの比較結果を基に得られる前記良否の情報を前記良否情報格納手段に格納する

10

ことを特徴とする請求項 2 または 5 記載の固体撮像装置。

【請求項 11】

光電変換素子を含む単位画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素列に対応した数よりも多い数のアナログ回路を有し、前記単位画素から垂直信号線を通して出力されるアナログ信号を画素列ごとに処理するカラム処理部とを備えた固体撮像装置の駆動方法であって、

あらかじめ格納されている前記アナログ回路の個々の良否の情報に基づいて前記アナログ回路のうち不良のアナログ回路に代えて正常なアナログ回路を選択して用いる

ことを特徴とする固体撮像装置の駆動方法。

【請求項 12】

20

光電変換素子を含む単位画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素列に対応した数よりも多い数のアナログ回路を有し、前記単位画素から垂直信号線を通して出力されるアナログ信号を画素列ごとに処理するカラム処理部とを備えた固体撮像装置と、

入射光を前記固体撮像装置の撮像面上に結像する光学系と

を具備する撮像装置であって、

前記カラム処理部は、

前記アナログ回路の個々の良否の情報を格納する良否情報格納手段と、

前記良否情報格納手段に格納されている情報に基づいて前記アナログ回路のうち不良のアナログ回路に代えて正常なアナログ回路を選択する選択手段とを有する

30

ことを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の駆動方法および撮像装置に関し、特に、いわゆるカラム A D C (アナログ-デジタル変換)方式の固体撮像装置、当該固体撮像装置の駆動方法および当該固体撮像装置を用いた撮像装置に関する。

【背景技術】

【0002】

固体撮像装置の一方式として、X - Yアドレス型固体撮像装置の一種である増幅型固体撮像装置、例えば C M O S 型 (M O S 型を含む)の固体撮像装置 (以下、「C M O S イメージセンサ」と記述する)において、光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部に対して、画素列ごとに独立のカラム処理部を設け、画素アレイ部の各画素から信号 (画素信号) を画素行ごとに順次読み出してカラム処理部に一旦保持し、所定のタイミングで 1 行分の画素信号を順次読み出すカラム方式と呼ばれる技術が知られている。

40

【0003】

また、画素アレイ部の画素列ごとに設けられたカラム処理部において、画素信号をランプ (R A M P) 波形の参照信号とコンパレータで比較することによって画素信号の大きさに対応した時間軸方向に大きさ (パルス幅) を持つパルス信号を生成し、このパルス信号

50

のパルス幅の期間において所定のクロックをカウンタでカウントし、そのカウント値を画素信号の大きさに応じたデジタル信号とすることによってA/D変換を行なうようにしたカラムADC方式のCMOSイメージセンサがある（例えば、特許文献1参照）。

【0004】

【特許文献1】特開2005-323331号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、近年、CMOSイメージセンサでは画素とともに周辺回路の小型化が勧められており、それに伴って不良が生じるようになってきた。メモリのメモリセルと異なり、イメージセンサの画素の欠陥は、異なった画素からの情報を用いても、画素の位置が異なり信号情報が異なるため、冗長により完全に救済できない。画素の不良は白点となる。しかし、画素の不良が少量であれば、近傍の画素の情報を基に不良画素の信号情報を補正することが可能である。

10

【0006】

また、各カラムのデジタル回路や、カラムADC方式の場合のカウンタなどについては、2値の信号レベルのみを扱えばよいので、それほど高精度なものは必要ではない。しかし、各カラムのアナログ回路には非常に高い精度が求められる。例えば、カラムADC方式の場合のコンパレータは、多段階判定、例えば4096段階での信号レベルの判定が必要となる。加えて、これらのカラム部のアナログ回路は、横方向（水平方向）の画素数が例えば6000個ある場合、6000個すべてが正確に動作する必要がある。

20

【0007】

しかしながら、従来は、カラムADC方式のイメージセンサのアナログ回路を冗長構成にする方式が採られていなかったために、すべてのアナログ回路が高精度に動作しないイメージセンサについてはチップを出荷することができず、歩留まり低下の原因の一つとなっていた。

【0008】

そこで、本発明は、カラム処理部のアナログ回路を冗長構成にする方式を採ることによってアナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できるようにしたカラムADC方式の固体撮像装置、当該固体撮像装置の駆動方法および当該固体撮像装置を用いた撮像装置を提供することを目的とする。

30

【課題を解決するための手段】

【0009】

本発明による固体撮像装置は、
光電変換素子を含む単位画素が行列状に配置された画素アレイ部と、
前記画素アレイ部の画素列に対応した数よりも多い数のアナログ回路を有し、前記単位画素から垂直信号線を通して出力されるアナログ信号を画素列ごとに処理するカラム処理部とを備え、

前記カラム処理部は、

前記アナログ回路の個々の良否の情報を格納する良否情報格納手段と、

40

前記良否情報格納手段に格納されている情報に基づいて前記アナログ回路のうち不良のアナログ回路に代えて正常なアナログ回路を選択する選択手段とを有する

ことを特徴としている。

【0010】

そして、上記構成の固体撮像装置は、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器において、その撮像素子（撮像デバイス）として用いられる。

【0011】

上記構成の固体撮像装置または当該固体撮像装置を用いた撮像装置において、アナログ回路を含むカラム処理部について、アナログ回路を画素列の数よりも多く設け、ある1つ

50

のアナログ回路に不良がある場合に、他の正常なアナログ回路で代替するいわゆる冗長構成を採ることで、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できる。

【0012】

本発明による固体撮像装置の駆動方法は、
光電変換素子を含む単位画素が行列状に配置された画素アレイ部と、
前記画素アレイ部の画素列に対応した数よりも多い数のアナログ回路を有し、前記単位画素から垂直信号線を通して出力されるアナログ信号を画素列ごとに処理するカラム処理部とを備えた固体撮像装置の駆動方法であって、
あらかじめ格納されている前記アナログ回路の個々の良否の情報に基づいて前記アナログ回路のうち不良のアナログ回路に代えて正常なアナログ回路を選択して用いることを特徴としている。

10

【0013】

冗長構成を採るカラム処理部において、ある1つのアナログ回路に不良がある場合に、他の正常なアナログ回路で代替することで、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できる。

【発明の効果】

【0014】

本発明によれば、カラム処理部のアナログ回路の部位を冗長構成にし、あらかじめ決められた情報（良否の情報）を基に、不良の部位を正常な回路で代替することにより、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できるために、製造コストを抑えることができる。

20

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】

[システム構成]

図1は、本発明が適用される固体撮像装置、例えばCMOSイメージセンサの構成の概略を示すシステム構成図である。

【0017】

図1に示すように、本適用例に係るCMOSイメージセンサ10は、図示せぬ半導体基板（チップ）上に形成された画素アレイ部11と、当該画素アレイ部11と同じ半導体基板上に集積された周辺回路部、即ち垂直駆動部12、カラム処理部13、水平駆動部14およびシステム制御部15とを有する構成となっている。

30

【0018】

画素アレイ部11には、入射する可視光をその光量に応じた電荷量に光電変換する光電変換素子を含む図示せぬ単位画素（以下、単に「画素」と記述する場合もある）が行列状に2次元配置されている。単位画素の具体的な構成については後述する。

【0019】

画素アレイ部11にはさらに、行列状の画素配列に対して行ごとに画素駆動線16が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線17が図の上下方向（画素列の画素の配列方向）に沿って形成されている。図1では、画素駆動線16について1本として示しているが、1本に限られるものではない。画素駆動線16の一端は、垂直駆動部12の各行に対応した出力端に接続されている。

40

【0020】

垂直駆動部12は、シフトレジスタやアドレスデコーダなどによって構成され、その具体的な構成については図示を省略するが、信号を読み出す単位画素について行単位で順に選択走査を行うための読出し走査系と、当該読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して当該読出し行の単位画素の光電変換素子から不要な電荷を掃き出す（リセットする）掃出し走査

50

を行うための掃出し走査系とを有する構成となっている。

【 0 0 2 1 】

この掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【 0 0 2 2 】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

10

【 0 0 2 3 】

垂直駆動部 1 2 によって選択走査された画素行の各単位画素から出力される信号は、垂直信号線 1 7 の各々を通してカラム処理部 1 3 に供給される。カラム処理部 1 3 は、画素アレイ部 1 1 の画素列ごとに、選択行の各画素 2 0 から出力されるアナログ信号をデジタル信号に変換しつつ読み出す信号読出し回路部である。このカラム処理部 1 3 の詳細な回路構成および回路動作については後述する。

【 0 0 2 4 】

水平駆動部 1 4 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 1 3 を順番に選択する。この水平駆動部 1 4 による選択走査により、カラム処理部 1 3 でデジタル化された画素信号が順番に出力される。

20

【 0 0 2 5 】

システム制御部 1 5 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 1 2、カラム処理部 1 3 および水平駆動部 1 4 などの駆動制御を行う。

【 0 0 2 6 】

（単位画素の回路構成）

図 2 は、単位画素 2 0 の回路構成の一例を示す回路図である。図 2 に示すように、本回路例に係る単位画素 2 0 は、光電変換素子、例えばフォトダイオード 2 1 と、例えば転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4 および選択トランジスタ 2 5 の 4 つのトランジスタとを有する構成となっている。

30

【 0 0 2 7 】

ここでは、4 つのトランジスタ 2 2 ~ 2 5 として、例えば N チャネルの MOS トランジスタを用いている。ただし、ここで例示した転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4 および選択トランジスタ 2 5 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 2 8 】

この単位画素 2 0 に対して、画素駆動線 1 6 として、例えば、転送線 1 6 1、リセット線 1 6 2 および選択線 1 6 3 の 3 本の駆動配線が同一画素行の各画素について共通に設けられている。これら転送線 1 6 1、リセット線 1 6 2 および選択線 1 6 3 の各一端は、垂直駆動部 1 2 の各画素行に対応した出力端に、画素行単位で接続されている。

40

【 0 0 2 9 】

フォトダイオード 2 1 は、アノード電極が負側電源（例えば、グランド）に接続されており、受光した光をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換する。フォトダイオード 2 1 のカソード電極は、転送トランジスタ 2 2 を介して増幅トランジスタ 2 4 のゲート電極と電気的に接続されている。増幅トランジスタ 2 4 のゲート電極と電気的に繋がったノード 2 6 を FD（フローティングディフュージョン）部と呼ぶ。

【 0 0 3 0 】

転送トランジスタ 2 2 は、フォトダイオード 2 1 のカソード電極と FD 部 2 6 との間に接続され、高レベル（例えば、V_{dd} レベル）がアクティブ（以下、「High アクティ

50

ブ」と記述する)の転送パルス T R Fが転送線 1 6 1を介してゲート電極に与えられることによってオン状態となり、フォトダイオード 2 1で光電変換された光電荷を F D部 2 6に転送する。

【 0 0 3 1 】

リセットトランジスタ 2 3は、ドレイン電極が画素電源 V d dに、ソース電極が F D部 2 6にそれぞれ接続され、H i g hアクティブのリセットパルス R S Tがリセット線 1 6 2を介してゲート電極に与えられることによってオン状態となり、フォトダイオード 2 1から F D部 2 6への信号電荷の転送に先立って、F D部 2 6の電荷を画素電源 V d dに捨てることによって当該 F D部 2 6をリセットする。

【 0 0 3 2 】

増幅トランジスタ 2 4は、ゲート電極が F D部 2 6に、ドレイン電極が画素電源 V d dにそれぞれ接続され、リセットトランジスタ 2 3によってリセットした後の F D部 2 6の電位をリセット信号(リセットレベル) V r e s e tとして出力し、さらに転送トランジスタ 2 2によって信号電荷を転送した後の F D部 2 6の電位を光蓄積信号(信号レベル) V s i gとして出力する。

【 0 0 3 3 】

選択トランジスタ 2 5は、例えば、ドレイン電極が増幅トランジスタ 2 4のソースに、ソース電極が垂直信号線 1 7にそれぞれ接続され、H i g hアクティブの選択パルス S E Lが選択線 1 6 3を介してゲートに与えられることによってオン状態となり、単位画素 2 0を選択状態として増幅トランジスタ 2 4から出力される信号を垂直信号線 1 7に中継する。

【 0 0 3 4 】

なお、選択トランジスタ 2 5については、画素電源 V d dと増幅トランジスタ 2 4のドレインとの間に接続した回路構成を採ることも可能である。

【 0 0 3 5 】

また、単位画素 2 0としては、上記構成の 4つのトランジスタからなる画素構成のものに限られるものではなく、例えば、増幅トランジスタ 2 4と選択トランジスタ 2 5とを兼用した 3つのトランジスタからなる画素構成のものなどであっても良く、その画素回路の構成は問わない。

【 0 0 3 6 】

上記構成の C M O Sイメージセンサ 1 0において、本発明は、カラム処理部 1 3の回路構成および回路動作を特徴としている。以下に、カラム処理部 1 3の具体的な実施例について説明する。

【 0 0 3 7 】

[実施例 1]

図 3は、本発明の実施例 1に係るカラム処理部 1 3 Aを示す回路図である。ここでは、図面の簡略化のために、画素列の数(水平方向の画素数) x を $x = 3$ としている。

【 0 0 3 8 】

図 3に示すように、実施例 1に係るカラム処理部 1 3 Aは、第 1スイッチ回路 3 1と、電流源 3 2 - 1 ~ 3 2 - 4と、コンパレータ 3 3 - 1 ~ 3 3 - 4と、第 2スイッチ回路 3 4と、カウンタ 3 5 - 1 ~ 3 5 - 3と、良否情報格納手段としての例えばシフトレジスタ 3 6とを有する回路構成となっている。すなわち、本実施例 1に係るカラム処理部 1 3 Aは、x列の画素列に対して、電流源 3 2およびコンパレータ 3 3が $(x + 1)$ 個ずつ、カウンタ 3 5が x個設けられた構成となっている。

【 0 0 3 9 】

第 1スイッチ回路 3 1は、6個(= 2 x)のスイッチ素子 S W 1 1 ~ S W 1 6によって構成されている。スイッチ素子 S W 1 1 ~ S W 1 6としては、例えば C M O Sトランジスタによるアナログスイッチが用いられる。スイッチ素子 S W 1 1 ~ S W 1 6は各入力端が、2個ずつを対として垂直信号線 1 7 - 1, 1 7 - 2, 1 7 - 3の各一端に接続されている。

10

20

30

40

50

【 0 0 4 0 】

電流源 3 2 - 1 ~ 3 2 - 4 は、直列に接続された例えば 3 個の M O S トランジスタ（負荷 M O S トランジスタ）によって構成されている。電流源 3 2 - 1 ~ 3 2 - 4 として、負荷 M O S トランジスタに代えて単なる抵抗素子を用いることも可能である。

【 0 0 4 1 】

電流源 3 2 - 1 ~ 3 2 - 4 のうち、両端の電流源 3 2 - 1 , 3 2 - 4 は、両端のスイッチ素子 S W 1 1 , S W 1 6 の各出力端と基準電位ノード（例えば、グランド）との間にそれぞれ接続されている。また、残りの電流源 3 2 - 2 , 3 2 - 3 のうち、電流源 3 2 - 2 は、スイッチ素子 S W 1 2 , S W 1 3 の各出力端と基準電位ノードとの間に接続され、電流源 3 2 - 3 は、スイッチ素子 S W 1 4 , S W 1 5 の各出力端と基準電位ノードとの間に接続されている。

10

【 0 0 4 2 】

コンパレータ 3 3 - 1 ~ 3 3 - 4 は、各一方の入力端が電流源 3 2 - 1 ~ 3 2 - 4 と対応した関係でスイッチ素子 S W 1 1 ~ S W 1 6 の各出力端に接続されている。すなわち、両側のコンパレータ 3 3 - 1 , 3 3 - 4 の各一方の入力端が両端のスイッチ素子 S W 1 1 , S W 1 6 の出力端に接続され、コンパレータ 3 3 - 2 の一方の入力端がスイッチ素子 S W 1 2 , S W 1 3 の各出力端に接続され、コンパレータ 3 3 - 3 の一方の入力端がスイッチ素子 S W 1 4 , S W 1 5 の各出力端に接続されている。

【 0 0 4 3 】

コンパレータ 3 3 - 1 ~ 3 3 - 4 の各他方の入力端には、参照信号発生源（図示せず）で発生されるランプ（RAMP）波形、即ち傾斜状波形の参照信号 R E F が共通に入力される。そして、コンパレータ 3 3 - 1 ~ 3 3 - 4 は、垂直信号線 1 7 - 1 , 1 7 - 2 , 1 7 - 3 から第 1 スイッチ回路 3 1 を通して入力されるアナログの画素信号をランプ波形の参照信号 R E F と比較することで、画素信号の大きさに対応した時間軸方向に大きさ（パルス幅）を持つパルス信号を出力する。

20

【 0 0 4 4 】

上述したスイッチ素子 S W 1 1 ~ S W 1 6 と電流源 3 2 - 1 ~ 3 2 - 4 およびコンパレータ 3 3 - 1 ~ 3 3 - 4 との接続関係により、第 1 スイッチ回路 3 1 は、垂直信号線 1 7 - 1 , 1 7 - 2 , 1 7 - 3 の各々に対して、電流源 3 2 - 1 ~ 3 2 - 4 およびコンパレータ 3 3 - 1 ~ 3 3 - 4 のうちのどの電流源とコンパレータを接続するかを選択する作用を為す。

30

【 0 0 4 5 】

第 2 スイッチ回路 3 4 は、6 個（= 2 x）のスイッチ素子 S W 2 1 ~ S W 2 6 によって構成されている。スイッチ素子 S W 2 1 ~ S W 2 6 としては、スイッチ素子 S W 1 1 ~ S W 1 6 と同様に、例えば C M O S トランスミッションゲートによるアナログスイッチが用いられる。スイッチ素子 S W 2 1 ~ S W 2 6 は各入力端が、2 個ずつを対としてコンパレータ 3 3 - 1 ~ 3 3 - 4 の各出力端に接続されている。

【 0 0 4 6 】

カウンタ 3 5 - 1 ~ 3 5 - 3 は、コンパレータ 3 3 - 1 ~ 3 3 - 4 の隣り合う 2 つを対として、これら対の各出力端に各入力端が接続されている。すなわち、カウンタ 3 5 - 1 の入力がコンパレータ 3 3 - 1 , 3 3 - 2 の各入力端に接続され、カウンタ 3 5 - 2 の入力がコンパレータ 3 3 - 2 , 3 3 - 3 の各入力端に接続され、カウンタ 3 5 - 3 の入力がコンパレータ 3 3 - 3 , 3 3 - 4 の各入力端に接続されている。

40

【 0 0 4 7 】

これらカウンタ 3 5 - 1 ~ 3 5 - 3 は、コンパレータ 3 3 - 1 ~ 3 3 - 4 から出力されるパルス信号のパルス幅の期間において所定のクロック C K をカウントすることにより、そのカウント値を画素信号の大きさに応じたデジタル信号とする。すなわち、参照信号 R E F を発生する参照信号発生源や、コンパレータ 3 3 - 1 ~ 3 3 - 4 およびカウンタ 3 5 - 1 ~ 3 5 - 3 などによって A D 変換器が構成されている。

【 0 0 4 8 】

50

上述した第2スイッチ回路34とコンパレータ33-1~33-4およびカウンタ35-1~35-3との接続関係により、第2スイッチ回路34は、カウンタ35-1~35-3の各々に対して、電流源32-1~32-4およびコンパレータ33-1~33-4のうちどの電流源とコンパレータを接続するかを選択する作用を為す。

【0049】

シフトレジスタ36は、画素列の数xに対応した数(本例では、3個)の転送段(シフト段)が縦続接続された構成となっており、各転送段から互いに逆相のスイッチ制御信号を出力する。具体的には、1段目の転送段からはスイッチ制御信号CSEL0, XCSEL0が、2段目の転送段からはスイッチ制御信号CSEL1, XCSEL1が、3段目の転送段からはスイッチ制御信号CSEL2, XCSEL2がそれぞれ出力される。

10

【0050】

スイッチ制御信号CSEL0, XCSEL0~CSEL2, XCSEL2は、第1, 第2スイッチ回路31, 34の各スイッチ素子のオン/オフ制御を行う。具体的には、スイッチ制御信号CSEL0, XCSEL0がスイッチ素子SW11, SW12とスイッチ素子SW21, SW22のオン/オフ制御を、スイッチ制御信号CSEL1, XCSEL1がスイッチ素子SW13, SW14とスイッチ素子SW23, SW24のオン/オフ制御を、スイッチ制御信号CSEL2, XCSEL2がスイッチ素子SW15, SW16とスイッチ素子SW25, SW26のオン/オフ制御を行う。

【0051】

このスイッチ制御信号CSEL0, XCSEL0~CSEL2, XCSEL2による第1, 第2スイッチ回路31, 34の各スイッチ素子のオン/オフ制御により、電流源32-1~32-4およびコンパレータ33-1~33-4において、隣り合う電流源とコンパレータの組み合わせが同時に選択されることはなく、いずれか一方の組み合わせだけが選択されることになる。

20

【0052】

ここで、第1スイッチ回路31による選択によって垂直信号線17-1, 17-2, 17-3の各々に対して、電流源32-1~32-4およびコンパレータ33-1~33-4のうちどの電流源とコンパレータを接続するか、また、第2スイッチ回路34による選択によってカウンタ35-1~35-3の各々に対して、電流源32-1~32-4およびコンパレータ33-1~33-4のうちどの電流源とコンパレータを接続するは、

30

【0053】

シフトレジスタ36内の情報を、以下ではシフトレジスタ情報と呼ぶこととする。このシフトレジスタ情報については、テストシステムまたはカメラシステムで決定されることになるが、その詳細については後述する。

【0054】

以上説明した実施例1に係るカラム処理部13において、画素信号のAD変換に際し、電流源32-1~32-4およびコンパレータ33-1~33-4は、アナログ信号を扱うアナログ回路の部位であり、カウンタ35-1~35-3は、デジタル信号を扱うデジタル回路の部位である。

40

【0055】

一般的に、デジタル回路に比べてアナログ回路の方が誤動作や不良が生じやすい。この点に鑑み、実施例1に係るカラム処理部13Aには、画素アレイ部11の画素列に対応した数よりも多い数のアナログ回路を設けている。より具体的には、アナログ回路の部位である電流源32-1~32-4およびコンパレータ33-1~33-4を画素列の数よりも多く(本例では、1つずつ多く)設け、ある1つの電流源またはコンパレータに不良がある場合に、他の正常な電流源またはコンパレータで代替するいわゆる冗長構成を採用している。

【0056】

アナログ回路個々、即ち電流源またはコンパレータの良否の情報については、シフトレ

50

ジスタ情報としてシフトレジスタ36内にあらかじめ格納されている。すなわち、シフトレジスタ36は、アナログ回路の個々の良否の情報を格納する良否情報格納手段として機能する。ただし、良否情報格納手段としては、シフトレジスタ36に限られるものではなく、アナログ回路の個々の良否の情報を格納できるものであればその構成は問わない。

【0057】

ここで、実施例1に係るカラム処理部13Aにおける実際の動作例について図4を用いて説明する。ここでは、図4の左から3つ目のコンパレータ33-3が不良である場合を例に挙げている。

【0058】

シフトレジスタ36には、3つ目のコンパレータ33-3が不良であるため、1つ目、2つ目、4つ目の電流源32-1, 32-2, 32-4およびコンパレータ33-1, 33-2, 33-4の使用を指示する情報がシフトレジスタ情報としてあらかじめ格納されている。そして、このシフトレジスタ情報を基に、シフトレジスタ36から出力されるスイッチ制御信号CSEL0, CSEL1, XCSEL2が“H”レベル、スイッチ制御信号XCSEL0, VCSEL1, CSEL2が“L”レベルになる。

【0059】

これにより、第1スイッチ回路31のスイッチ素子SW11, SW13, SW16と、第2スイッチ回路34のスイッチ素子SW21, SW23, SW26がオン状態になる。その結果、不良のコンパレータ33-3を含むアナログ経路に代えて、その隣の正常なコンパレータ33-4を含むアナログ経路が有効になり、当該コンパレータ33-4の比較結果がカウンタ35-3に与えられることになる。

【0060】

このように、カラム処理部13Aのアナログ回路の部位を冗長構成にし、あらかじめ決められたシフトレジスタ情報を基に、不良の部位を正常な回路で代替することにより、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できるために、製造コストを抑えることができる。

【0061】

なお、実施例1では、画素アレイ部11の全画素列の数を x とし、 x 本の画素列に対してアナログ回路の部位を $x+1$ 個設けるとしたが、これは理解を容易にするための一例に過ぎず、これに限られるものではない。具体的には、画素アレイ部11の全画素列を x 本の画素列を単位としてブロック化し、このブロック(以下、「メインカラム部」と記述する場合もある)ごとに x 本の画素列に対してアナログ回路の部位を $x+1$ 個設けるようにしてもよい。この場合の本数 x は任意に設定可能である。

【0062】

図5に、実施例1に係るカラム処理部13Aにおいて、 x 本の画素列を単位としてブロック化する際に、 $x=8$ とした場合の画素アレイ部11の一部およびカラム処理部13Aのレイアウトの一例を示す。

【0063】

$x=8$ であるから、メインカラム部ごとに、電流源(負荷MOS)32およびコンパレータ33が $x+1$ 個ずつ、カウンタ35が x 個存在することになる。電流源32およびコンパレータ33がカウンタ35に比べて数が多いため、図7から明らかのように、アナログ回路の部位のレイアウトの横幅は狭くなる。

【0064】

ここでは、シフトレジスタ36よりもカウンタ35の方がコンパレータ34の近くにレイアウトされた構成になっているが、その位置関係は任意であり、カウンタ35よりもシフトレジスタ36の方がコンパレータ34の近くにレイアウトされた構成であってもよいことは勿論である。

【0065】

[実施例2]

図6は、本発明の実施例2に係るカラム処理部13Bを示す回路図であり、図中、図3

10

20

30

40

50

と同等部分には同一符号を付して示している。ここでも、 $x = 3$ とした場合を例に挙げて示している。

【0066】

実施例1に係るカラム処理部13Aでは、アナログ回路の部位のうち、電流源32およびコンパレータ33を冗長構成にしているのに対して、本実施例2に係るカラム処理部13Bでは、コンパレータ33のみを冗長構成にしている。

【0067】

具体的には、図6に示すように、本実施例2に係るカラム処理部13Bは、 x 列の画素列に対して、電流源32およびカウンタ35が x 個ずつ、コンパレータ33が $(x + 1)$ 個設けられた構成となっている。そして、3個の電流源32-1~32-3は、垂直信号線17-1~17-3の各一端と基準電位ノード(例えば、グランド)との間に接続されている以外の構成は、基本的に、実施例1に係るカラム処理部13Aと同じである。

10

【0068】

上記構成のカラム処理部13Bにおいて、シフトレジスタ36内のシフトレジスタ情報を基に当該シフトレジスタ36から出力されるスイッチ制御信号CSEL0, XCSEL0~CSEL2, XCSEL2により、第1スイッチ回路31は、垂直信号線17-1, 17-2, 17-3の各々に対して、コンパレータ33-1~33-4のうちどのコンパレータを接続するかを選択し、第2スイッチ回路34は、カウンタ35-1~35-3の各々に対して、コンパレータ33-1~33-4のうちどのコンパレータを接続するかを選択する作用を為す。

20

【0069】

ここで、実施例2に係るカラム処理部13Bにおける実際の動作例について図7を用いて説明する。ここでは、図7の左から3つ目のコンパレータ33-3が不良である場合を例に挙げている。

【0070】

シフトレジスタ36には、3つ目のコンパレータ33-3が不良であるため、1つ目、2つ目、4つ目のコンパレータ33-1, 33-2, 33-4の使用を指示する情報がシフトレジスタ情報としてあらかじめ格納されている。そして、このシフトレジスタ情報を基に、シフトレジスタ36から出力されるスイッチ制御信号CSEL0, CSEL1, XCSEL2が“H”レベル、スイッチ制御信号XCSEL0, XCSEL1, CSEL2が“L”レベルになる。

30

【0071】

これにより、第1スイッチ回路31のスイッチ素子SW11, SW13, SW16と、第2スイッチ回路34のスイッチ素子SW21, SW23, SW26がオン状態になる。その結果、不良のコンパレータ33-3を含むアナログ経路に代えて、その隣の正常なコンパレータ33-4を含むアナログ経路が有効になり、当該コンパレータ33-4の比較結果がカウンタ35-3に与えられることになる。

【0072】

このように、カラム処理部13Aのアナログ回路の部位を冗長構成にし、あらかじめ決められたシフトレジスタ情報を基に、不良の部位を正常な回路で代替することにより、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善できるために、製造コストを抑えることができる。

40

【0073】

特に、本実施例2に係るカラム処理部13Bでは、冗長構成にするアナログ回路の部位から電流源32を除外したことで、直流電流が流れる電流源32を含む経路にスイッチ素子SW11~SW16が介在していないために、直流電流が流れる電流源32を含む経路にスイッチ素子SW11~SW16が介在する構成を採る実施例1に係るカラム処理部13Aに比べて画質的に好ましい。

【0074】

なお、本実施例2においても、実施例1の場合と同様に、画素アレイ部11の全画素列

50

を x 本の画素列を単位としてブロック化し、このブロックごとに x 本の画素列に対してアナログ回路の部位を $x + 1$ 個設ける構成を採ることも可能である。

【0075】

図8に、実施例2に係るカラム処理部13Bにおいて、 x 本の画素列を単位としてブロック化する際に、 $x = 8$ とした場合の画素アレイ部11の一部およびカラム処理部13Aのレイアウトの一例を示す。

【0076】

$x = 8$ であるから、メインカラム部ごとに、電流源(負荷MOS)32およびコンパレータ33が $x + 1$ 個ずつ、カウンタ35が x 個存在することになる。電流源32およびコンパレータ33がカウンタ35に比べて数が多いため、図7から明らかなように、アナログ回路の部位のレイアウトの横幅は狭くなる。

【0077】

ここでは、シフトレジスタ36よりもカウンタ35の方がコンパレータ33の近くにレイアウトされた構成になっているが、その位置関係は任意であり、カウンタ35よりもシフトレジスタ36の方がコンパレータ33の近くにレイアウトされた構成であってもよいことは勿論である。

【0078】

なお、本実施例2では、カラム処理部13Bのアナログ回路の部位のうち、電流源32を冗長構成から除外し、コンパレータ33のみを冗長構成にする構成を採るとしたが、コンパレータ33を冗長構成から除外し、電流源32のみを冗長構成にする構成を採ることも可能である。

【0079】

[実施例3]

図9は、本発明の実施例3に係るカラム処理部13Cを示す回路図であり、図中、図3と同等部分には同一符号を付して示している。ここでも、 $x = 3$ とした場合を例に挙げて示している。

【0080】

図9に示すように、本実施例3に係るカラム処理部13Cは、画素アレイ部11に対してその上側に配置されたカラム処理部13C-aと、下側に配置されたカラム処理部13C-bとに分離され、カラム処理部13C-aが例えば奇数列の画素の信号を処理し、カラム処理部13C-bが例えば偶数列の画素の信号を処理する構成となっている。

【0081】

このように、画素アレイ部11の上下にカラム処理部13C-a, 13C-bを設け、各画素20からの信号を画素アレイ部11の上下に読み出す構成を採ることにより、一方側にのみ読み出す構成を採る実施例1, 2の場合に比べて、画素信号の読み出し速度を高速化できる点で、または、コンパレータ33a, 33bとカウンタ35a, 35bを広いピッチでレイアウトできる点で有利である。

【0082】

カラム処理部13C-a, 13C-bは各々、実施例1に係るカラム処理部13Aの場合と同様に、アナログ回路の部位のうち、電流源32a, 32bおよびコンパレータ33a, 33bの両方を冗長構成にした構成を採っている。なお、電流源32a, 32bおよびコンパレータ33a, 33bの両方を冗長構成にするのは一例であり、電流源32a, 32bのみ、あるいは、コンパレータ33a, 33bのみを冗長構成にした構成を採ることも可能である。

【0083】

このように、カラム処理部13C-a, 13C-bのアナログ回路の部位を冗長構成にし、あらかじめ決められたシフトレジスタ情報を基に、不良の部位を正常な回路で代替することにより、アナログ回路の不良を救済し、当該不良に起因する歩留まりを改善するために、製造コストを抑えることができる。

【0084】

10

20

30

40

50

図10に、実施例3に係るカラム処理部13Cにおいて、x本の画素列を単位としてブロック化する際に、x=8とした場合の画素アレイ部11の一部およびカラム処理部13Aのレイアウトの一例を示す。

【0085】

x=8であるから、メインカラム部ごとに、電流源(負荷MOS)32およびコンパレータ33がx+1個ずつ、カウンタ35がx個存在することになる。電流源32およびコンパレータ33がカウンタ35に比べて数が多いため、アナログ回路の部位のレイアウトの横幅は狭くなる。

【0086】

また、画素アレイ部11の上下にカラム処理部13C-a, 13C-bを設け、各画素20からの信号を画素アレイ部11の上下に読み出す構成を採っていることで、図10から明らかなように、コンパレータ33a, 33bとカウンタ35a, 35bを広いピッチで、具体的には、画素ピッチのほぼ2倍程度のピッチでレイアウトできる

10

【0087】

[シフトレジスタ情報の生成方法]

続いて、シフトレジスタ36(36a, 36b)内にあらかじめ格納されるシフトレジスタ情報を生成する具体的な生成法について説明する。

(生成法1)

生成法1は、リニアリティに注目したテストシステムによるシフトレジスタ情報の生成方法に関する。シフトレジスタ情報は出荷前のテストで、テストシステムによって決定され、不揮発性メモリに記憶される。CMOSイメージセンサを利用したデジタルカメラを使うときは、起動時毎回到揮発性メモリからシフトレジスタ36(36a, 36b)にシフトレジスタ情報をシリアル入力によって書き込んでから使うことになる。

20

【0088】

図11は、生成法1によってシフトレジスタ情報を生成する際の手順を示すフローチャートである。

【0089】

まず、画素の縦方向の場所m通り、温度n通り、色p通りで、決められた照度で決められた色の紙などの被写体を撮影する(ステップS11)。ここで、色p通りは、黒に近い灰色から徐々に近い灰色に徐々に変化するp通りがよい。

30

【0090】

次に、各コンパレータの、実際の理論的に算出される輝度情報と検出された輝度の間の関係の線形近似式、残差平方和を計算する。k番目の色の理論的な輝度を x_k 、検出された輝度を A_k 、線形近似式を $A = ax + b$ としたときに、残差平方和は、 $(A_k - ax_k - b)^2$ をすべての色kに対して合計したものとなる。

【0091】

つまり、残差平方和Sは

【数1】

$$S = \sum_{k=1}^p (A_k - ax_k - b)^2$$

40

で表わすことができる。

【0092】

この残差平方和Sは、リニアリティのエラーの指標と見ることができる。残差平方和Sが大きいほどリニアリティが悪くなる。この残差平方和Sを、画素の縦方向の場所m通り($i = 1 \sim m$)、温度n通り($j = 1 \sim n$)で計算し、次式のように $S_{i,j}$ を算出する(ステップS12)。

【数 2】

$$S_{i,j} = \sum_{k=1}^p (A_{k,i,j} - a_{i,j} x_k - b_{i,j})^2$$

【0093】

次に、すべて i, j における $S_{i,j}$ の合計 T を算出する。この残差平方和 S の合計 T は、次式で表わされる。

【数 3】

$$T = \sum_{i=1}^m \sum_{j=1}^n S_{i,j}$$

10

【0094】

この残差平方和 S の合計 T を各電流源（以下、「負荷 MOS」と記述する）やコンパレータごとに算出し、冗長構成を考える構成単位であるメインカラム部の中で最も残差平方和 S の合計 T が大きくサブ冗長カラムに相当する外部メモリのフラグを立てる（ステップ S13）。

【0095】

ここで、メインカラム部とは、図 5 等に示されるとおり、冗長単位を考える構成単位であり、図 5 では、画素 8 つ分に相当する横方向の単位である。サブ冗長カラムとは、メインカラム部内の冗長部を通る経路のことである。

20

【0096】

その後、外部メモリのフラグからシフトレジスタ情報を以下のように生成する（ステップ S14）。メインカラム部内でフラグが立っているカラムの左側では“H”レベル（以下、単に「H」と記述する）、それ以外では“L”レベル（以下、単に「L」と記述する）を書き込む。最後に、シフトレジスタ情報を外部不揮発性メモリに書き込む（ステップ S15）。

【0097】

残差平方和は、リニアリティが悪いと増加するが、明らかに不良な動作をしている場合は、極端に大きな値となる。したがって、明らかに不良な動作をしているサブ冗長カラムの T 値が大きくなり、フラグが立てられる。これにより、明らかに不良な動作をしているサブ冗長カラムの負荷 MOS、コンパレータを使わないようにシフトレジスタ情報を構成できる。メインカラム部内にそのようなサブ冗長カラムが存在しない場合は、リニアリティが悪い部分が使われないようにシフトレジスタ情報を構成できる。

30

【0098】

図 12 に、生成法 1 によりシフトレジスタ情報を生成する様子を示す。図 12 に示すとおり、1 つの縦方向の場所、温度 1 通り、色 1 通りの検出値を取り出すのに 2 回の読み出し動作が必要である。これは、冗長部である負荷 MOS やコンパレータが例えば 9 個あるのに対して、画素やカウンタはこれより少なく、例えば 8 個しかないため、同じ画素やカウンタを使って異なる負荷 MOS やコンパレータを使用した検出値を算出しないためである。

40

（生成法 2）

生成法 2 は、ノイズ量に注目したテストシステムによるシフトレジスタ情報の生成方法に関する。シフトレジスタ情報は出荷前のテストで、テストシステムによって決定され、不揮発性メモリに記憶される。CMOS イメージセンサを利用したデジタルカメラを使うときは、起動時毎回到不揮発性メモリからシフトレジスタ 36（36a, 36b）にシフトレジスタ情報をシリアル入力によって書き込んでから使うことになる。

【0099】

図 13 は、生成法 2 によってシフトレジスタ情報を生成する際の手順を示すフローチャートである。

【0100】

50

まず、決められた照度で決められた色の紙などの被写体を撮影する。そして、全画素または多数の画素の輝度情報を読み出し（ステップS 2 1）、次いで、各サブ冗長コラムでばらつきの指標である分散²を算出する（ステップS 2 2）。この動作を温度m通り、色n通りに対して行う。そして、分散の合計

【数 4】

$$T = \sum_{k=1}^m \sum_{l=1}^n \sigma^2$$

を算出する。

10

【0 1 0 1】

各メインコラム部内で分散の合計Tが最大となったサブ冗長コラムに相当する外部メモリのフラグを立てる（ステップS 2 3）。その後、外部メモリのフラグからシフトレジスタ情報を次のように生成する。すなわち、メインコラム部内でフラグが立っているコラムの左側ではH、それ以外ではLを書き込む（ステップS 2 4）。最後に、シフトレジスタ情報を外部不揮発性メモリに書き込む（ステップS 2 5）。

【0 1 0 2】

分散²の値は、ノイズが多いと大きくなるが、明らかに不良な動作をしている場合は極端に大きな値となる。したがって、明らかに不良な動作をしているサブ冗長コラムの分散の合計Tの値が大きくなり、フラグが立てられる。これらにより、明らかに不良な動作をしているサブ冗長コラムの負荷MOSやコンパレータを使わないようにシフトレジスタ情報を構成でき、メインコラム部内にそのようなサブ冗長コラムが存在しない場合は、ばらつきが悪い部分が使われないようにシフトレジスタ情報を構成できる。

20

【0 1 0 3】

図1 4に、生成法2によりシフトレジスタ情報を生成する様子を示す。図1 4に示すとおり、1つの縦方向の場所、温度1通り、色1通りの検出値を取り出すのに2回の読み出し動作が必要である。これは、冗長部である負荷MOSやコンパレータが例えば9個あるのに対して、画素やカウンタはこれより少なく、例えば8個しかいないため、同じ画素やカウンタを使って異なる負荷MOSやコンパレータを使用した検出値を算出しなくてはならないためである。

30

【0 1 0 4】

（生成法3）

生成法3は、リニアリティに注目したカメラシステムによるシフトレジスタ情報の生成方法に関する。シフトレジスタ情報は起動時のテストでカメラシステムにより決定され、起動時にシフトレジスタ3 6（3 6 a, 3 6 b）に書き込んでから使うことになる。

【0 1 0 5】

図1 5は、生成法3による生成機能を有するコラム処理部1 3 Dを示す回路図であり、図中、図3と同等部分には同一符号を付して示している。

【0 1 0 6】

図1 5に示すように、垂直信号線1 7 - 1, 1 7 - 2, 1 7 - 3の各々にテスト回路4 0 - 1, 4 0 - 2, 4 0 - 3が接続されており、これらテスト回路4 0 - 1, 4 0 - 2, 4 0 - 3によって生成法3による生成機能の実現される。テスト回路4 0（4 0 - 1, 4 0 - 2, 4 0 - 3）は、ソースフォロアトランジスタ4 1と選択トランジスタ4 2の対によって構成されている。

40

【0 1 0 7】

テスト時には、テストイネーブル信号FD_TEST_ENをHにしテスト回路4 0内の選択トランジスタ4 2をオンにして、ソースフォロアトランジスタ4 1のゲートに対して所定の電位、例えば画素2 0のFD（フローティングディフュージョン）電位に相当するアナログ電位TEST_V_INを与える。

【0 1 0 8】

50

こうすることにより、すべてのカラムに同一のFD電位を与えてテストすることができる。コンパレータの入力電位は、テスト回路40内のソースフォロアと負荷MOSによって決定される。このことにより、カラムのアナログ部位のテストで負荷MOSの不良も検出でき、テストが画素の影響を受けにくくなる。

【0109】

アナログ電位TEST_V_INを複数通り、例えば5通り振って読み出しを行い、リニアリティの指標である残差平方和Sを算出する。メインカラム部内でこの残差平方和Sが最大となったサブ冗長カラムの負荷MOSとコンパレータを使わないようにシフトレジスタ情報を生成する。

【0110】

テスト回路40を用いて画素の影響を受けにくくしているため、テスト回路40の1つを読み出せばよい。もちろん、テスト回路40を複数持ち、複数のテスト回路40の読み出し結果を用いても良い。また、テストシステムではなくカメラシステムで起動時に毎回テストするので、実際に使用するときとテスト時で温度の変化は少ないと考え、テストする温度は1通りでよい。もちろんノイズに注目して、同じテスト回路40を複数回読み出して分散からシフトレジスタ情報を生成しても良い。

【0111】

生成法3によるシフトレジスタ情報の生成方法は、生成法1によるシフトレジスタ情報の生成方法に比べてテストのマシントイムが少なく済む。一方、カメラシステムがテストによりシフトレジスタ情報を生成することに対応する必要がある。すなわち、カメラ信号処理回路であるDSP (Digital Signal Processor) にこのような機能を盛り込む必要がある。

【0112】

(生成法4)

生成法4は、リニアリティに注目したカメラシステムによるシフトレジスタ情報の生成方法に関する。シフトレジスタ情報は起動時のテストでカメラシステムにより決定され、起動時にシフトレジスタ36 (36a, 36b) に書き込んでから使うことになる。

【0113】

図16は、生成法4による生成機能を有するカラム処理部13Eを示す回路図であり、図中、図3と同等部分には同一符号を付して示している。

【0114】

図16に示すように、垂直信号線17-1, 17-2, 17-3の各々に対し、所定の電位、例えばFD電位に相当するアナログ電位TEST_V_INを直接入力する電位入力回路43-1, 43-2, 43-3によって生成法4による生成機能が実現される。電位入力回路43 (43-1, 43-2, 43-3) は、例えばCMOSトランスマッションゲートによるアナログスイッチによって構成されている。

【0115】

テスト時にはテストイネーブル信号EQ_EN = H、XEQ_EN = Lにして、垂直信号線17 (17-1, 17-2, 17-3) に外部からアナログ電位TEST_V_INを与える。また、負荷MOSについてはオフ状態にする。

【0116】

アナログ電位TEST_V_INを複数通り、例えば5通り振って読み出しを行い、リニアリティの指標である残差平方和Sを算出する。メインカラム部内でこの残差平方和Sが最大となったサブ冗長カラムの負荷MOSとコンパレータを使わないようにシフトレジスタ情報を生成する。

【0117】

この生成法4によるシフトレジスタ情報の生成方法は、外部電位を用いて画素の影響を受けなくしている。また、テストシステムではなくカメラシステムで起動時に毎回テストするので、実際に使用するときとテスト時で温度の変化は少ないと考え、テストする温度は1通りでよい。もちろんノイズに注目して、同じ外部電位を複数回読み出して分散から

10

20

30

40

50

シフトレジスタ情報を生成しても良い。

【0118】

生成法4によるシフトレジスタ情報の生成方法は、生成法3によるシフトレジスタ情報の生成方法と同様、テストのマシタイムが少なく済む。一方、カメラシステムがテストによりシフトレジスタ情報を生成することに対応する必要がある。すなわち、DSPにこのような機能を盛り込む必要がある。

【0119】

ただし、生成法4によるシフトレジスタ情報の生成方法は、生成法3によるシフトレジスタ情報の生成方法と異なり負荷MOSの不良を救済することはできない。

【0120】

[変形例]

なお、上記実施形態では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明したが、本発明はCMOSイメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像装置全般に対して適用可能である。

【0121】

さらに、本発明は、画素アレイ部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限らず、画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX-Yアドレス型の固体撮像装置に対しても適用可能である。

【0122】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0123】

また、本発明は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【0124】

[撮像装置]

図17は、本発明に係る撮像装置の構成の一例を示すブロック図である。図17に示すように、本発明に係る撮像装置100は、レンズ群101等を含む光学系、撮像素子102、カメラ信号処理回路であるDSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107および電源系108等を有し、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107および電源系108がバスライン109を介して相互に接続された構成となっている。

【0125】

レンズ群101は、被写体からの入射光(像光)を取り込んで撮像素子102の撮像面上に結像する。撮像素子102は、レンズ群101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子102として、先述した実施例1~3に係るカラム処理部を有するCMOSイメージセンサが用いられる。

【0126】

表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置からなり、撮像素子102で撮像された動画または静止画を表示する。記録装置106は、撮像素子102で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

【0127】

10

20

30

40

50

操作系 107 は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系 108 は、DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106 および操作系 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【図面の簡単な説明】

【0128】

【図 1】本発明が適用される CMOS イメージセンサの構成の概略を示すシステム構成図である。

【図 2】単位画素の回路構成の一例を示す回路図である。

【図 3】本発明の実施例 1 に係るカラム処理部を示す回路図である。

10

【図 4】実施例 1 に係るカラム処理部における実際の動作例の説明図である。

【図 5】実施例 1 に係るカラム処理部において、 x 本の画素列を単位としてブロック化する際に、 $x = 8$ とした場合の画素アレイ部の一部およびカラム処理部のレイアウトの一例を示す図である。

【図 6】本発明の実施例 2 に係るカラム処理部を示す回路図である。

【図 7】実施例 2 に係るカラム処理部における実際の動作例の説明図である。

【図 8】実施例 2 に係るカラム処理部において、 x 本の画素列を単位としてブロック化する際に、 $x = 8$ とした場合の画素アレイ部の一部およびカラム処理部のレイアウトの一例を示す図である。

【図 9】本発明の実施例 3 に係るカラム処理部を示す回路図である。

20

【図 10】実施例 3 に係るカラム処理部において、 x 本の画素列を単位としてブロック化する際に、 $x = 8$ とした場合の画素アレイ部の一部およびカラム処理部のレイアウトの一例を示す図である。

【図 11】生成法 1 によってシフトレジスタ情報を生成する際の手順を示すフローチャートである。

【図 12】生成法 1 によりシフトレジスタ情報を生成する様子を示す図である。

【図 13】生成法 2 によってシフトレジスタ情報を生成する際の手順を示すフローチャートである。

【図 14】生成法 2 によりシフトレジスタ情報を生成する様子を示す図である。

【図 15】生成法 3 による生成機能を有するカラム処理部を示す回路図である。

30

【図 16】生成法 4 による生成機能を有するカラム処理部を示す回路図である。

【図 17】本発明に係る撮像装置の構成の一例を示すブロック図である。

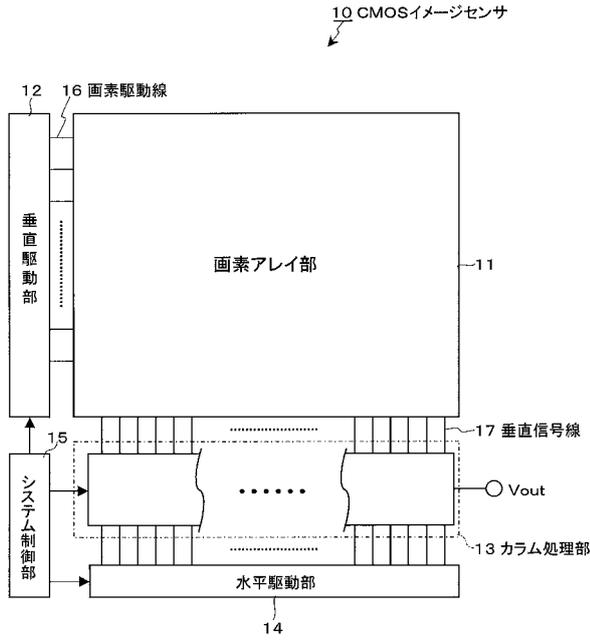
【符号の説明】

【0129】

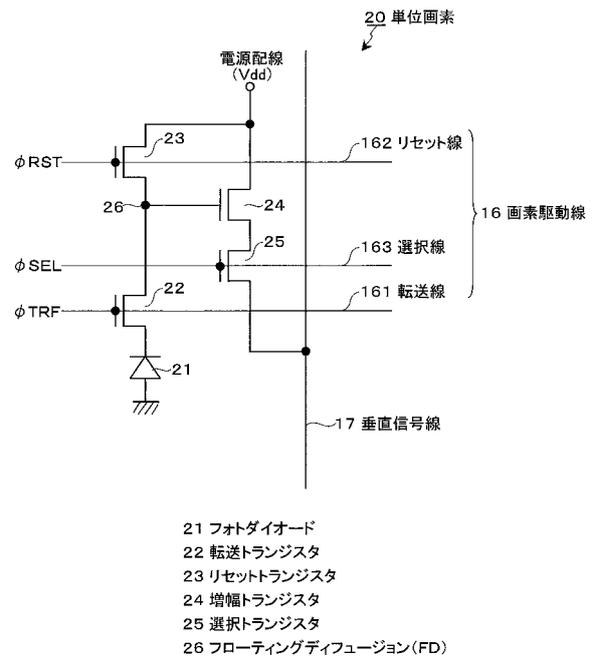
10 ... CMOS イメージセンサ、11 ... 画素アレイ部、12 ... 垂直駆動部、13 (13A ~ 13E) ... カラム処理部、14 ... 水平駆動部、15 ... システム制御部、16 ... 画素駆動線、17 (17-1, 17-2, 17-3) ... 垂直信号線、20 ... 単位画素、31 ... 第 1 スイッチ回路、32 (32-1 ~ 32-4) ... 電流源、33 (33-1 ~ 33-4) ... コンパレータ、34 ... 第 2 スイッチ回路、35 (35-1 ~ 35-3) ... カウンタ、36 (36a, 36b) ... シフトレジスタ

40

【 図 1 】

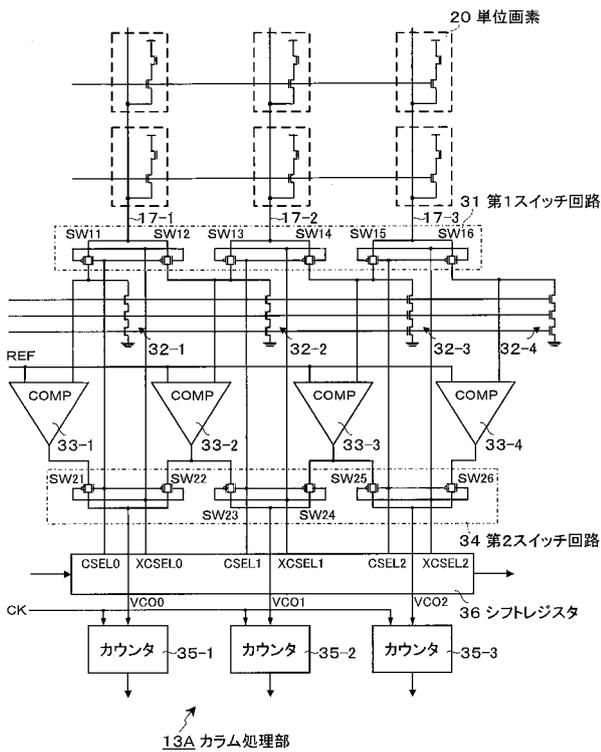


【 図 2 】

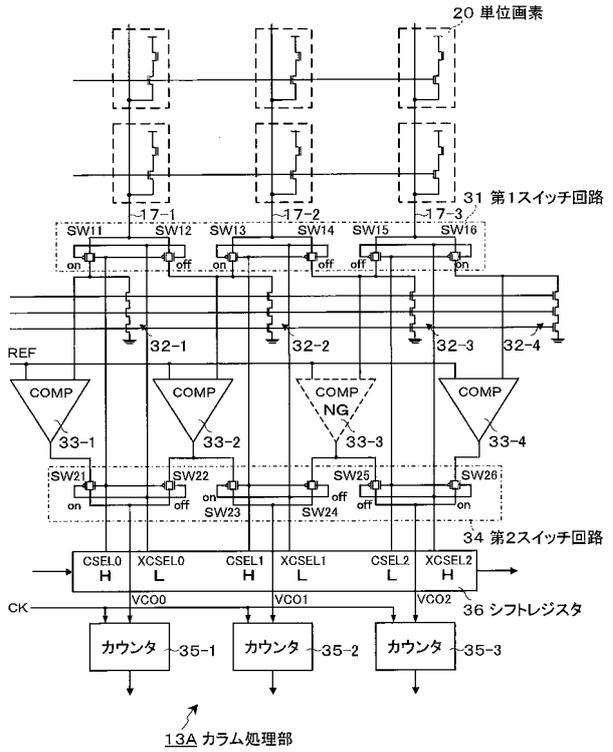


- 21 フォトダイオード
- 22 転送トランジスタ
- 23 リセットトランジスタ
- 24 増幅トランジスタ
- 25 選択トランジスタ
- 26 フローティングディフュージョン(FD)

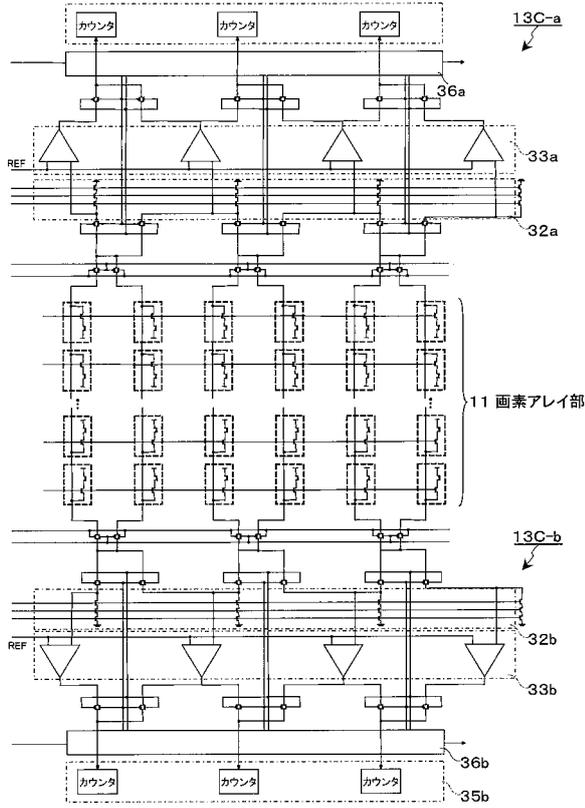
【 図 3 】



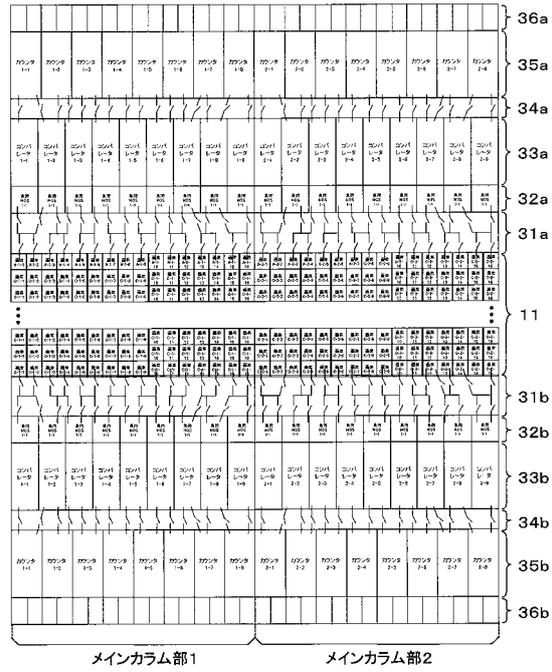
【 図 4 】



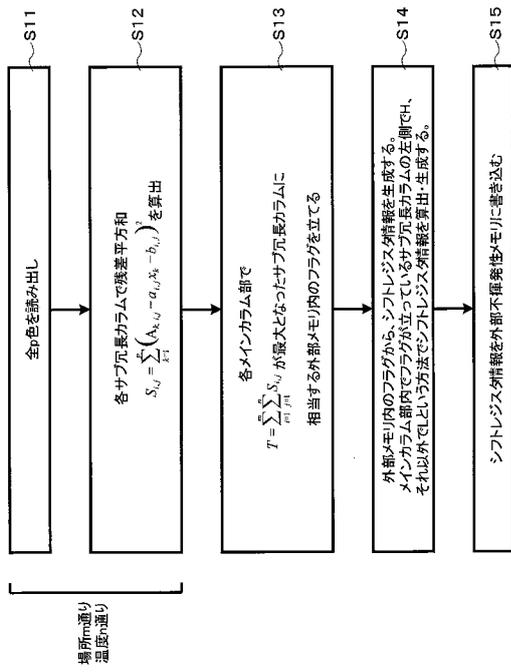
【図9】



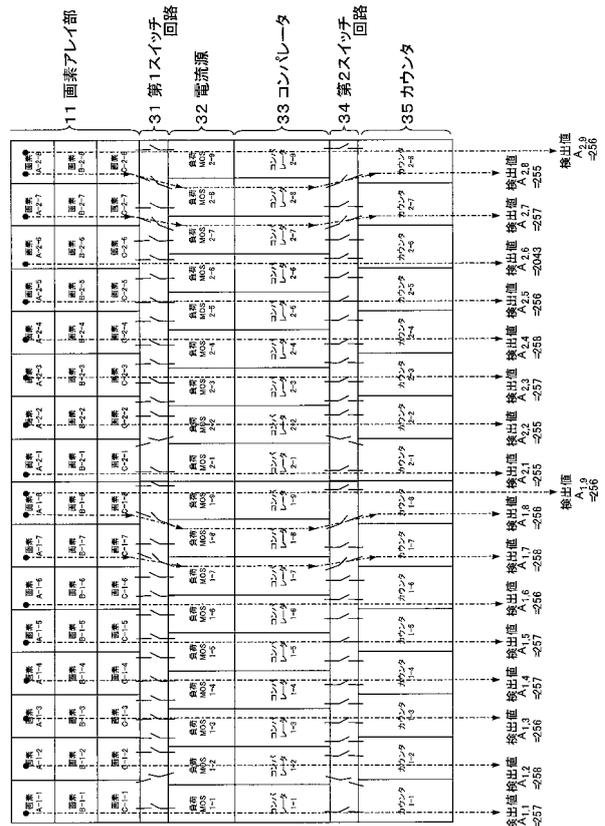
【図10】



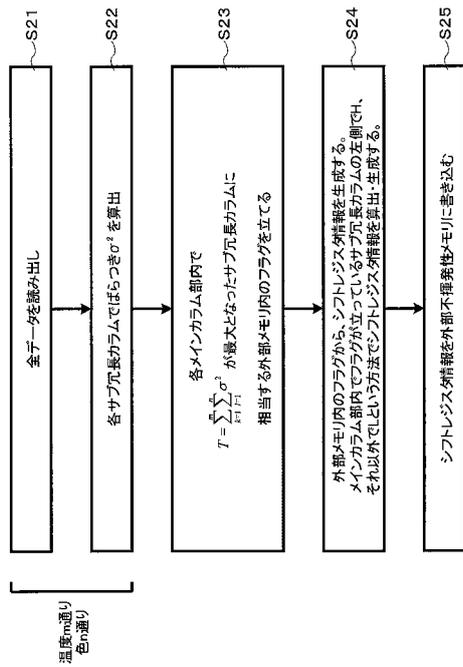
【図11】



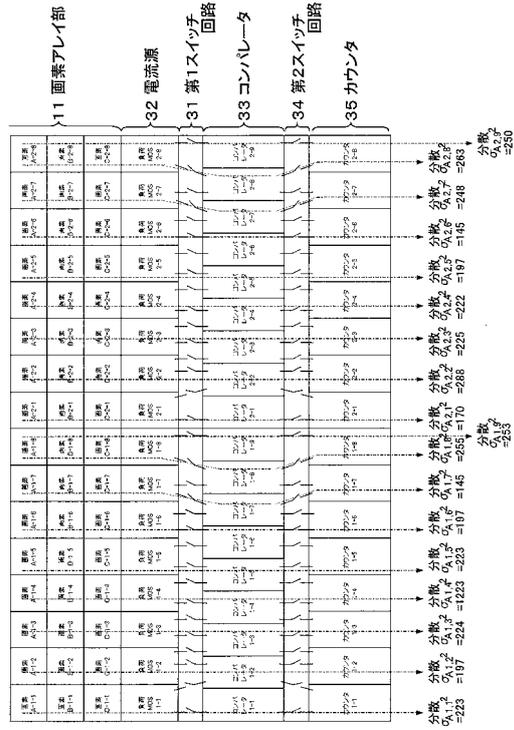
【図12】



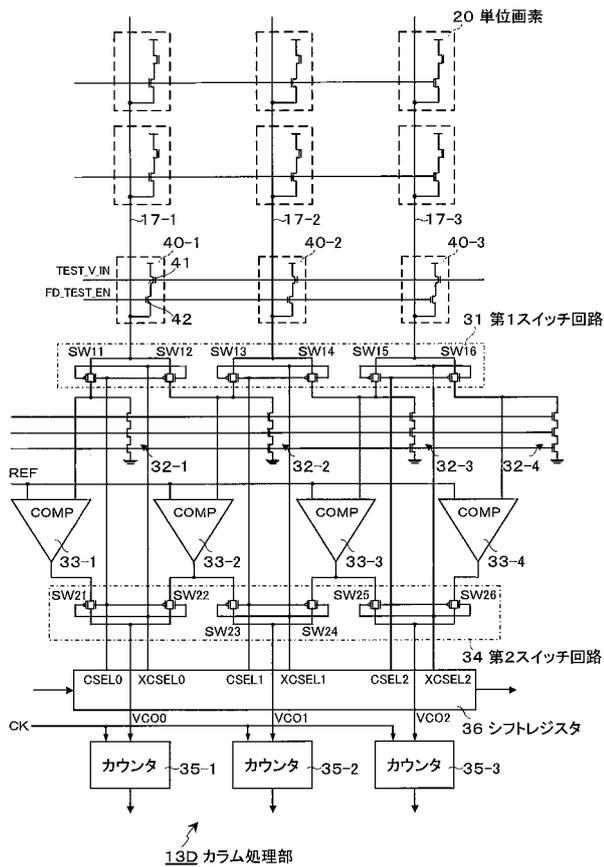
【 図 1 3 】



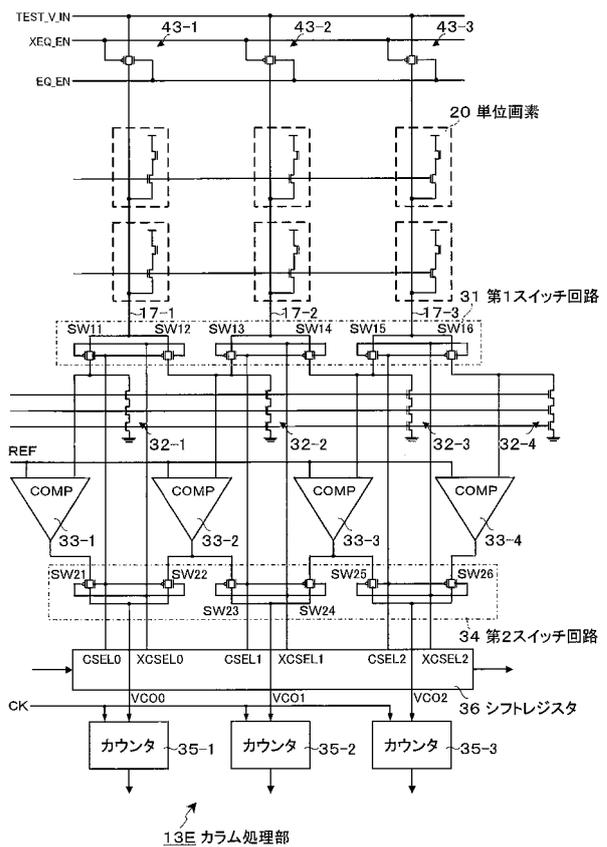
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



【図 17】

