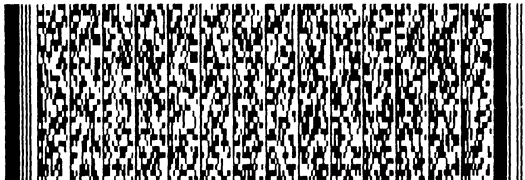


公告本

申請日期： <u>90.7.2</u>	案號： <u>9010492</u>
類別： <u>H01 21/268</u>	

(以上各欄由本局填註)

發明專利說明書		587306
一、 發明名稱	中文	低阻值雙鑲嵌接觸窗的製作方法
	英文	
二、 發明人	姓名 (中文)	1. 張慶裕 2. 曾銷為 3. 黃文信
	姓名 (英文)	1. Ching-Yu Chang 2. Tseng, Yu Wei 3. Huang, Wen Hsin
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 宜蘭縣員山鄉同樂村新城路6鄰17號 2. 台中縣后里鄉聯合村水門路六十五號 3. 新竹市建新路五十六之二號一樓
三、 申請人	姓名 (名稱) (中文)	1. 旺宏電子股份有限公司
	姓名 (名稱) (英文)	1. Macronix International Co. Ltd.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區力行路十六號
	代表人 姓名 (中文)	1. 胡定華
代表人 姓名 (英文)	1.	
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

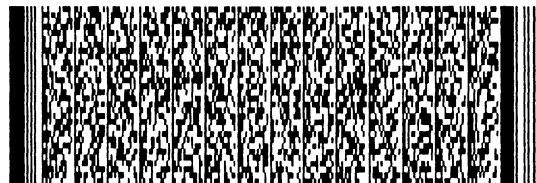
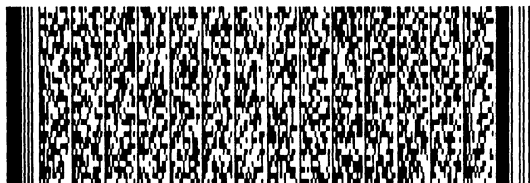
發明之領域

本發明係關於一種雙鑲嵌銅製程方法，尤指一種低阻值雙鑲嵌接觸窗的製作方法，以改善銅製程內連線(interconnect)的接觸電阻。

背景說明

雙鑲嵌(dual damascene)製程是一種能同時形成一金屬導線以及一插塞(plug)之上下堆疊結構的方法，用來連接半導體晶片中各層間的不同元件與導線，並利用其周圍的內層介電材料(inter-layer dielectrics)與其他元件相隔離。而由於銅具有低阻值以及抗電致遷(electromigration resistance)的特性，因此近年來，銅金屬雙鑲嵌內連線技術在多層內連線(multi-layer interconnect)製程中日益重要，而且勢必成為下一世代的半導體製程中所採用的導線材料。

請參閱圖一，圖一為習知雙鑲嵌(dual damascene)結構11示意圖。如圖一所示，半導體晶片10上包含有一下層銅導線14鑲嵌於一第一低介電常數(low-k)材料層12中以及一上層銅導線24鑲嵌於一第二低介電常數材料層20中的雙鑲嵌上部溝渠結構23中。上層銅導線24以及下層銅導線14係經由一雙鑲嵌下部接觸窗(via)結構22穿過第一低介



五、發明說明 (2)

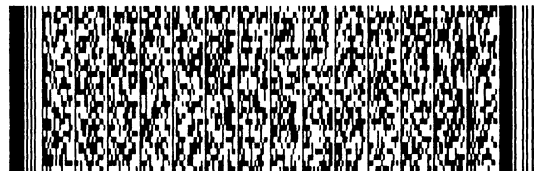
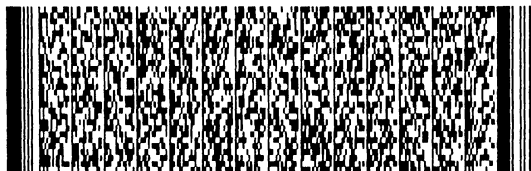
電常數材料層 12 以及第二低介電常數材料層 20 之間的氮化矽保護層 18 電連結。

由於習知雙鑲嵌製程必須在雙鑲嵌結構 11 中先形成一阻障層 13，以防止後續填入雙鑲嵌結構 11 中的銅金屬擴散至鄰近的介電層中。常用的阻障層材料包括有鈦、氮化鈦、氮化鉭、以及氮化鎢等等。一般而言，阻障層 13 至少需具備有下列條件：

- a. 良好的擴散阻絕特性；
- b. 對於銅金屬以及介電層有良好的附著力；
- c. 阻值不能過高 ($< 1000 \mu \Omega - \text{cm}$)；
- d. 良好的階梯覆蓋能力，以均勻包覆銅導線。

然而，習知的雙鑲嵌銅製程仍然會遭遇阻值過高的問題。這是由於阻障層 13 的阻值無法繼續降低，因而影響到產品的效能。此外，阻障層 13 在雙鑲嵌下部接觸窗結構 22 內的階梯覆蓋能力不足，又會造成底部角落 (bottom-corner) 覆蓋較弱，亦可能是阻值過高的原因之一。

因此，本發明之主要目的在於提供一種雙鑲嵌接觸窗的製作方法，以解決內連線的接觸電阻過高之問題。



五、發明說明 (3)

發明之詳細說明

請參閱圖二至圖七，圖二至圖七為本發明較佳實施例之方法示意圖。首先，如圖二所示，半導體晶片30表面包含有一底層32，例如一低介電常數材料層，一氮化矽層34覆蓋於底層32表面以及一低介電常數材料層36形成於氮化矽層34之上。底層32中鑲嵌有一導電層31，例如下層金屬導線。低介電常數材料層36可藉由旋轉塗佈 (spin-on-coating) 低介電材料形成，例如 Allied Signal 公司所產製之 FLARE™ 系列產品，或可藉由一般的化學氣相沈積 (chemical vapor deposition, CVD) 製程，形成無機低介電材料，例如二氧化矽。此外，低介電常數材料層36可以為業界所常用之有機低介電常數材料，例如 Schumacher 公司所產製之 SiLK™、亞芳香基醚類聚合物 (poly (arylene ether) polymer) 或 parylene 類化合物、聚醯亞胺 (polyimide) 系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica)、或鐵氟龍等等。低介電常數材料層36的介電常數約介於 2.6 至 3.2 之間，其厚度約為數千埃 (angstrom) 至數微米 (micrometer)。為了方便說明本發明之特徵，半導體晶片30上之其它元件則不顯示在圖二之中。

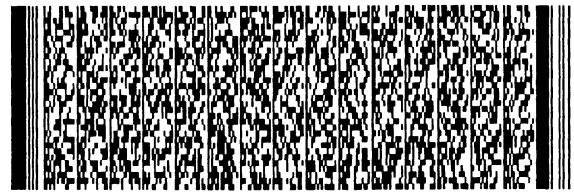
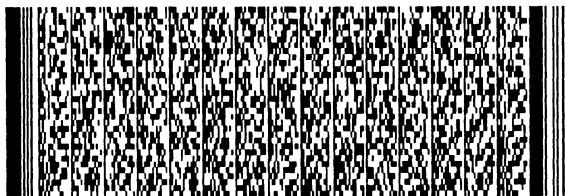
如圖三所示，接著依序於低介電常數材料層36上形成



五、發明說明 (4)

一停止層 38，例如氧化矽，以及一低介電常數材料層 42。低介電常數材料層 42可藉由旋轉塗佈低介電材料形成，例如 Allied Signal公司所產製之 FLARE™系列產品，或可藉由一般的化學氣相沈積 (CVD)製程，形成無機低介電材料，例如二氧化矽。此外，低介電常數材料層 42可以為業界所常用之有機低介電常數材料，例如 SiLK™、亞芳香基醚類聚合物或 parylene類化合物、聚醯亞胺系高分子、氟化聚醯亞胺、HSQ、氟矽玻璃、二氧化矽、多孔矽玻璃、或鐵氟龍等等。低介電常數材料層 42的介電常數約介於 2.6至 3.2之間，其厚度約為數千埃至數微米。

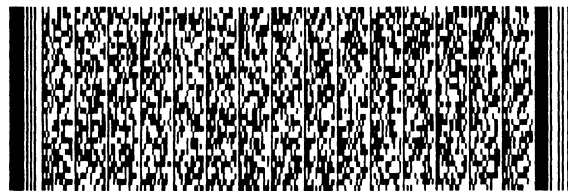
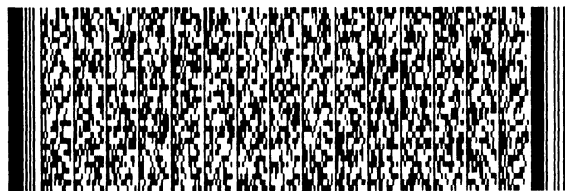
同樣如圖三所示，接著利用傳統的黃光以及蝕刻製程，於導電層 31上方之低介電常數材料層 42中蝕刻出一導線溝渠 (wire trench) 43，用來於後續製程中容納一銅金屬導線。隨後，於導線溝渠 43表面以及低介電常數材料層 42上形成一第一阻障層 44。第一阻障層 44係選自於下列材料之任一或其組合：鈦 (Ti)、氮化鈦 (TiN)、氮化鈮 (TaN)、鈦鎢合金 (TiW alloy)、鈮鎢合金 (TaW alloy)、氮化矽、氮氧化矽 (SiON)、或其他類似阻障材料。第一阻障層 44的厚度約為 200至 700埃之間，較佳為 350至 500埃之間。形成第一阻障層 44的方法可以依據不同的材料而選擇使用濺鍍或者化學氣相沈積技術，此為習知該項技藝者所熟知，因此不再贅述。



五、發明說明 (5)

接著，如圖四所示，於第一阻障層 44 上塗佈一光阻層 45 (定義 via 光阻)，並利用微影成像 (lithography) 技術於光阻層 45 中定義出一開口。隨後利用此一定義圖案的光阻層 45 當作蝕刻罩幕，向下依序蝕刻第一阻障層 44、停止層 38、低介電常數材料層 36 以及氮化矽層 34，以形成一雙鑲嵌接觸窗 46，暴露出下方部份導電層 31。然後去除光阻層 45。雙鑲嵌接觸窗 46 與導線溝渠 43 共同構成一雙鑲嵌結構 47。如前所述，雙鑲嵌接觸窗 46 的形成需蝕刻不同材料層，包括第一阻障層 44、停止層 38、低介電常數材料層 36 以及氮化矽層 34，因此在蝕刻過程中需改變蝕刻氣體以及參數。然而，雙鑲嵌製程過程中蝕刻氣體的選擇以及蝕刻參數的改變為習知該項技藝者所能輕易完成，因此在此不再贅述。

接下來，如圖五所示，於第一阻障層 44 表面以及雙鑲嵌結構 47 中形成一第二阻障層 48。第一阻障層 48 係選自於下列材料之任一或其組合：鈦 (Ti)、氮化鈦 (TiN)、氮化鉭 (Ta₂N)、鈦鎢合金 (TiW alloy)、鉭鎢合金 (TaW alloy)、氮化矽、氮氧化矽 (Si₃N₄)、或其他類似阻障材料。第二阻障層 48 的厚度約為 200 至 600 埃之間，較佳為 250 至 450 埃之間。形成第二阻障層 48 的方法可以依據不同的材料而選擇使用濺鍍或者化學氣相沈積技術。如圖六所示，接著回蝕刻 (etch back) 第二阻障層 48 直至導電層 31 表面。在回蝕刻第二阻障層 48 後，殘留之第二阻障層 48 會



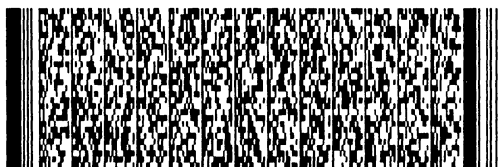
五、發明說明 (6)

分別於接觸窗 46 側壁上形成一側壁子 51 以及於導線溝渠側壁之第一阻障層 44 上形成一側壁子 52。

如圖七所示，接著以電鍍方式於雙鑲嵌結構，包括導線溝渠 43 以及接觸窗 46 中填入一銅金屬層 61。在電鍍銅金屬之後，再進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，去除部份銅金屬層，留下填在導線溝渠 43 以及接觸窗 46 中的銅金屬層部份。最後再形成一保護層 62，通常為氮化矽所構成，完成本發明雙鑲嵌內連線的製作。

相較於習知方法，本發明雙鑲嵌導線內連線方法具有以下特色：(1) 具有雙層阻障層，可有效隔絕銅的擴散，(2) 具有低接觸電阻接觸窗結構，以及 (3) 製程簡單。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

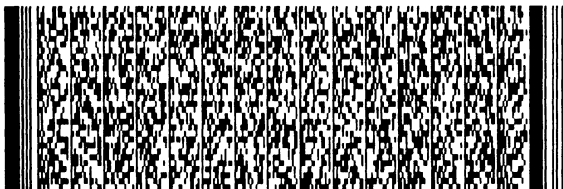
圖示之簡單說明

圖一為習知雙鑲嵌結構剖面放大示意圖。

圖二至圖七為本發明較佳實施例之方法示意圖。

圖示之符號說明

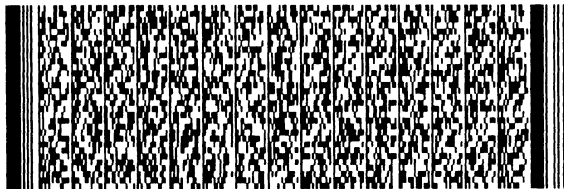
10	半導體晶片	11	雙鑲嵌結構
12	第一低介電常數材料層	13	阻障層
14	導電層	18	氮化矽保護層
20	第二低介電常數材料層		
22	雙鑲嵌下部接觸窗結構		
23	導線溝渠	24	上層銅導線
30	半導體晶片	31	導電層
32	底層	34	氮化矽層
36	低介電常數材料層	38	停止層
42	低介電常數材料層	43	導線溝渠
44	第一阻障層	45	光阻層
46	雙鑲嵌接觸窗	47	雙鑲嵌結構
48	第二阻障層	51	側壁子
52	側壁子	61	銅金屬層
62	保護層		



四、中文發明摘要 (發明之名稱：低阻值雙鑲嵌接觸窗的製作方法)

本發明係提供一種低阻值雙鑲嵌接觸窗的製作方法。該方法包括下列步驟：(1)提供一半導體基底，其上形成有一導電層；(2)於該導電層上形成一第一介電層；(3)於該第一介電層上形成一停止層；(4)於該停止層上形成一第二介電層；(5)進行一第一黃光及蝕刻製程，蝕刻該第二介電層一預定區域，以於該第二介電層中之該預定區域形成一導線溝渠；(6)形成一第一阻障層覆蓋該導線淺溝表面以及該第二介電層上；(7)進行一第二黃光及蝕刻製程，於該導線溝渠底部形成一接觸窗，且該接觸窗穿過該第一阻障層以及該第一介電層通達該導電層；(8)形成一第二阻障層覆蓋該接觸窗側壁、底部以及該第一阻障層上；以及(9)回蝕刻該第二阻障層直至該導電層表面。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種低阻值接觸窗 (via) 的製作方法，該方法包含有下列步驟：

提供一半導體基底，其上形成有一導電層；

於該導電層上形成一第一介電層；

於該第一介電層上形成一停止層；

於該停止層上形成一第二介電層；

進行一第一黃光及蝕刻製程，蝕刻該第二介電層一預定區域，以於該第二介電層中之該預定區域形成一導線溝渠 (wire trench)；

形成一第一阻障層覆蓋該導線淺溝表面以及該第二介電層上；

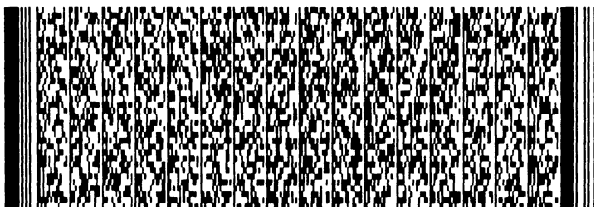
進行一第二黃光及蝕刻製程，於該導線溝渠底部形成一接觸窗，且該接觸窗穿過該第一阻障層以及該第一介電層通達該導電層；

形成一第二阻障層覆蓋該接觸窗側壁、底部以及該第一阻障層上；以及

回蝕刻 (etch back) 該第二阻障層直至該導電層表面。

2. 如申請專利範圍第 1 項之方法，其中該導電層係一銅導線。

3. 如申請專利範圍第 1 項之方法，其中在回蝕刻該第二阻障層後，殘留之該第二阻障層會於該接觸窗側壁上形成



六、申請專利範圍

一 側壁子。

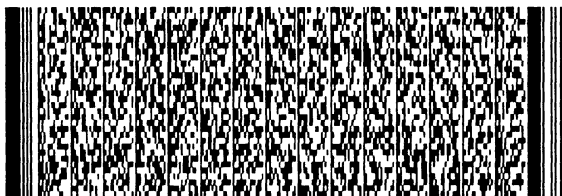
4. 如申請專利範圍第1項之方法，其中該第一介電層係由一低介電常數材料所構成。

5. 如申請專利範圍第4項之方法，其中該低介電常數材料包含有 FLARE™、SiLK™、亞芳香基醚類聚合物 (poly(arylene ether) polymer)、parylene類化合物、聚醯亞胺 (polyimide)系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica)、或鐵氟龍。

6. 如申請專利範圍第1項之方法，其中該第二介電層係由一低介電常數材料所構成。

7. 如申請專利範圍第6項之方法，其中該低介電常數材料包含有之 FLARE™、SiLK™、亞芳香基醚類聚合物 (poly(arylene ether) polymer)、parylene類化合物、聚醯亞胺 (polyimide)系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica)、或鐵氟龍。

8. 如申請專利範圍第1項之方法，其中該第一阻障層係選自於下列材料之任一或其組合：鈦 (Ti)、氮化鈦

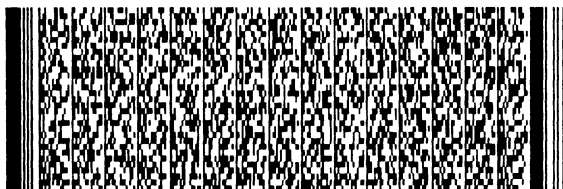


六、申請專利範圍

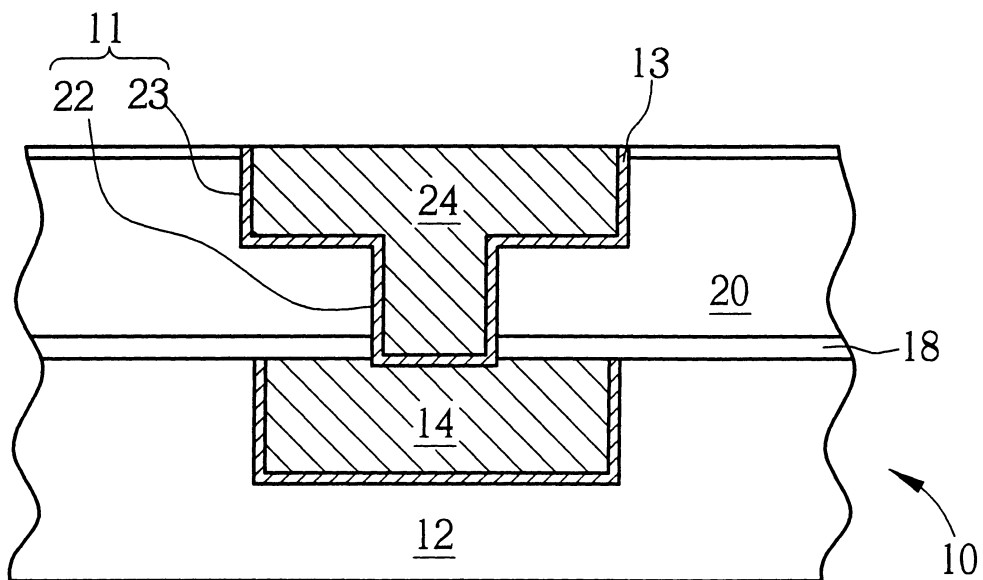
(TiN)、氮化鈮 (TaN)、鈦鎢合金 (TiW alloy)、鈮鎢合金 (TaW alloy)、氮化矽、或氮氧化矽 (SiON)。

9. 如申請專利範圍第 1 項之方法，其中該第二阻障層係選自於下列材料之任一或其組合：鈦 (Ti)、氮化鈦 (TiN)、氮化鈮 (TaN)、鈦鎢合金 (TiW alloy)、鈮鎢合金 (TaW alloy)、氮化矽、或氮氧化矽 (SiON)。

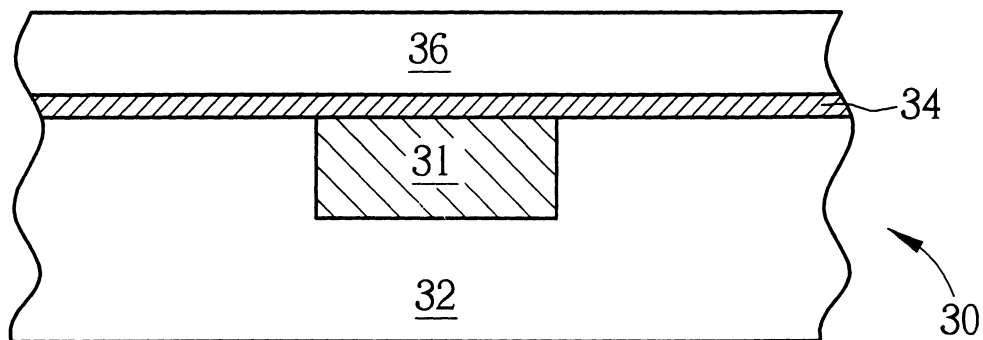
10. 如申請專利範圍第 1 項之方法，其中在回蝕刻該第二阻障層後，該方法尚包含有下列步驟：
電鍍一銅金屬層，且該銅金屬層填滿該導線溝渠以及該接觸窗；
進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，以於該導線溝渠中形成一雙鑲嵌銅導線；以及於該雙鑲嵌銅導線上形成一保護層。



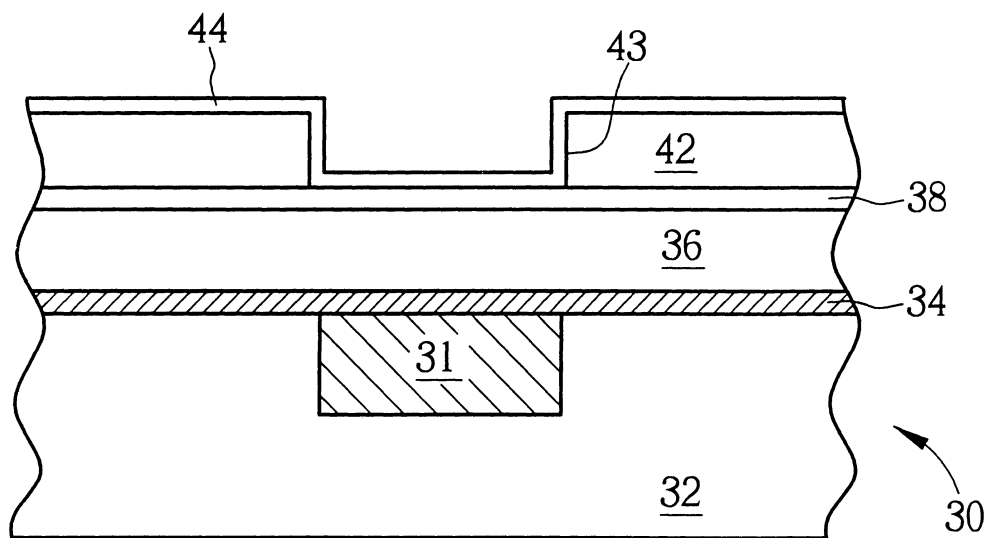
9010492



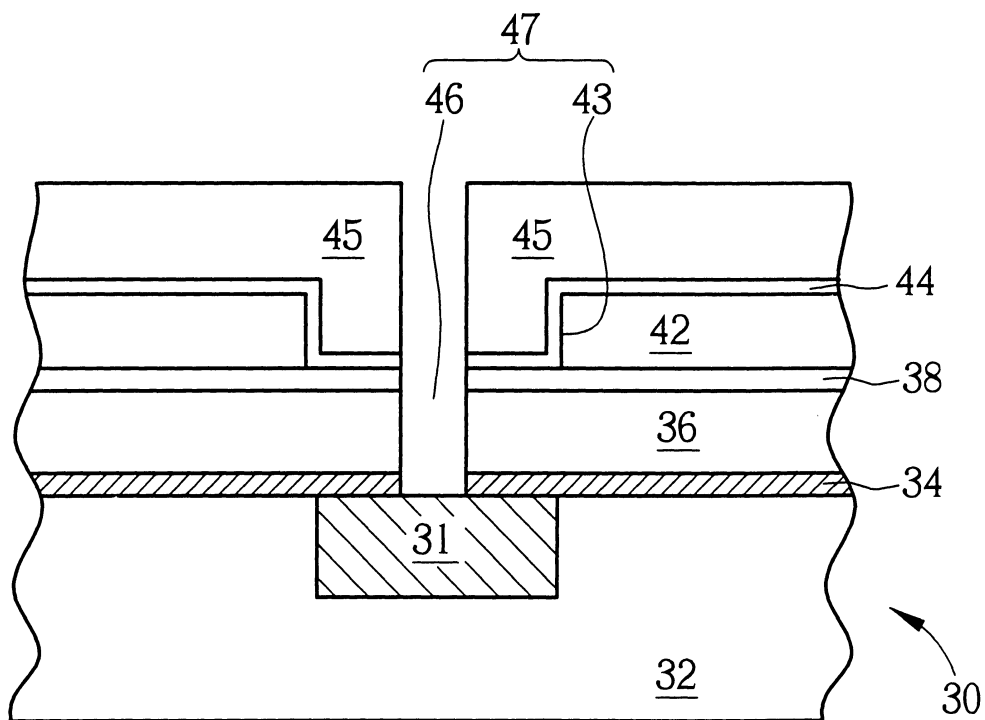
圖一



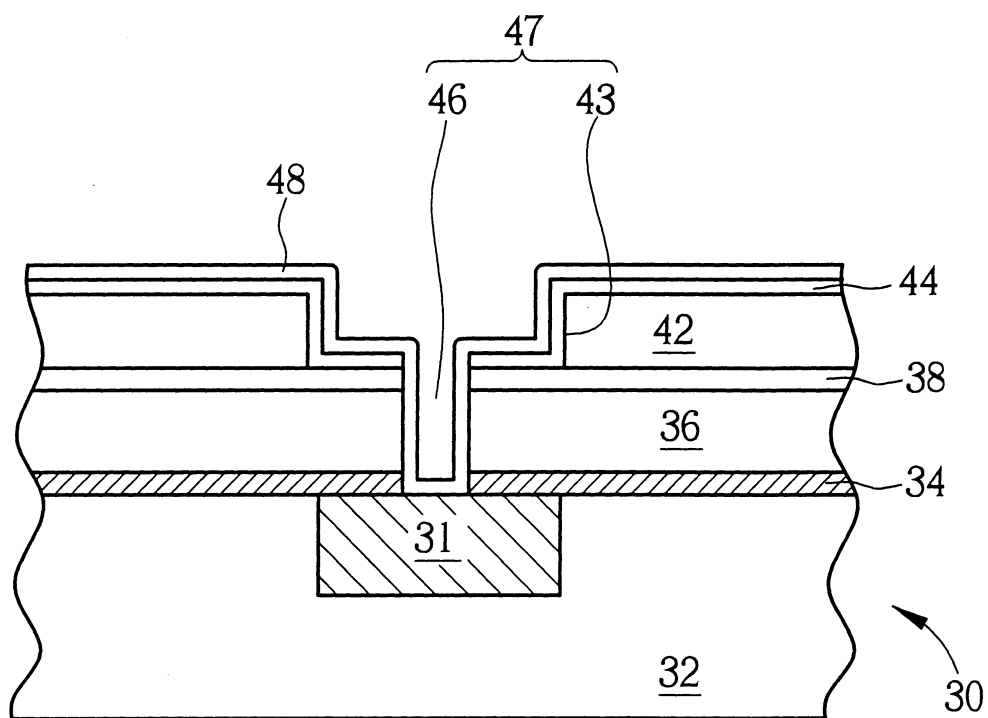
圖二



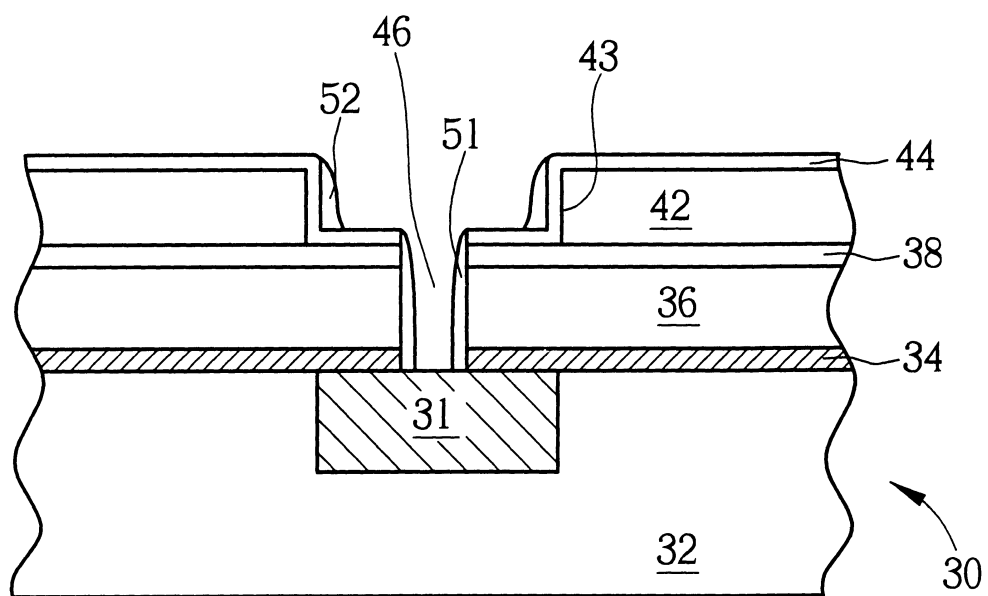
圖三



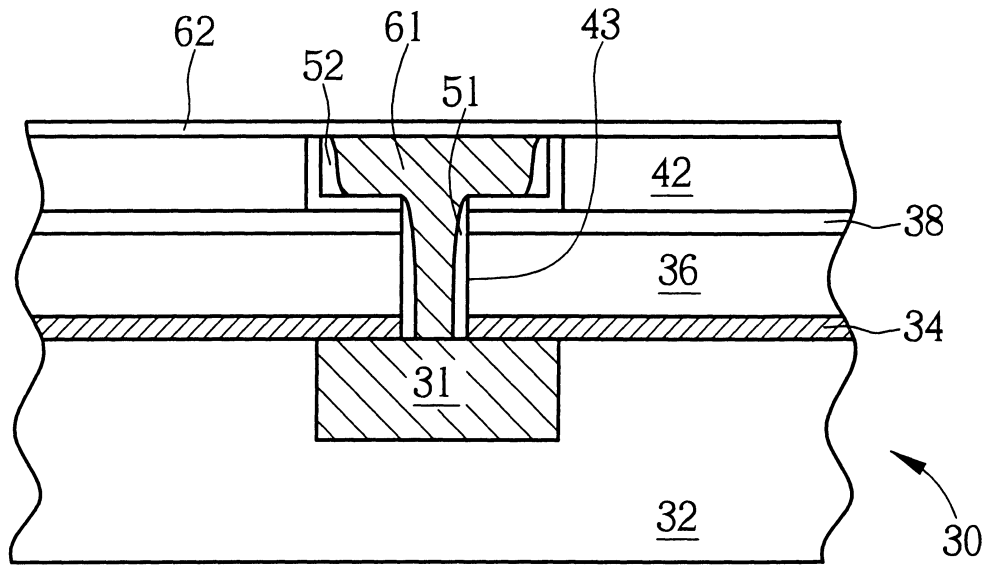
圖四



圖五



圖六



圖七