

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5022792号
(P5022792)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int.Cl.		F I	
H03F	3/24	(2006.01)	H03F 3/24
H03F	1/02	(2006.01)	H03F 1/02
H04B	1/04	(2006.01)	H04B 1/04 J
H02M	3/155	(2006.01)	H02M 3/155 W

請求項の数 11 (全 20 頁)

(21) 出願番号	特願2007-174015 (P2007-174015)	(73) 特許権者	000001122 株式会社日立国際電気 東京都千代田区外神田四丁目14番1号
(22) 出願日	平成19年7月2日(2007.7.2)	(74) 代理人	110000350 ポレール特許業務法人
(65) 公開番号	特開2009-16999 (P2009-16999A)	(72) 発明者	川本 高司 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
(43) 公開日	平成21年1月22日(2009.1.22)	(72) 発明者	大島 俊 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
審査請求日	平成22年5月18日(2010.5.18)	(72) 発明者	山脇 大造 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 DCDCコンバータユニット、電力増幅器、及び基地局装置

(57) 【特許請求の範囲】

【請求項1】

入力信号を複数の信号成分に分割する信号分割部と、
周波数帯域に対して異なる特性を有する複数のDCDCコンバータエレメントと、
該複数のDCDCコンバータエレメントの各出力を加算して出力信号を生成する加算器
と

を備え、

前記信号分割部は、前記入力信号を振幅方向成分で前記複数の信号成分に分割する機能を有し、

前記複数のDCDCコンバータエレメントは、周波数帯域に対するDCDC変換効率が異なり、

前記複数の信号成分は、それぞれ当該信号成分の周波数に対応して前記変換効率が高い特性を有する前記いずれかのDCDCコンバータエレメントに入力されるように構成されている

ことを特徴とするDCDCコンバータユニット。

【請求項2】

請求項1において、

前記信号分割部は、前記入力信号を前記振幅方向成分と位相方向の成分で前記複数の信号成分に分割する機能を有する

ことを特徴とするDCDCコンバータユニット。

【請求項 3】

請求項 1 において、
前記信号分割部は、前記入力信号を周波数成分で分割しさらに前記振幅方向成分で分割する機能を有することを特徴とする D C D C コンバータユニット。

【請求項 4】

請求項 1 において、
前記信号分割部は、前記入力信号を周波数成分で分割しさらに前記振幅方向成分と位相方向の成分に分割する機能を有することを特徴とする D C D C コンバータユニット。

10

【請求項 5】

請求項 1 において、
前記信号分割部は、閾値を発生する N 個 (N は自然数) の閾値生成部と、前記入力信号を前記 N 個の閾値生成部により発生する前記閾値と比較して比較信号を出力する N 個のコンパレータとを具備して成り、

該信号分割部は、前記入力信号を前記振幅方向成分で N 個の信号成分に分割する機能を有することを特徴とする D C D C コンバータユニット。

【請求項 6】

請求項 2 において、
前記信号分割部は、前記入力信号が入力される N 個のフリップフロップと、前記 N 個のフリップフロップが振幅情報を抽出するタイミングを生成するタイミング生成部と、生成された各タイミングで前記 N 個のフリップフロップが抽出した第 1 の振幅情報を、それぞれ次のタイミングで前記 N 個のフリップフロップが抽出した第 2 の振幅情報と共に入力し、かつ、前記第 1 の振幅情報と前記第 2 の振幅情報との差分信号を生成する N - 1 個の減算器とを具備して成り、

20

該信号分割部は、前記 N 個のフリップフロップに入力された前記入力信号について、前記タイミング生成部によって生成されたタイミングにおける振幅情報を抽出する機能と、最初のタイミングで抽出された前記振幅情報を出力する機能と、各々のタイミングで抽出された前記振幅情報を次のタイミングで抽出された前記振幅情報と共に前記減算器に入力して差分信号を生成する機能を備えて成る

30

ことを特徴とする D C D C コンバータユニット。

【請求項 7】

請求項 3 において、
前記信号分割部は、
前記入力信号の周波数成分のうち所定の周波数より低い周波数成分である低周波成分を抽出する機能を有する低域通過フィルタと、

前記入力信号の周波数成分のうち前記所定の周波数と同じか若しくはそれより高い周波数成分である高周波成分を抽出する機能を有する高域通過フィルタと、

閾値を発生させる N 個の閾値生成部と、
前記低周波成分および前記高周波成分を前記 N 個の閾値生成部により発生した閾値と比較し、その結果に対応する比較信号を出力する N 個のコンパレータとを具備して成り、

40

前記 N 個のコンパレータの各々は、前記入力信号を前記周波数成分で分割すると共に前記振幅方向成分で分割する機能を有する

ことを特徴とする D C D C コンバータユニット。

【請求項 8】

請求項 4 において、
前記信号分割部は、
前記入力信号の周波数成分のうち所定の周波数より低い周波数成分である低周波成分を

50

抽出する機能を有する低域通過フィルタと、

前記入力信号の周波数成分のうち前記所定の周波数と同じか若しくはそれより高い周波数成分である高周波成分を抽出する機能を有する高域通過フィルタと、

前記低域通過フィルタが出力した前記低周波成分および前記高域通過フィルタが出力した前記高周波成分が入力されるN個のフリップフロップと、

前記入力信号の振幅情報を抽出するタイミングを生成するタイミング生成部と、

生成された前記タイミングの各々で前記N個のフリップフロップが抽出した第1の振幅情報を、それぞれ次のタイミングで前記N個のフリップフロップが抽出した第2の振幅情報と共に入力し、かつ、前記第1の振幅情報と前記第2の振幅情報との差分信号を出力するN-1個の減算器と

を具備して成り、

前記入力信号を前記周波数成分で分割すると共に前記振幅方向成分と前記位相方向の成分とに分割する機能を有する

【請求項9】

入力信号の振幅情報を抽出する包絡線検波部と、

該入力信号の位相情報を抽出するリミッタと、

前記包絡線検波部の検波出力信号を処理するDCDCコンバータユニットと、

前記リミッタのリミッタ出力信号を入力として、該DCDCコンバータユニットの変換出力信号を電源として前記入力信号の電力を増幅する搬送波増幅器と
を有して成り、

前記DCDCコンバータユニットは、

前記検波出力信号を複数の信号成分に分割する信号分割部と、

周波数に対するDCDC変換効率が異なる特性を有する複数のDCDCコンバータエレメントと、

該複数のDCDCコンバータエレメントの各出力を加算して前記変換出力信号を生成する加算器と

を備え、

前記信号分割部は、前記検波出力信号を振幅方向成分で前記複数の信号成分に分割する機能を有し、

前記複数の信号成分は、それぞれ当該信号成分の周波数に対応して前記変換効率が高い特性を有する前記いずれかのDCDCコンバータエレメントに入力されるように構成されている

ことを特徴とする電力増幅器。

【請求項10】

請求項9において、

前記信号分割部は、前記検波出力信号を前記振幅方向と位相方向の成分で前記複数の信号成分に分割する機能を有する

ことを特徴とする電力増幅器。

【請求項11】

送信情報を処理するベースバンド部と、

当該ベースバンド部で処理した信号を変復調する変復調装置と、

当該変復調装置で処理された信号の電力を増幅してアンテナに出力する電力増幅器と
を備えて成り、

前記電力増幅器は、

入力信号の振幅情報を抽出する包絡線検波部と、

該入力信号の位相情報を抽出するリミッタと、

前記包絡線検波部の検波出力信号を処理するDCDCコンバータユニットと、

前記リミッタのリミッタ出力信号を入力として、該DCDCコンバータユニットの変換出力信号を電源として前記入力信号の電力を増幅する搬送波増幅器と

を有して成り、

10

20

30

40

50

前記 D C D C コンバータユニットは、
前記検波出力信号を複数の信号成分に分割する信号分割部と、
周波数に対する D C D C 変換効率が異なる特性を有する複数の D C D C コンバータエレ
メントと、

該複数の D C D C コンバータエレメントの各出力を加算して前記変換出力信号を生成す
る加算器と

を備え、

前記信号分割部は、前記検波出力信号を振幅方向成分で前記複数の信号成分に分割する
機能を有し、

前記複数の信号成分は、それぞれ当該信号成分の周波数に対応して前記変換効率が高い
特性を有する前記いずれかの D C D C コンバータエレメントに入力されるように構成され
ている

ことを特徴とする基地局装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D C D C コンバータユニット、電力増幅器、及び基地局装置に関し、特に、
広帯域の高周波信号で無線通信を行う基地局装置、並びにその基地局装置に使用するのに
適した D C D C コンバータユニット及び電力増幅器に関する。

【背景技術】

【0002】

無線通信を行う基地局に使用される電力増幅器は、コスト面から小型で高効率であるこ
とが求められている。一方、携帯電話などの無線通信では通信速度の高速化、広帯域化が
進んでおり、基地局向け電力増幅器は広帯域高効率であることが求められている。これ
を実現する手法の一つに E E R (Envelope Elimination and Restoration) 方式が、例え
ば特許文献 1 に開示されている。

【0003】

また、特許文献 2 には、E E R 方式を用いた広帯域 D / A コンバータ及びそれを用いた
広帯域電力増幅装置が開示されている。特許文献 2 において、広帯域 D / A コンバータは
、入力されたデジタル包絡線信号を周波数帯域ごとに分割し、n 系統の D / A コンバータ
が、デジタル包絡線信号をそれぞれ個別にアナログ信号に変換する。さらに、変換された
アナログ信号は、それぞれの系統のアップコンバータによって適切な周波数帯域へアップ
コンバートされ、さらに加算器によって加算されて元のデジタル包絡線信号に対応するア
ナログ包絡線信号として送出される。

【0004】

また、特許文献 3 には、広帯域で高効率な E E R 法の送信機を提供することを目的に、
変調信号のうちの振幅成分を高周波電力増幅器の電源端子に入力し、位相成分を高周波電
力増幅器の高周波入力端子に入力し、高周波電力増幅器の出力から元の変調信号を変調し
た変調波を得るようにした送信機が開示されている。送信機の電源電圧として、振幅成分
のレベルに応じて複数の D C - D C コンバータの何れか一組の出力を選択している。

【0005】

さらに、特許文献 4 には、D C / D C コンバータの並列運転装置として、並列に複数個
接続された並列運転可能な D C / D C コンバータと、出力端子から出力される総電流を検
出する電流検出回路と、総電流量に応じて動作させる D C / D C コンバータの個数を制御
する D C / D C コンバータオン/オフ制御回路とを設けたものが開示されている。

【0006】

また、非特許文献 1 には、S 級増幅器の構成例として、入力波形を三角波と比較して P
W M 信号を生成し、この P W M 信号を、各コレクタ - エミッタ間にダイオードが挿入され
た一对のトランジスタを有する増幅器で増幅し、さらにローパスフィルターを通して所望
の出力を得るようにしたものが開示されている。

10

20

30

40

50

【 0 0 0 7 】

【特許文献1】米国特許第6256482B1号明細書

【特許文献2】特開2006-211112号公報

【特許文献3】特開2005-277559号公報

【特許文献4】特開平11-127573号公報

【非特許文献1】ピーター・B・ケニングトン、「ハイ・リニアリティ・アールエフ・アンプリファイヤ・デザイン」、アーテックハウス、2000年、PP 124-126 (Peter B. Kenington, "HIGH-LINEARITY RF AMPLIFIER DESIGN", ARTECH HOUSE, 2000, PP 124-126)

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 0 8 】

特許文献1に記載されたEER型増幅器の一例を図17に示す。高周波信号である入力信号は、包絡線検波部15によって振幅情報(AM信号)を抽出される。一方、入力信号はリミッタ16によって位相情報を抽出される。振幅情報はS級増幅器25で増幅され搬送波増幅器17の電源端子に供給される。また、位相情報は搬送波増幅器17の入力端子に供給される。入力信号の振幅情報はリミッタ16により一旦失われるが、搬送波増幅器17の電源端子に振幅情報が供給されるので、失われた振幅情報が搬送波増幅器17において回復される。図17に示したEER型増幅器26は入力電力によらず搬送波増幅器17が常に飽和動作するように設計されているため、高効率である。ただし、EER型増幅器26全体を高効率にするためには、搬送波増幅器17だけではなく、振幅情報を増幅するDCDCコンバータも高効率にする必要がある。特許文献1ではDCDCコンバータとしてS級増幅器25を用いている。

20

【 0 0 0 9 】

振幅情報は位相情報に比べて低周波であるが、WiMAX(Worldwide Interoperability for Microwave Access)のような広帯域システムでは使用周波数帯域が数十MHzに及び、また、最大伝送速度は75Mbpsにも達する。一方、振幅情報を増幅するS級増幅器は、動作周波数が高くなると電力効率が下がり、基地局向けEER増幅器として適用できる程度の効率を得られる動作周波数帯域は高々数100kHz程度から数MHz程度である。このためWiMAXのような高速、広帯域システムにS級増幅器をそのまま用いることができない。すなわち、入力信号の周波数が速くなると、S級増幅器のインバータを構成するPMOSトランジスタやNMOSトランジスタを周波数に追従させるためにMOSトランジスタのW/Lを大きくしなければならず、大きいサイズのMOSトランジスタが必要になる。しかし、W/Lを大きくするとインバータを流れる貫通電流のピーク電流値が大きくなりS級増幅器の効率を劣化させる。

30

【 0 0 1 0 】

また、W/Lを大きくするとMOSトランジスタのオン抵抗は小さくなるがゲート容量が大きくなり、ゲート容量により信号が劣化する周波数帯域の信号がコンパレータから出力される場合、S級増幅器の効率を劣化させる。つまり、インバータを構成するPMOSトランジスタやNMOSトランジスタのW/Lを十分に大きくしても入力信号の周波数がそれ以上に速くなるとインバータはコンパレータの出力信号を矩形波で駆動できなくなりS級増幅器の効率が劣化する。

40

【 0 0 1 1 】

一方、入力信号の周波数が低い場合にW/Lが大きいPMOSトランジスタやNMOSトランジスタをインバータに用いると、貫通電流が大きくなりむしろ効率が劣化する。

【 0 0 1 2 】

このように、S級増幅器をDCDCコンバータとして用いた場合、WiMAXなどの伝送速度が高速かつ使用周波数帯域の広い無線通信システムの振幅情報を増幅するには不十分である。すなわち、広帯域無線通信システムの場合、DCDCコンバータであるS級増幅器の効率が低い速い周波数帯域での動作も必要だからである。

【 0 0 1 3 】

50

次に、特許文献 2 に開示された広帯域 D / A コンバータは、帯域分割部で周波数帯域ごとに分割されたデジタル包絡線信号をそれぞれ個別にアナログ信号に変換し、このアナログ信号にそれぞれ個別に正弦波を乗算してアップコンバージョンする周波数変換部とを備え、広帯域な包絡線信号について D / A 変換を行なう。しかし、IF 周波数帯へのアップコンバージョン過程において、アナログ信号に正弦波を乗算することは、不飽和動作領域での動作、換言すると電流成分と電圧成分のオーバーラップが避けられず、大きな電力損出を生ずる。そのため、この D / A コンバータを用いた電力増幅装置では、高効率を確保することが困難である。また、帯域分割部では、例えば 5 0 0 0 H z 以上の周波数の信号を含まないように周波数遷移することで、各分割出力信号が同じ低周波数帯域、例えば 5 0 0 0 H z の動作速度になるように処理される。しかし、このような処理方式で、W i M A X などの高速でかつ使用周波数帯域の広い無線通信システムの振幅情報を効率良く増幅することは困難である。

10

【 0 0 1 4 】

また、特許文献 3 や特許文献 4 の装置は、並列接続された複数の D C - D C コンバータを有するが、入力信号をそのままいずれかの D C - D C コンバータで処理する方式なので、高速でかつ周波数帯域の広い信号の増幅器としては効率が悪い。

【 0 0 1 5 】

本発明の主たる解決課題は、高速広帯域の入力信号に対して高効率の D C D C コンバータユニット及びそれを用いた無線通信システムに適用可能な電力増幅器、さらにはそれを用いた基地局装置を提供することにある。

20

【 0 0 1 6 】

また、本発明の他の解決課題は、端末やその他に適用し得る、広帯域かつ高効率の D C D C コンバータユニット及びそれを用いた増幅器を提供することにある。

【課題を解決するための手段】

【 0 0 1 7 】

本発明の代表的なものの一例を示せば以下の通りである。即ち、本発明の D C D C コンバータユニットは、入力信号を複数の信号成分に分割する信号分割部と、周波数帯域に対して異なる特性を有する複数の D C D C コンバータエレメントと、該複数の D C D C コンバータエレメントの各出力を加算して出力信号を生成する加算器とを備え、前記信号分割部は、前記入力信号を振幅方向成分で前記複数の信号成分に分割する機能を有し、前記複数の D C D C コンバータエレメントは、周波数帯域に対する D C D C 変換効率が異なり、前記複数の信号成分は、それぞれ当該信号成分の周波数に対応して前記 D C D C 変換効率が高い特性を有する前記いずれかの D C D C コンバータエレメントに入力されるように構成されていることを特徴とする。

30

【発明の効果】

【 0 0 1 8 】

本発明によれば、高速かつ広帯域の無線通信システムに適用可能な、高効率、広帯域の D C D C コンバータユニット及び電力増幅器を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 9 】

本発明は、通信速度の高速化、広帯域化の要請の下にあって、入力信号の周波数が遅いほうが D C D C コンバータの効率がよく、かつ、入力信号の帯域によってそれぞれ D C D C コンバータの効率を最適にする設計パラメータがあるという思想を利用している。

40

【 0 0 2 0 】

本発明の代表的な実施例によれば、D C D C コンバータユニットは、入力信号を N 個の信号に分割する信号分割部と、当該信号分割部によって分割された N 個の信号をそれぞれ個別に処理する N 個の D C D C コンバータエレメントと、当該 N 個の各 D C D C コンバータエレメントの出力を加算して出力信号を生成する加算器とを備えている。複数の D C D C コンバータエレメントはそれぞれ、入力信号の使用周波数帯域よりも動作帯域が狭く、かつ、使用周波数帯域のいずれかの帯域に対して各 D C D C コンバータエレメントの効率

50

が最適になるように設計パラメータが選定される。すなわち、各DCDCコンバータエレメントの構成要素、例えば、三角波生成部により生成された三角波と入力された信号成分とをコンパレータが比較し、その結果、コンパレータから出力される矩形波を反転増幅して出力するインバータを構成するPMOSトランジスタやNMOSトランジスタのパラメータ、およびインバータの出力波形から使用周波数帯域の範囲内の所定の周波数帯域を通過する出力波形を抽出して出力するフィルタのパラメータのうち、少なくともいずれか一方は、入力信号のいずれかの周波数帯域に対して効率が最適になるように設定され、かつ、DCDCコンバータユニット全体として、全使用周波数帯域をカバーするように構成されている。具体的には、インバータ及びフィルタは、所定の周波数帯域における各DCDCコンバータエレメントの効率が、使用周波数帯域の範囲内の他の周波数帯域における効率よりも大きくなるようにパラメータが設定されて構成されている。入力信号は、周波数帯域により分割され、分割出力を夫々対応する周波数 - 高変換効率の特性を持つDCDCコンバータエレメントに入力する。

10

【0021】

そのため、各DCDCコンバータエレメントの効率を高めることで、DCDCコンバータユニット全体としての効率を高めることが出来、従来のように広帯域の入力信号を1個のDCDCコンバータで処理するよりも、効率の良いDCDCコンバータユニットを実現できる。

以下、本発明の好適な実施形態について、添付図面を参照しながら詳細に説明する。

20

【実施例1】**【0022】**

本発明によるDCDCコンバータユニットの第一の実施形態を図1～図5で説明する。図1に、本実施例に係るDCDCコンバータユニットのブロック図、図2に、図1におけるDCDCコンバータエレメントの回路図を示す。

【0023】

DCDCコンバータユニット1は、入力信号をN個の信号成分(S_d)に分割する信号分割部2と、周波数帯域に対して異なる特性を有し当該信号分割部2によって分割されたN個の各信号を処理するN個のDCDCコンバータエレメント3₁～3_Nと、これらN個のDCDCコンバータエレメントの出力(S_c)を加算する加算器4から構成されている。

30

【0024】

各DCDCコンバータエレメント3₁～3_Nには、例えば図2に示すS級増幅器が用いられる。複数のDCDCコンバータエレメントはそれぞれ特定の周波数帯域において高効率の特性を有しており、かつ、DCDCコンバータユニット全体としては、全使用周波数帯域をカバーするように構成されている。各DCDCコンバータエレメントは、入力信号の使用周波数帯域よりも動作帯域が狭く、かつ使用周波数帯域のいずれかの帯域に対して各DCDCコンバータエレメントの効率が最適になるように設計パラメータが選定されている。

【0025】

図2において、各DCDCコンバータエレメント3₁～3_Nを構成するS級増幅器は、入力された信号成分(S_d)の周波数のある一定倍の周波数成分を持った低周波数帯域の信号を生成する三角波生成部5と、入力された信号成分と三角波とを比較して矩形波を出力するコンパレータ6と、インバータを構成するPMOSトランジスタ7及びNMOSトランジスタ8と、DCDCコンバータエレメント毎に設定された特定の通過帯域を有するフィルタを構成するコイル9と容量10を備えている。各DCDCコンバータエレメントからは、フィルタの通過帯域の入力信号成分を増幅した信号(S_c)が出力される。

40

【0026】

各DCDCコンバータエレメントは、インバータを構成するMOSトランジスタが飽和動作せず完全にON、OFF動作を行うため、入力信号を高効率に増幅できる。

【0027】

50

先にも述べた通り、インバータを構成するPMOSトランジスタ7、NMOSトランジスタ8は三角波の周波数に十分追従しなければならないためMOSトランジスタのW/Lを大きくする必要はある。一方、W/Lを大きくするとインバータを流れる貫通電流のピーク電流値が大きくなりDCDCコンバータエレメントの効率を劣化させ、また、ゲート容量が大きくなることでDCDCコンバータエレメントの効率を劣化させるので、これらの点についての配慮も必要である。一方、入力信号の周波数が低い場合には、W/Lを小さくしてインバータの貫通電流を少なくして効率の劣化を防止する。

【0028】

このように、DCDCコンバータエレメントは、入力信号の周波数が速くなると効率が劣化するが、入力信号の周波数帯域に応じて効率を最適にするパラメータ、例えば、PMOSトランジスタ7、NMOSトランジスタ8のサイズが存在する。

10

【0029】

そのため、本実施例では、広帯域の入力信号が複数の周波数帯域の信号成分に分割され、各周波数帯域の信号成分が入力されるDCDCコンバータエレメントは、その構成部材、例えばインバータを構成するPMOSトランジスタやNMOSトランジスタのパラメータが、入力される信号成分の周波数帯域に対して効率が最適になるように設計されている。

【0030】

図1に戻って、各DCDCコンバータエレメント31～3Nの出力信号(S_c)は加算器4によって加算されることによって、入力信号を増幅した広帯域の信号が出力信号として生成される。

20

【0031】

図3に、図1に示す信号分割部2の第一の構成例を示す。信号分割部2は、低域通過フィルタ11と高域通過フィルタ12から構成されており、入力信号を低域通過フィルタ11と高域通過フィルタ12に入力してそれぞれのフィルタの出力信号(S_{d1}, S_{d2})を信号分割部2の出力信号としている。

【0032】

次に、図3に示す信号分割部2を図1に示す本発明のDCDCコンバータユニットに適用した場合の動作を説明する。

【0033】

先にも述べた通り、EER型増幅器の全体を高効率にするためには、搬送波増幅器だけではなく、振幅情報を増幅するDCDCコンバータユニットも高効率にする必要がある。振幅情報は位相情報に比べて低周波であるが、WiMAX(Worldwide Interoperability for Microwave Access)のような広帯域の無線通信システムでは、使用周波数帯域の上限が数十MHzに及ぶ。一方、DCDCコンバータユニットは、図4Aに示すように、動作周波数(同間隔表示)が高くなると電力効率が急激に低下するという特性を持っている。

30

【0034】

本発明では、入力信号を周波数成分に対して分割し、分割した各信号の周波数に対応したS級増幅器をDCDCコンバータエレメントとし、これらのDCDCコンバータエレメントの集合体としてDCDCコンバータユニットを構成している。これにより、動作周波数の広帯域化に伴う電力効率の低下を抑制している。

40

【0035】

図4Bに、図3に示す信号分割部2によって入力信号が帯域分割される模式図を示す。ある帯域を持った入力信号は、信号分割部2に入力されて低域通過フィルタ11と高域通過フィルタ12によって周波数F_a未満の低帯域成分(S_{d1})と、周波数F_a以上F_b以下の高帯域成分(S_{d2})に分割される。分割された各信号はそれぞれDCDCコンバータエレメント31～32に入力される。すなわち、DCDCコンバータエレメント31には低域通過フィルタ11の出力信号(S_{d1})が入力され、DCDCコンバータエレメント32には高域通過フィルタ12の出力信号(S_{d2})が入力される。

【0036】

その結果、DCDCコンバータエレメント31は動作速度が遅く、DCDCコンバータ

50

エレメント 3 2 は動作速度が速くなる。このため、各動作速度に対して効率が最適になるように各 D C D C コンバータエレメントのパラメータを予め設計しておく。

【 0 0 3 7 】

具体的には、低帯域成分 (S d 1) が入力される D C D C コンバータエレメント 3 1 の場合は、入力信号の周波数帯域が低周波数帯域であるので、図 2 に示す D C D C コンバータエレメントにおいて三角波生成部 5 から出力される三角波は入力信号の周波数のある一定倍の周波数成分を持った信号になるため低周波数帯域の信号となる。三角波の周波数成分と入力信号の周波数成分の関係は、無線仕様によって異なるが概ね 5 0 倍前後の値になる。コンパレータ 6 によって当該三角波と当該入力信号は比較されて矩形波を出力する。インバータは当該矩形波を矩形波として処理できることが求められる。

10

【 0 0 3 8 】

D C D C コンバータエレメント 3 1 では、入力信号 (S d 1) の周波数帯域、換言すると当該矩形波の周波数帯域が低い領域にある。そのため、D C D C コンバータエレメント 3 1 のインバータを構成する PMOS トランジスタ 7 と NMOS トランジスタ 8 のトランジスタサイズは、当該矩形波を矩形波として処理できる W/L でかつ最小の W/L に設計できるため、W/L は小さくなる。コイル 9 と容量 1 0 で構成される低域通過フィルタは、入力信号成分を通過させ、かつ、三角波周波数成分を遮断する帯域に設計される。これによって、D C D C コンバータエレメント 3 1 は、帯域が低い入力信号を処理するにあたり、効率が最適になるように設計し得ることになる。

【 0 0 3 9 】

20

一方、高帯域成分 (S d 2) が入力される D C D C コンバータエレメント 3 2 の場合は、入力信号 (S d 2) の周波数帯域が、高周波帯域である。そのため、図 2 に示す D C D C コンバータエレメントにおいて三角波生成部から出力される三角波は、入力信号の周波数のある一定倍の周波数成分を持った信号になるため高周波数帯域の信号となる。三角波の周波数成分と入力信号の周波数成分の関係は、D C D C コンバータエレメント 3 2 でも変わらず、無線仕様によって異なるが概ね 5 0 倍前後の値になる。コンパレータ 6 によって当該三角波と当該入力信号は比較されて矩形波を出力する。インバータは当該矩形波を矩形波として処理できることが求められる。D C D C コンバータエレメント 3 2 では、当該矩形波の周波数帯域が高いため、インバータを構成する PMOS トランジスタ 7 と NMOS トランジスタ 8 のトランジスタサイズは、当該矩形波を矩形波として処理できる W/L でかつ

30

【 0 0 4 0 】

D C D C コンバータエレメント 3 1 と D C D C コンバータエレメント 3 2 の出力信号 (S c 1 , S c 2) は、加算器 4 によって加算されることによって、入力信号を増幅した信号が出力信号として生成される。

【 0 0 4 1 】

これによって、入力信号の高帯域成分 (S d 2) を処理する D C D C コンバータエレメント 3 2 の効率は従来と変わらないものの、入力信号の低帯域成分 (S d 1) を処理する D C D C コンバータエレメント 3 1 の効率は高くなり、D C D C コンバータユニット 1 の全体としては効率が向上する。

40

【 0 0 4 2 】

図 5 に、あるトランジスタを用いたときの入力信号の周波数に対する D C D C コンバータユニットの効率の関係を、模式的に示す (横軸は指数目盛り)。仮に、D C D C コンバータエレメント 3 1 の効率を 9 0 %、D C D C コンバータエレメント 3 2 の効率を 4 5 %、D C D C コンバータエレメント 3 1 に入力する信号成分 (S d 1) の電力密度を 5 0 %、D C D C コンバータエレメント 3 2 に入力する信号成分 (S d 2) の電力密度を 5 0 %、加算器の効率を 9 5 % とすると、本実施例の D C D C コンバータユニット 1 の全体的な効率は、次式 (1) の通りになる。

50

【0043】

電力効率 = (D C D C コンバータエレメント 3 1 効率 * D C D C コンバータエレメント 3 1 に入力する信号成分の電力密度 + D C D C コンバータエレメント 3 2 効率 * D C D C コンバータエレメント 3 2 に入力する信号成分の電力密度) * 加算器の効率 = (9 0 % * 5 0 % + 5 0 % * 5 0 %) * 9 5 % = 6 6 . 5 %

(1)

すなわち、本実施例の D C D C コンバータユニット 1 の効率は、66.5%となる。

【0044】

一方、入力信号を周波数分割しない従来方式の場合、1個の D C D C コンバータユニットが入力信号の全ての使用周波数帯域成分を処理できるものでなければならない。そのため、D C D C コンバータエレメント 3 2 に相当する D C D C コンバータユニットを用いることになる。D C D C コンバータエレメント 3 2 の効率は 5 0 % であるため、従来方式の D C D C コンバータユニットの効率は、50%となる。よって、本発明によって、D C D C コンバータユニットの効率を 1 6 . 5 % 改善できることになる。

10

【0045】

なお、信号分割部 2 は同等の動作を実現するものであれば、図 3 に示す構成でなくともよい。また、D C D C コンバータエレメントに、S 級増幅器以外の構成を採用して用いても良いことは、言うまでもない。また、D C D C コンバータエレメント 3 2 を、従来の全ての使用周波数帯域成分を処理する D C D C コンバータエレメントと同じ特性にする必要は無く、高帯域成分 (S d 2) に対して変換効率が高いパラメータを設定しても良い。

20

【0046】

さらに、信号分割部が、低域通過フィルタと高域通過フィルタの他に、所定数のバンドパスフィルタを備え、広帯域の周波数を 3 つ以上の周波数帯域に分割するようにしても良い。この場合も、各帯域のフィルタに対応する D C D C コンバータユニットの構成要素を、例えばインバータを構成する PMOS トランジスタや NMOS トランジスタのパラメータがそれぞれの周波数帯域において効率が最適になるように設計することで、各 D C D C コンバータエレメントの効率を高め、ひいては D C D C コンバータユニットの効率を高めることが出来る。

【0047】

本実施例によれば、高速広帯域の無線方式において、高効率な D C D C コンバータユニットを提供することができる。

30

【実施例 2】

【0048】

次に、本発明の第 2 の実施形態を図 6 ~ 図 8 で説明する。この実施例は、図 1 に示した D C D C コンバータユニットにおける信号分割部 2 の他の構成例を示すものである。まず、信号分割部 2 の構成を図 6 に示す。この実施例の信号分割部 2 は、N 個のコンパレータエレメント 1 3 1 ~ 1 3 N と、N 個の閾値生成部 1 4 1 ~ 1 4 N から構成されており、入力信号を N 個のコンパレータエレメント 1 3 1 ~ 1 3 N がそれぞれの閾値で比較した信号成分 (S d 1) ~ (S d N) を出力する。これによって、入力信号を振幅方向に N 分割する。

40

【0049】

図 7 に、第 2 の実施形態の信号分割部 2 が 3 個のコンパレータエレメントによって構成されている場合の動作例を示す。(A) に示すように、入力信号は、3 つの閾値 (V 1 、 V 2 、 V 3) によって振幅方向に分割される。3 個のコンパレータエレメントは、それぞれ各閾値 (V 1 、 V 2 、 V 3) によって入力信号と比較して (B) に示すような矩形波を出力する。このとき、閾値 V 1 は入力信号より低いレベルであるため信号成分 (S d 1) は D C 成分が出力される。一方、信号成分 (S d 2 , S d 3) は D C 成分ではなく、ある程度の周波数で遷移する信号となる。

【0050】

これらの信号成分 (S d 1 , S d 2 , S d 3) を各 D C D C コンバータエレメント 3 1

50

～ 33 に入力して、出力信号 (S c 1 , S c 2 , S c 3) を加算器 4 にて加算して出力信号とする。出力信号は、入力信号を増幅した信号となる。

【 0 0 5 1 】

ここで、信号成分 (S d 1) が DC 成分であるために、信号成分 (S d 1) を入力する DC DC コンバータエレメント 31 は効率がほぼ 100% となる。信号成分 (S d 2 , S d 3) を入力する DC DC コンバータエレメント 32、33 は、効率は良くないが、DC DC コンバータエレメント 31 の効率が極めて良いため、第 2 の実施形態の DC DC コンバータユニット 1 は、全体として、1 個の DC DC コンバータエレメントで構成される従来よりも効率が改善される。

【 0 0 5 2 】

すなわち、図 8 において、仮に、DC DC コンバータエレメント 31 の効率が 100%、DC DC コンバータエレメント 32 の効率が 60%、DC DC コンバータエレメント 33 の効率が 20%、各入力信号成分の電力密度を 1/3、加算器の効率を 95% とすると、本実施例の DC DC コンバータユニット 1 の全体的な効率は、次式 (2) の通りになる。

【 0 0 5 3 】

$$\text{電力効率} = (100\% * 1/3 + 60\% * 1/3 + 20\% * 1/3) * 95\% = 57\% \quad (2)$$

DC DC コンバータエレメント 33 の効率は 20% であるため、従来方式の DC DC コンバータユニットの効率は 20% となる。よって、本発明によって、DC DC コンバータ

【 0 0 5 4 】

なお、信号分割部 2 は同等の動作を実現するものであれば、図 6 に示す構成でなくともよい。

【 0 0 5 5 】

本実施例によれば、高速広帯域な無線方式において、高効率な DC DC コンバータユニットを提供することができる。

【 実施例 3 】

【 0 0 5 6 】

次に、本発明の第 3 の実施形態を図 9 ~ 図 11 で説明する。この実施例は、図 1 に示した DC DC コンバータユニットにおける信号分割部 2 の他の構成例である。図 9 において、信号分割部 2 は、タイミング生成部 28 とセット付きフリップフロップ 30 と N - 1 個のセットリセット付きフリップフロップ 27 と N - 1 個の減算器 29 から構成されており、入力信号を N 個の信号成分 (S d 1 ~ S d N) に位相分割する。

【 0 0 5 7 】

図 10 に、図 9 に示す実施形態により 4 個の信号成分に分割する信号分割部 2 の動作例を示す。入力信号は、まずセット付きフリップフロップ 30 によって、C1 のタイミングでの振幅情報が抽出される。セット付きフリップフロップ 30 が抽出した振幅情報 (S d 1) は、次の C1 の立ち上がりエッジのタイミングまで保持される。

【 0 0 5 8 】

次に、セットリセット付きフリップフロップ 27 によって C2 のタイミングでの入力信号の振幅情報 (S d 2) が抽出され、これが次の C1 の立ち上がりエッジのタイミングまで保持される。これらの振幅情報 (S d 1、S d 2) は減算器 29 により減算され、差信号 (S d 2) - (S d 1) として出力される。同じように、C3、C4 のタイミングで入力信号の振幅情報 (S d 3、S d 4) を抽出して差信号 (S d 3) - (S d 2)、(S d 4) - (S d 3) を生成し、出力する。

【 0 0 5 9 】

図 9 に示す信号分割部 2 によって出力されたこれらの信号成分 (S d 1)、(S d 2) - (S d 1)、(S d 3) - (S d 2)、(S d 4) - (S d 3) は、それぞれ対応する第 1 ~ 第 4 の DC DC コンバータエレメントに入力された後、加算器によって加算され出

10

20

30

40

50

力信号として出力される。

【0060】

図10から明らかな通り、信号成分(Sd1)、(Sd3) - (Sd2)の周波数を遅くすることができる。また、信号成分(Sd2) - (Sd1)、(Sd4) - (Sd3)は速い周波数成分も残るが、振幅方向の遷移が小さくなるので、DCDCコンバータエレメントへの負荷が軽くなり、効率を改善できる。

【0061】

すなわち、図11において、仮に、第1、第3のDCDCコンバータエレメントの効率を60%、第2、第4のDCDCコンバータエレメントの効率を20%、各入力信号成分の電力密度を1/4、加算器の効率を95%とすると、本実施例のDCDCコンバータユニット1の全体的な効率は、次式(3)の通りになる。

【0062】

電力効率 = $(60\% * 1/4 + 60\% * 1/4 + 20\% * 1/4 + 20\% * 1/4) * 95\% = 41\%$ (3)

第2、第4のDCDCコンバータエレメントの効率は20%であるため、従来方式のDCDCコンバータユニットの効率は20%となる。よって、本発明によって、DCDCコンバータユニットの効率を21%改善できることになる。

【0063】

なお、信号分割部2は同等の動作を実現するものであれば図9に示す構成でなくてもよい。また、フィルタは広帯域の周波数を3つ以上の周波数帯域に分割するように構成しても良い。

【0064】

本実施例によれば、高速広帯域の無線方式において、高効率なDCDCコンバータユニットを提供することができる。

【実施例4】

【0065】

次に、本発明の4の実施形態を図12～図13で説明する。この実施例は、図1に示したDCDCコンバータユニットにおける信号分割部2の他の構成例を示すものである。この例の信号分割部2は、図3に示した周波数分割部と図6に示した振幅分割部の組み合わせである。

【0066】

図12に示す信号分割部2は、低域通過フィルタ11と高域通過フィルタ12とコンパレータ131～13Nと閾値生成部141～14Nで構成されている。

【0067】

図12及び図13に示すように、低域通過フィルタ11と高域通過フィルタ12によって入力信号を周波数分割した後に、低周波数成分は、コンパレータ131～13Mによって振幅分割を行い、高周波数成分は、コンパレータ13M+1～13Nによって振幅分割を行う。生成された信号成分(Sd1～SdM)、(SdM+1～SdN)はそれぞれ、特定領域の周波数に対して効率が良いようにパラメータが設計された、対応のDCDCコンバータエレメントに入力され、増幅された後、それらの出力が加算器4にて加算され、DCDCコンバータユニットの出力信号として出力される。

【0068】

なお、信号分割部2は同等の動作を実現するものであれば図12に示す構成でなくてもよい。また、フィルタは広帯域の周波数を3つ以上の周波数帯域に分割するように構成しても良い。

【0069】

本実施例によれば、高速広帯域の無線方式において、高効率なDCDCコンバータユニットを提供することができる。

【実施例5】

【0070】

10

20

30

40

50

次に、図 1 4 に、図 1 に示す信号分割部 2 の第五の構成例を示す。この実施例の信号分割部 2 は、図 3 に示した周波数分割部と図 9 に示した振幅位相分割部の組み合わせである。信号分割部 2 は、低域通過フィルタ 1 1 と高域通過フィルタ 1 2 とタイミング生成部 2 8 とセット付きフリップフロップ 3 0 と N - 1 個のセットリセット付きフリップフロップ 2 7 と N - 1 個の減算器 2 9 から構成されており、低域通過フィルタ 1 1 と高域通過フィルタ 1 2 によって入力信号を周波数分割した後に、低周波数成分は、セット付きフリップフロップ 3 0 と M 個のセットリセット付きフリップフロップ 2 7 と M 個の減算器によって振幅位相分割され、また、高周波数成分は、セット付きフリップフロップ 3 0 と M 個のセットリセット付きフリップフロップ 2 7 と M 個の減算器によって振幅位相分割される。出力された信号成分はそれぞれ、特定領域の周波数に対して効率が良いように構成された、

10

【 0 0 7 1 】

なお、信号分割部 2 は同等の動作を実現するものであれば図 1 4 に示す構成でなくともよい。また、フィルタは広帯域の周波数を 3 つ以上の周波数帯域に分割するように構成しても良い。

【 0 0 7 2 】

本実施例によれば、高速広帯域な無線方式において、高効率な D C D C コンバータユニットを提供することができる。

【実施例 6】

20

【 0 0 7 3 】

次に、本発明に係る第六の実施形態になる E E R 型増幅器のについて、図 1 5 を用いて説明する。

図 1 5 に示す E E R 型増幅器は、実施例 1 に記載した D C D C コンバータユニット 1 を用いた E E R 型増幅器である。E E R 型増幅器 1 8 は、包絡線検波部 1 5 とリミッタ 1 6 と D C D C コンバータユニット 1 と搬送波増幅器 1 7 から構成されている。D C D C コンバータユニット 1 は、上記各実施例で述べた D C D C コンバータエレメントで構成されている。

【 0 0 7 4 】

次に、この E E R 型増幅器の動作を説明する。

30

高周波信号である入力信号は、包絡線検波部 1 5 によって振幅情報 (A M) を抽出される。一方、入力信号はリミッタ 1 6 によって位相情報 (P M) を抽出される。振幅情報は D C D C コンバータユニット 1 で増幅され搬送波増幅器 1 7 の電源端子に供給される。また、位相情報は搬送波増幅器 1 7 の入力端子に供給される。

【 0 0 7 5 】

入力信号の振幅情報はリミッタ 1 6 により一旦失われるが、搬送波増幅器 1 7 の電源端子に振幅情報が供給されるので、失われた振幅情報が搬送波増幅器 1 7 において回復される。E E R 型増幅器 1 8 は入力電力によらず搬送波増幅器 1 7 が常に飽和動作するように設計されており、また、振幅情報を増幅する D C D C コンバータユニット 1 も高効率であるため、全体として高効率である。

40

【 0 0 7 6 】

すなわち、W i M A X のような通信システムで使用される周波数は数十 MHz に及ぶ広帯域の信号が入力されても、振幅情報を増幅する D C D C コンバータユニット 1 は、入力信号の周波数帯域を複数に分割し、それぞれ各周波数帯域で効率の良い D C D C コンバータエレメントに入力する。従って、動作周波数が高くなっても電力効率の低下を抑制できる。これにより、数 1 0 0 kHz 程度から 1 0 0 MHz 程度の広帯域の動作周波数帯域で基地局向けに適用できる程度の高い変換効率の E E R 増幅器を得ることができる。

【 0 0 7 7 】

このように、本実施例の E E R 型増幅器では、前記各実施例に記載した D C D C コンバータユニット 1 を用いるため、従来の S 級増幅器が対応できないような W i M A X のよう

50

な広帯域な振幅変調信号が入力した場合でも、高効率な動作を実現することができる。

【0078】

なお、AM - PM歪やAM - AM歪等を補正するために、搬送波増幅器17の出力信号と入力信号を比較するフィードバックを行ってもよい。さらには、プリディストーションを行ってもよい。

【0079】

本実施例によれば、高速広帯域な無線方式において、高効率な電力増幅器を提供することができる。

【実施例7】

【0080】

次に、本発明に係る基地局装置の実施形態について、図16を用いて説明する。図16に示す基地局装置は、実施例2に記載したEER型増幅器を用いた基地局装置である。基地局装置21は、ベースバンド部19と変復調装置20とEER型増幅器18から構成されている。

【0081】

送信情報はベースバンド部19にて処理をされた後、変復調装置20にて変調され、EER型増幅器18によって増幅されアンテナ23に送信される。EER型増幅器18は上記いずれかの実施例のDCDCコンバータユニット1を用いたEER増幅器であるため、従来のEER型増幅器では対応できないような、WiMAXのような広帯域な無線方式にも高効率な動作を実現することができる。

【0082】

なお、EER型増幅器18の出力信号を例えばベースバンド部19に入力して歪等を補正するプリディストーションを行っても良い。

【0083】

本実施例によれば、高速広帯域の無線方式において、高効率な基地局装置を提供することができる。

【0084】

なお、本実施例の広帯域高効率のDCDCコンバータユニット及びそれを用いた増幅器は、基地局に限らず、携帯端末や自動車に搭載された端末、デジタル家電機器内の端末、その他の広帯域でかつ高速の信号を取り扱う無線通信システムに広く適用できることは言うまでもない。

【図面の簡単な説明】

【0085】

【図1】本発明の第一の実施例になるDCDCコンバータユニットのブロック図。

【図2】図1におけるDCDCコンバータエレメントの回路図。

【図3】図1に示す信号分割部の構成例を示す図。

【図4A】DCDCコンバータの動作周波数と電力変換効率の関係を示す図。

【図4B】図3に示す信号分割部の動作を説明するための入力信号スペクトラムの模式図。

【図5】実施例1に記載したDCDCコンバータユニットの効率を説明するためのDCDCコンバータの入力信号周波数と効率の関係を示す図。

【図6】本発明の第二の実施例になる信号分割部の構成例を示す図。

【図7】図6に示す信号分割部の動作を説明するための入力信号波形と出力信号波形の関係を示す図。

【図8】本発明の第二の実施例になるDCDCコンバータユニットの効率を説明するためのDCDCコンバータの入力信号周波数と効率の関係を示す図。

【図9】本発明の第三の実施例になる信号分割部の構成例を示す図。

【図10】図9に示す信号分割部の動作を説明するための信号波形を示す図。

【図11】本発明の第三の実施例になるDCDCコンバータユニットの効率を説明するためのDCDCコンバータの入力信号周波数と効率の関係を示す図。

10

20

30

40

50

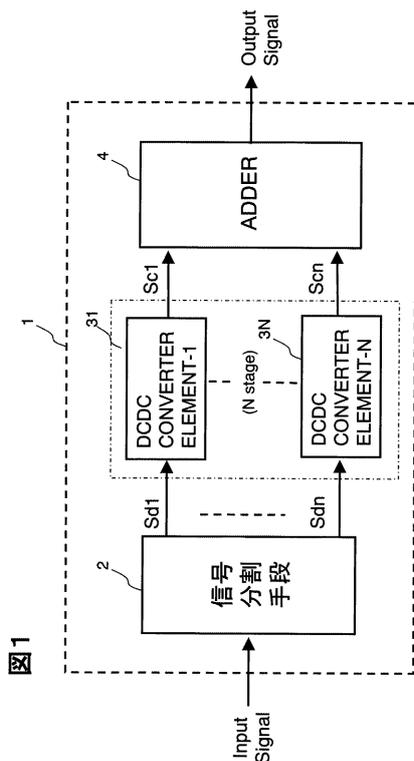
- 【図12】本発明の第四の実施例になる信号分割部の構成例を示す図。
- 【図13】図12に示す信号分割部の動作を説明するための模式図。
- 【図14】本発明の第五の実施例になる信号分割部の構成例を示す図。
- 【図15】本発明の第六の実施例になるEER型増幅器のブロック図。
- 【図16】本発明の第七の実施例になる基地局装置のブロック図。
- 【図17】従来のEER型増幅器のブロック図。

【符号の説明】

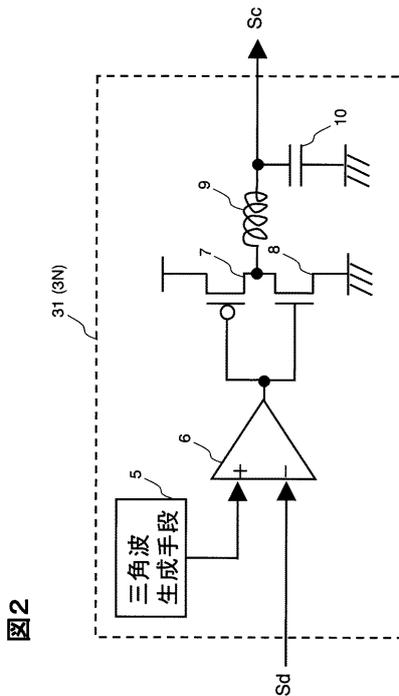
【0086】

1 ... DCDCコンバータユニット、2 ... 信号分割部、31、3N ... DCDCコンバータエレメント、4 ... 加算器、5 ... 三角波生成部、
 6、131、13M、13M+1、13N ... コンパレータ
 7 ... PMOSトランジスタ、8 ... NMOSトランジスタ、9 ... コイル、10 ... 容量、11 ... 低域通過フィルタ、12 ... 高域通過フィルタ、
 141、14M、14M+1、14N ... 閾値生成部
 15 ... 包絡線検波部、16 ... リミッタ、17 ... 搬送波増幅器、18 ... 広帯域EER方式電力増幅器、19 ... ベースバンド、20 ... 変復調装置、21 ... 基地局装置、23 ... アンテナ、24 ... タイミング生成部、25 ... S級増幅器、26 ... 従来EER方式電力増幅器、27 ... セットリセット付きフリップフロップ、28 ... タイミング生成部、29 ... 減算器、30 ... セット付きフリップフロップ。

【図1】



【図2】



【 図 3 】

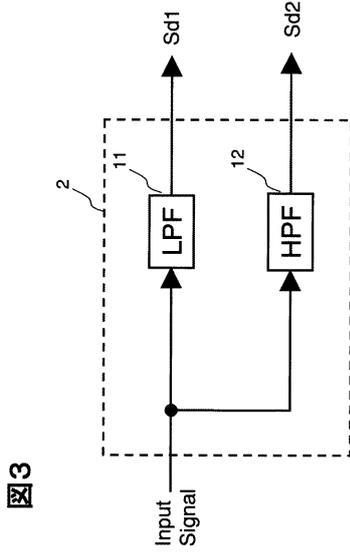
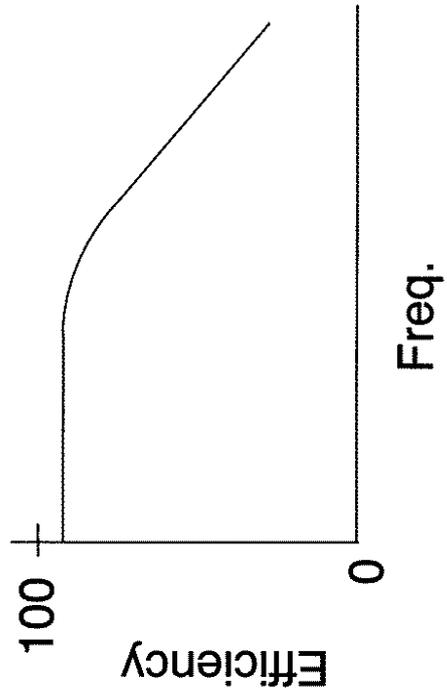


図3

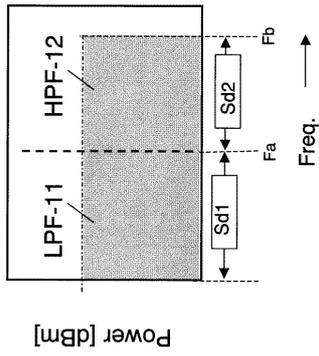
【 図 4 A 】

図4A



【 図 4 B 】

図4B



【 図 5 】

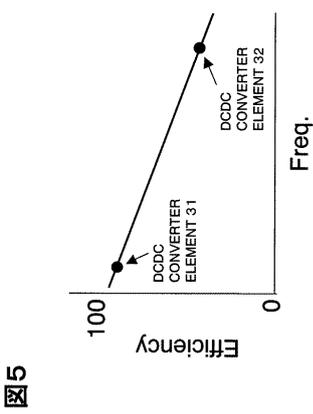
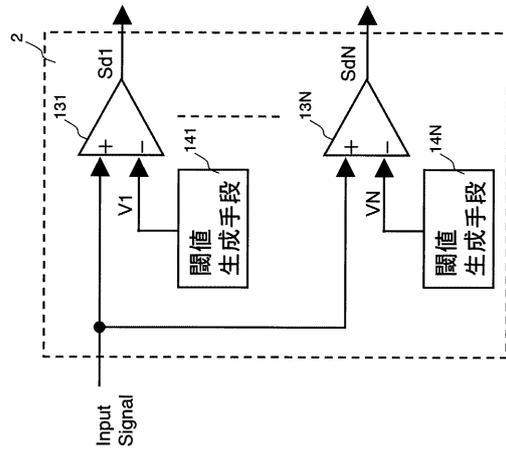


図5

【 図 6 】

図6



【 図 7 】

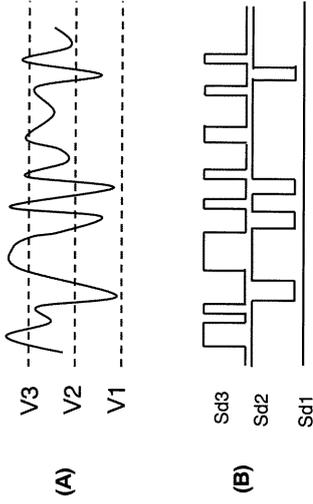


図7

【 図 8 】

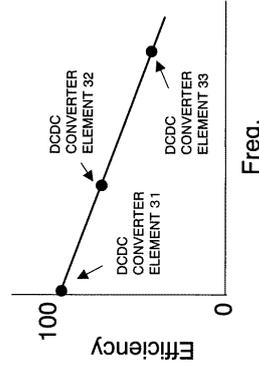


図8

【 図 9 】

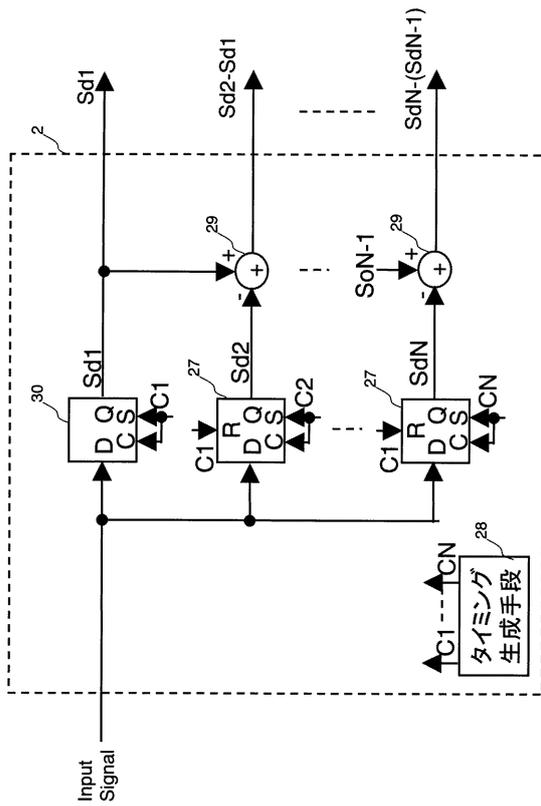


図9

【 図 10 】

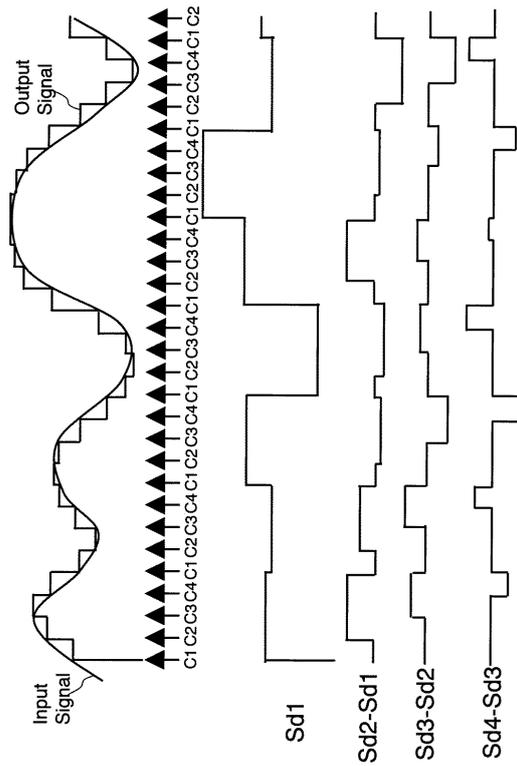


図10

【 図 1 1 】

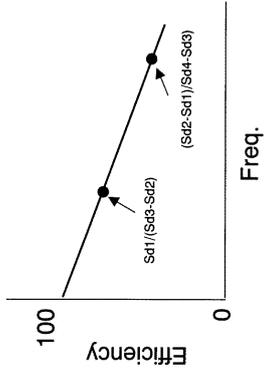


図 11

【 図 1 2 】

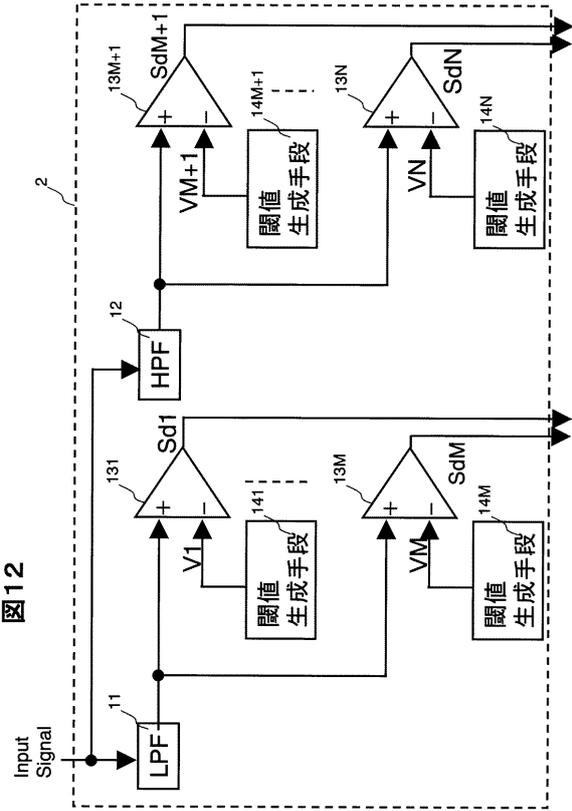


図 12

【 図 1 3 】

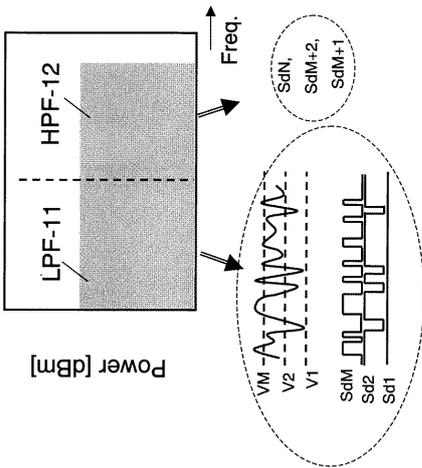


図 13

【 図 1 4 】

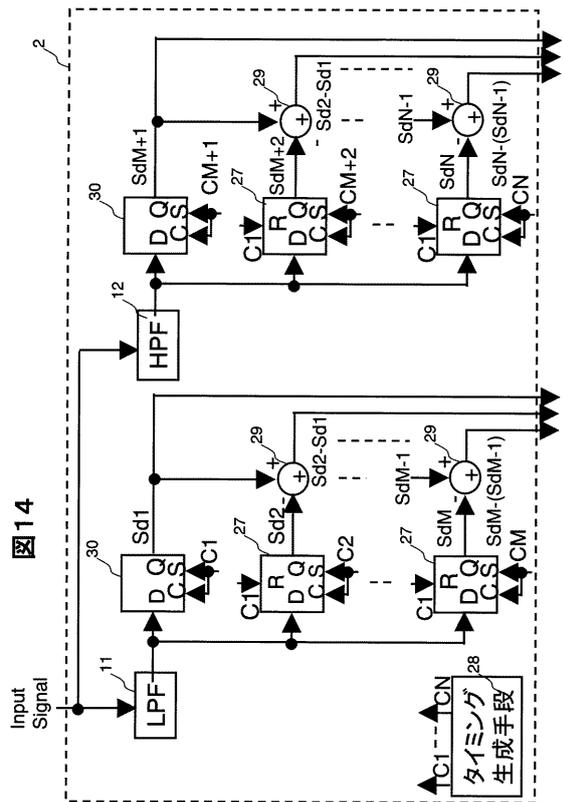


図 14

【 図 15 】

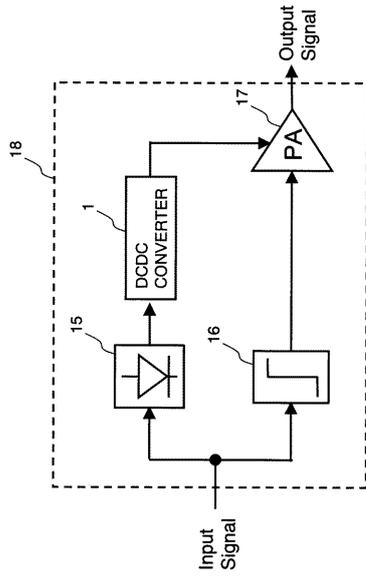


図 15

【 図 16 】

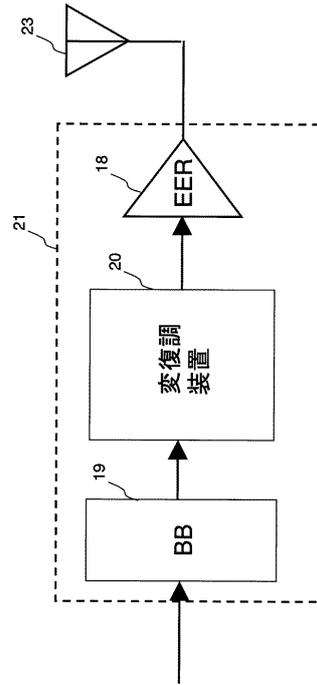


図 16

【 図 17 】

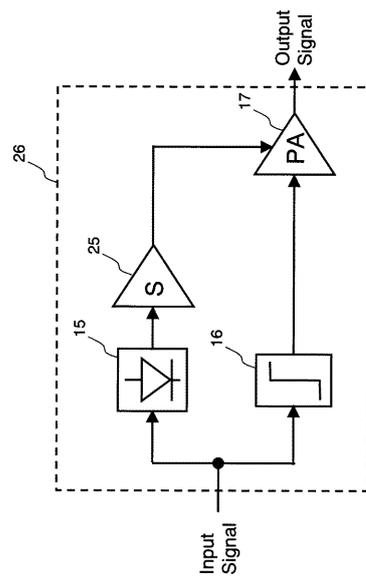


図 17

フロントページの続き

(72)発明者 中村 学

東京都小平市御幸町3番地 株式会社日立国際電気内

審査官 安井 雅史

(56)参考文献 特表2001-519612(JP,A)
特開2005-102146(JP,A)
特開昭55-149512(JP,A)
特表2003-500873(JP,A)
特開平04-119707(JP,A)
特開2004-173249(JP,A)
特開2000-201027(JP,A)
特開平10-341172(JP,A)
国際公開第2005/048448(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03F	3/24
H02M	3/155
H03F	1/02
H04B	1/04