

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년09월20일
<i>G11C 7/12</i> (2006.01)	(11) 등록번호	10-0625792
<i>G11C 7/08</i> (2006.01)	(24) 등록일자	2006년09월12일
<i>G11C 7/00</i> (2006.01)		

(21) 출원번호	10-2004-0087671	(65) 공개번호	10-2006-0038580
(22) 출원일자	2004년10월30일	(43) 공개일자	2006년05월04일

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 정현삼
 경기 이천시 부발읍 아미리 산 136-1

(74) 대리인 특허법인 신성

심사관 : 윤난영

(54) 반도체메모리소자

요약

본 발명은 프리차지 시간을 줄여 고속 동작의 지원이 가능한 반도체메모리소자를 제공하기 위한 것으로, 이를 위한 본 발명으로 워드라인 및 비트라인에 접속되어 데이터를 저장하는 복수개의 메모리셀을 구비하는 메모리셀어레이블록; 상기 비트라인 쌍의 일측단에만 연결되어, 상기 비트라인 쌍의 레벨 차이를 감지 및 증폭하기 위한 복수의 비트라인 감지증폭기 블록을 구비하는 비트라인 감지증폭기 어레이블록; 및 상기 비트라인 쌍의 양측단에서 상기 비트라인 감지증폭기 블록에 의해 프리차지가 수행되도록 하기 위한 복수의 프리차지 보조수단을 포함하는 반도체메모리소자를 제공한다.

대표도

도 4

색인어

공유, 프리차지, 액티브 영역, 확장, 비트라인 쌍

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 반도체메모리소자의 코어 블록 회로도.

도 2는 도 1의 반도체메모리소자의 메모리셀 데이터를 액세스하는 과정을 도시한 도면.

도 3은 도 1의 반도체메모리소자에서 표기된 'A'영역 내의 레이아웃을 도시한 도면.

도 4는 본 발명의 일 실시예에 따른 반도체메모리소자의 코어 블록도.

도 5는 도 4의 반도체메모리소자의 데이터를 액세스하는 과정을 도시한 도면.

도 6은 도 5의 제1 및 제3 비트라인 감지증폭기 블록과, 보조 프리차지부의 레이아웃을 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명

420, 440, 460, 480 : 프리차지 보조부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 프리차지시간을 줄일 수 있는 반도체메모리소자에 관한 것이다.

반도체 메모리소자의 동작속도가 고속화됨에 따라 데이터 입출력에 대한 고속화 요구가 증가하고 있다.

데이터 입출력을 고속화하기 위해 여러 가지 방법들이 개발되고 있으며 그중의 하나가 데이터 입출력라인 쌍을 빠른 속도로 디벨럽(Develop)시키고 빠른 속도로 프리차지시키는 것이다.

다시 말해, 데이터 입출력라인 쌍을 디벨럽시키는 시간과 데이터 입출력라인 쌍을 프리차지시키는 시간을 합한 시간에 의해 데이터 입출력 속도가 결정된다.

따라서 데이터 입출력라인 쌍에 대한 프리차지 시간을 줄이면 데이터 입출력 속도가 향상된다.

도 1은 종래기술에 따른 반도체메모리소자의 코어 블록 회로도이다.

도 1을 참조하면, 종래기술에 따른 반도체메모리소자는 워드라인 및 비트라인에 접속되어 데이터를 저장하는 단위메모리셀(12, 14)을 복수개 구비하는 메모리셀어레이블록(10)과, 메모리셀어레이블록(10)의 비트라인 쌍(BL, BLb)을 감지 및 증폭하기 위한 비트라인 감지증폭기를 복수개 구비하는 비트라인 감지증폭기 어레이블록(20, 30)을 구비한다.

그리고 비트라인 감지증폭기 어레이블록(20)은 비트라인 쌍 단위로 구비되는 복수의 비트라인 감지증폭기 블록(22, 24)으로 이뤄지는데, 비트라인 감지증폭기 블록(22)은 비트라인과 비트라인 감지증폭기(도면에 도시되지 않음)를 분리/연결하기 위한 비트라인 분리부(22a)와, 비트라인 쌍(BL0, BLb0)을 프리차지시키고, 이의 전압레벨이 동일하게 유지되도록 하기 위한 프리차지/균등화부(22b)와, 비트라인 쌍의 전압레벨 차이를 감지 및 증폭하기 위한 비트라인 감지증폭기(도면에 도시되지 않음)를 구비한다.

도 2는 도 1의 반도체메모리소자의 메모리셀 데이터를 액세스하는 과정을 도시한 도면이다.

먼저, 액티브 커맨드(ACT)가 인가되어 워드라인(WL)이 전원전압 V_{CORE}보다 높은 V_{CORE} + V_{Tn}으로 오버드라이빙된다. 워드라인(WL)의 액티브로 커패시터에 저장된 메모리셀 데이터가 정 비트라인(BL)에 미세전압으로 유입된다.

이어, 비트라인 분리부(22a)는 상위/하위 비트라인 분리신호(BISH, BISL)의 활성화에 응답하여 비트라인 쌍(BL, BLb)과 비트라인 감지증폭기를 연결하며, 비트라인 감지증폭기는 메모리셀 데이터가 인가된 비트라인 쌍(BL, BLb)의 레벨 차이를 감지 및 증폭한다.

이후, 프리차지 커맨드(PRE)가 인가되어 워드라인(WL)이 전원전압 VSS 레벨로 드라이빙되면, 메모리셀의 트랜지스터가 비활성화된다. 또한, 프리차지 커맨드(PRE)에 의해 균등화신호(bleq)가 활성화되어, 프리차지/균등화부(22b)가 비트라인 쌍(BL, BLb)을 프리차지전압 레벨($V_{CORE} \times 1/2$)로 프리차지시킨다.

끝으로, 비트라인 분리부(22a)가 비트라인 분리신호(BISH, BISL)의 비활성화에 응답하여, 비트라인 쌍과 비트라인 감지 증폭기 어레이 블록이 끊어지도록 한다.

참고적으로, 반도체메모리소자는 셀의 페일 시 이를 보완하기 위한 더미 셀을 구비하는데, 도면에 도시된 바와같이 단위 메모리셀 12는 일반적인 셀이며, 단위 메모리셀 14는 더미셀이다.

또한, 반도체메모리소자는 인접한 두개의 메모리셀어레이블록이 비트라인 감지증폭기 어레이블록을 공유하도록 하므로써, 비트라인 감지증폭기가 비트라인 쌍이 갖는 간격에 비해 2배의 간격을 갖도록 한다. 이와같이, 비트라인 감지증폭기를 보다 큰 면적에서 구현하므로써, 큰 구동력을 가져 비트라인을 빠르게 감지 및 증폭할 수 있다.

전술한 바와 같은 메모리셀어레이블록과 비트라인 감지증폭기 어레이블록을 레이아웃 레벨에서 살펴보도록 한다.

도 3은 도 1의 반도체메모리소자에서 표기된 'A'영역 내의 레이아웃을 도시한 도면이다.

도 3을 참조하면, 반도체메모리소자는 메모리셀어레이블록(10) 내 워드라인 WL0과 비트라인 BL0에 위치하는 단위 메모리셀 12와, 더미 워드라인 DWL0과 더미 비트라인에 위치하는 단위메모리셀 14과, 비트라인 감지증폭기 어레이 블록(20) 내 비트라인 감지증폭기와 비트라인 쌍(BL, BLb)을 연결하기 위한 비트라인 분리부(22a)를 구비한다.

도면에 도시된 바와같이, 비트라인 감지증폭기 블록의 폭(b)은 비트라인 쌍 사이의 폭(a)에 2배가 되는 것을 알 수 있다.

한편, 종래기술에 따른 반도체메모리소자는 비트라인 감지증폭기의 감지 및 증폭 속도의 향상을 위해 비트라인 감지증폭기 블록을 비트라인 쌍의 2배에 위치하도록 하기때문에, 비트라인 쌍의 일측단에 접속된 비트라인 감지증폭기 블록에 의해서만 구동되게 된다.

따라서, 소자의 프리차지 시간이 길어진다. 이는 프리차지가 비트라인의 일측단에서만 이뤄지기 때문에, 비트라인 감지증폭기 블록으로 부터 동일 비트라인 쌍의 타측단까지의 거리가 상대적으로 길어져 비트라인의 기생 커패시턴스가 커지기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 프리차지 시간을 줄여 고속 동작의 지원이 가능한 반도체메모리소자를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따른 반도체메모리소자는 워드라인 및 비트라인에 접속되어 데이터를 저장하는 복수개의 메모리셀을 구비하는 메모리셀어레이블록; 상기 비트라인 쌍의 일측단에만 연결되어, 상기 비트라인 쌍의 레벨 차이를 감지 및 증폭하기 위한 복수의 비트라인 감지증폭기 블록을 구비하는 비트라인 감지증폭기 어레이블록; 및 상기 비트라인 쌍의 양측단에서 상기 비트라인 감지증폭기 블록에 의해 프리차지가 수행되도록 하기 위한 복수의 프리차지 보조수단을 포함한다.

본 발명의 다른 측면에 따른 반도체메모리소자는 제1 비트라인 쌍의 일측단에 연결된 제1 비트라인 감지증폭기 블록; 제2 비트라인 쌍의 타측단에 연결된 제2 비트라인 감지증폭기 블록; 제3 비트라인 쌍의 일측단에 연결된 제3 비트라인 감지증폭기 블록; 및 보조 프리차지신호에 응답하여 상기 제1 및 제3 비트라인 감지증폭기 블록을 상기 제2 비트라인 쌍의 일측단에 연결시키기 위한 프리차지 보조수단을 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 4는 본 발명의 일 실시예에 따른 반도체메모리소자의 코어 블록도이다.

도 4를 참조하면, 본 발명의 일 실시예에 따른 코어 블록은 워드라인(WL) 및 비트라인(BL, BLb)에 접속되어 데이터를 저장하는 메모리셀을 복수개 구비하는 메모리셀어레이블록(100)과, 비트라인 쌍의 한쪽 측단에만 연결되어, 비트라인 쌍의 레벨 차이를 감지 및 증폭하기 위한 비트라인 감지증폭기 블록을 복수개 구비하는 비트라인 감지증폭기 어레이블록(200, 300)과, 비트라인 감지증폭기 블록(220, 240, 320, 340)에 의해 비트라인 쌍(BL, BLb)의 양측단에서 프리차지가 수행되도록 하기 위한 복수의 프리차지 보조부(420, 440, 460, 480)를 구비한다.

다시 살펴보면, 반도체메모리소자는 제1 비트라인 쌍(BL0, BLb0)의 일측단에 연결된 제1 비트라인 감지증폭기 블록(220)과, 제2 비트라인 쌍(BL1, BLb1)의 타측단에 연결된 제2 비트라인 감지증폭기 블록(240)과, 제3 비트라인 쌍(BL2, BLb2)의 일측단에 연결된 제3 비트라인 감지증폭기 블록(320)과, 보조 프리차지신호에 응답하여 제1 및 제3 비트라인 감지증폭기 블록(220, 240)을 제2 비트라인 쌍(BL1, BLb1)의 일측단에 연결시키기 위한 프리차지 보조부(420)를 구비한다.

프리차지 보조부(420)를 보다 구체적으로 살펴보면, 프리차지 보조부(420)는 더미 워드라인(DWL0)에 게이트단이 접속되고 제1 부 비트라인(BLb0) 및 제2 정 비트라인(BL1) 사이에 드레인-소스 경로를 갖는 제1 NMOS트랜지스터(NM1)와, 더미 워드라인(DWL0)에 게이트단이 접속되고 제2 정 비트라인(BL1)과 제2 부 비트라인(BLb1) 사이에 드레인-소스 경로를 갖는 제2 NMOS트랜지스터(NM2)와, 더미 워드라인(DWL0)에 게이트단이 접속되고 제2 부 비트라인(BLb1)과 제3 정 비트라인(BL2) 사이에 드레인-소스 경로를 갖는 제3 NMOS트랜지스터(NM3)를 구비한다.

도 5는 도 4의 반도체메모리소자의 데이터를 액세스하는 과정을 도시한 도면이다.

먼저, 액티브 커맨드(ACT)의 인가되면, 비활성화된 보조 프리차지신호가 더미 워드라인(DWL)으로 인가되어 프리차지 보조부(420)가 비활성화되므로, 제1 부 비트라인 내지 제3 정 비트라인(BLb0, BL1, BLb1, BL2)이 각각 연결되지 않는다.

이어, 프리차지 커맨드(PRE)가 인가되면, 활성화된 보조 프리차지신호가 더미 워드라인(DWL)을 통해 인가되므로, 프리차지 보조부(420)가 액티브 되어 제1 부 비트라인 내지 제3 정 비트라인(BLb0, BL1, BLb1, BL2)을 연결시킨다.

따라서, 프리차지 커맨드의 인가시 제2 비트라인 쌍(BL1, BLb1)의 타측단은 제2 비트라인 감지증폭기 블록(320)에 의해, 제2 비트라인 쌍(BL1, BLb1)의 일측단은 제1 및 제3 비트라인 감지증폭기 블록(220, 240)에 의해 프리차지가 수행된다.

참고적으로, 보조 프리차지신호는 더미 워드라인(DWL)을 통해 인가되어 프리차지 보조부(420)를 구동시키는데, 더미 워드라인(DWL)이란 노말 메모리셀의 파일 시 이를 대체하기 위한 더미 메모리셀을 구동하기 위한 것이다.

한편, 도 6은 도 5의 제1 및 제3 비트라인 감지증폭기 블록(220, 240)과, 보조 프리차지부(420)의 레이아웃을 도시한 도면이다.

도 6에 도시된 바와같이, 보조 프리차지부(420)는 제1 내지 제3 NMOS트랜지스터(NM1, NM2, NM3)를 더미 메모리셀 영역에 구현하므로써, 면적의 증가 없이 프리차지 시간을 줄이는 것을 알 수 있다.

또한, 보조프리차지부(420)는 제1 및 제3 NMOS트랜지스터(NM1, NM3)의 액티브 영역을 비트라인 분리부(220, 240)의 액티브 영역까지 확장하여 구현한다.

구체적으로 살펴보면, 반도체메모리소자는 제1 내지 제3 비트라인 쌍(BL0/BLb0, BL1/BLb1, BL2/BLb2)과, 제1 및 제3 비트라인 쌍(BL0/BLb0, BL2/BLb2)의 일측에 연결되어 데이터를 감지 및 증폭하기 위한 제1 및 제3 비트라인 감지증폭기 블록(220, 240)과, 로우 방향으로 형성된 제1 및 제2 더미 워드라인(DWL0, DWL1)과, 제1 부 비트라인(BLb0)과 제2 정 비트라인(BL1) 사이에 평행하게 형성되어 제1 비트라인 감지증폭기 블록(220)까지 확장된 제1 NMOS 트랜지스터(NM1)의 제1 액티브 영역과, 제1 더미 워드라인(DWL0)과 수직하게 형성된 제2 NMOS트랜지스터(NM2)의 제2 액티브 영역과, 제2 부 비트라인(BLb1)과 제3 정 비트라인(BL2) 사이에 평행하게 형성되어 제2 비트라인 감지증폭기 블록까지 확장된 제3 NMOS트랜지스터(NM3)의 제3 액티브 영역을 포함한다.

그러므로, 전술한 본 발명에 따른 반도체메모리소자는 비트라인 쌍의 일측단에 접속된 제1 비트라인 감지증폭기 블록을 통해 메모리셀 데이터를 감지 및 증폭시키되, 프리차지 시에는 비트라인 쌍의 일측단은 제1 비트라인 감지증폭기 블록에 의해서 프리차지 되며, 비트라인 쌍의 타측단은 프리차지 보조부를 통해 타측단에 인접하여 형성된 제2 및 제3비트라인 감지증폭기 블록에 의해 프리차지 되도록 한다.

즉, 비트라인 쌍의 양측단으로 부터 프리차지를 수행하므로, 빠른 프리차지 시간을 얻을 수 있어, 데이터 입출력 시간이 빨라진다.

또한, 전술한 프리차지 보조부를 더미 메모리셀 영역 내에 구현하므로써, 면적의 증가없이 빠른 프리차지 시간을 얻을 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은 비트라인 쌍의 일측단에 접속되어 메모리셀 데이터를 감지 및 증폭시키는 비트라인 감지증폭기 블록을, 프리차지 시에는 프리차지 보조부를 통해 인접한 비트라인 쌍에 접속되도록 하므로써, 비트라인 쌍의 양측단에서 프리차지가 수행되도록 하여 프리차지 시간을 줄인다.

또한, 프리차지 보조부를 더미 메모리셀 영역 내에 형성하므로써, 면적의 증가없이 프리차지 시간을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

워드라인 및 비트라인에 접속되어 데이터를 저장하는 복수개의 메모리셀을 구비하는 메모리셀어레이블록;

상기 비트라인 쌍의 일측단에만 연결되어, 상기 비트라인 쌍의 레벨 차이를 감지 및 증폭하기 위한 복수의 비트라인 감지증폭기 블록을 구비하는 비트라인 감지증폭기 어레이블록; 및

상기 비트라인 쌍의 양측단에서 상기 비트라인 감지증폭기 블록에 의해 프리차지가 수행되도록 하기 위한 복수의 프리차지 보조수단

을 포함하는 반도체메모리소자.

청구항 2.

제1항에 있어서,

상기 프리차지 보조수단은,

노말 메모리셀의 페일 시 이를 대체하기 위한 더미 메모리셀이 형성되는 영역 내에 구현되는 것을 특징으로 하는 반도체메모리소자.

청구항 3.

제1 비트라인 쌍의 일측단에 연결된 제1 비트라인 감지증폭기 블록;

제2 비트라인 쌍의 타측단에 연결된 제2 비트라인 감지증폭기 블록;

제3 비트라인 쌍의 일측단에 연결된 제3 비트라인 감지증폭기 블록; 및

보조 프리차지신호에 응답하여 상기 제1 및 제3 비트라인 감지증폭기 블록을 상기 제2 비트라인 쌍의 일측단에 연결시키기 위한 프리차지 보조수단

을 포함하는 반도체메모리소자.

청구항 4.

제3항에 있어서,

상기 보조 프리차지신호는 액티브 커맨드의 인가시 비활성화되며, 프리차지 커맨드의 인가시 활성화되는 신호인 것을 특징으로 하는 반도체메모리소자.

청구항 5.

제4항에 있어서,

상기 프리차지 보조수단은,

노말 메모리셀의 페일 시 이를 대체하기 위한 더미 메모리셀이 형성되는 영역 내에 구현되는 것을 특징으로 하는 반도체메모리소자.

청구항 6.

제5항에 있어서,

상기 프리차지 보조수단은,

더미 워드라인에 게이트단이 접속되고 상기 제1 부 비트라인 및 상기 제2 정 비트라인 사이에 드레인-소스 경로를 갖는 제1 NMOS트랜지스터와,

상기 더미 워드라인에 게이트단이 접속되고 상기 제2 정 비트라인과 상기 제2 부 비트라인 사이에 드레인-소스 경로를 갖는 제2 NMOS트랜지스터와,

상기 더미 워드라인에 게이트단이 접속되고 상기 제2 부 비트라인과 상기 제3 정 비트라인 사이에 드레인-소스 경로를 갖는 제3 NMOS트랜지스터

를 구비하는 것을 특징으로 하는 반도체메모리소자.

청구항 7.

제6항에 있어서,

상기 보조 프리차지신호는 상기 더미 워드라인을 통해 인가되는 것을 특징으로 하는 반도체메모리소자.

청구항 8.

제7항에 있어서,

상기 제1 및 제3 NMOS트랜지스터의 액티브 영역이 각각 상기 제1 및 제3 비트라인 감지증폭기 블록까지 확장되어 형성되는 것을 특징으로 하는 반도체메모리소자.

청구항 9.

컬럼 방향으로 형성된 제1 내지 제3 비트라인 쌍;

상기 제1 및 제3 비트라인 쌍의 일측단에 접속되어 데이터를 각각 감지 및 증폭하기 위한 제1 및 제2 비트라인 감지증폭기 블록;

로우 방향으로 형성된 제1 및 제2 더미 워드라인;

상기 제1 부 비트라인과 상기 제2 정 비트라인 사이에 평행하게 형성되어 상기 제1 비트라인 감지증폭기 블록까지 확장된 제1 NMOS 트랜지스터의 제1 액티브 영역;

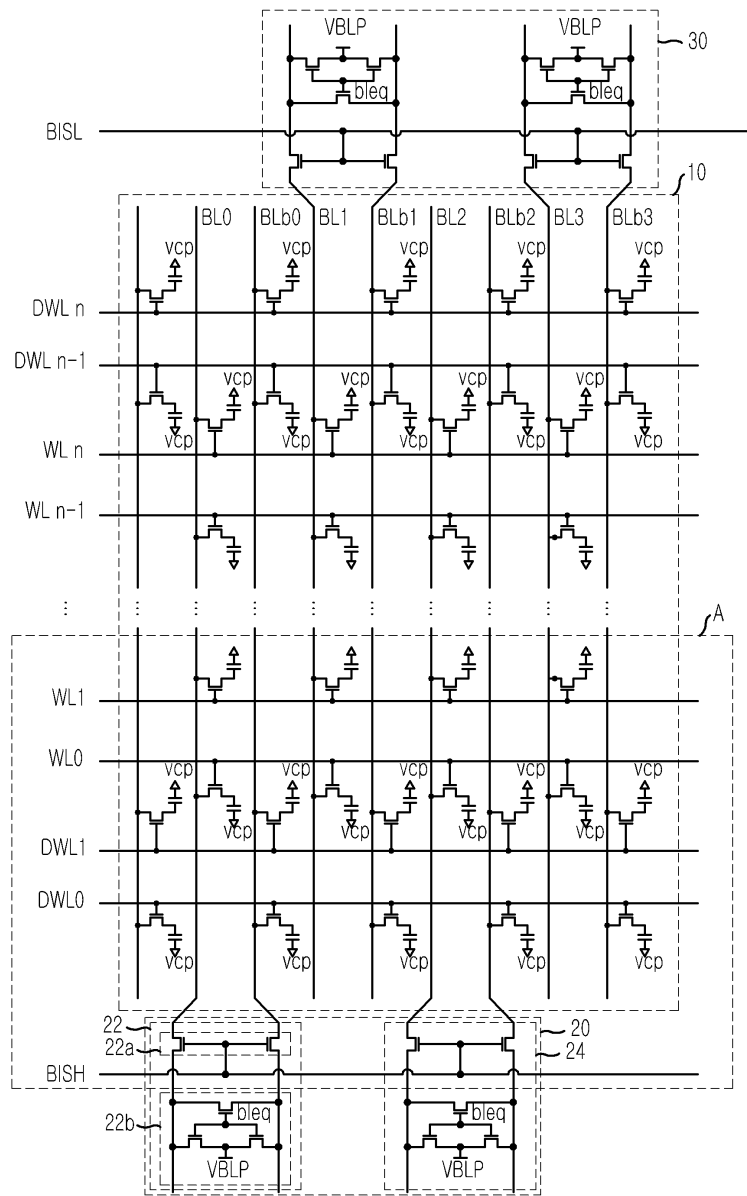
상기 제1 더미 워드라인과 수직하게 형성된 제2 NMOS트랜지스터의 제2 액티브 영역; 및

상기 제2 부 비트라인과 상기 제3 정 비트라인 사이에 평행하게 형성되어 상기 제2 비트라인 감지증폭기 블록까지 확장된 제3 NMOS트랜지스터의 제3 액티브 영역

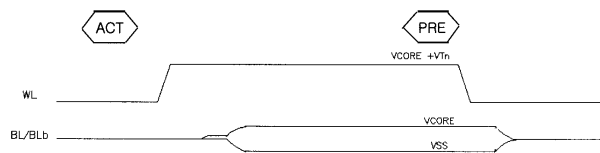
을 포함하는 반도체메모리소자.

도면

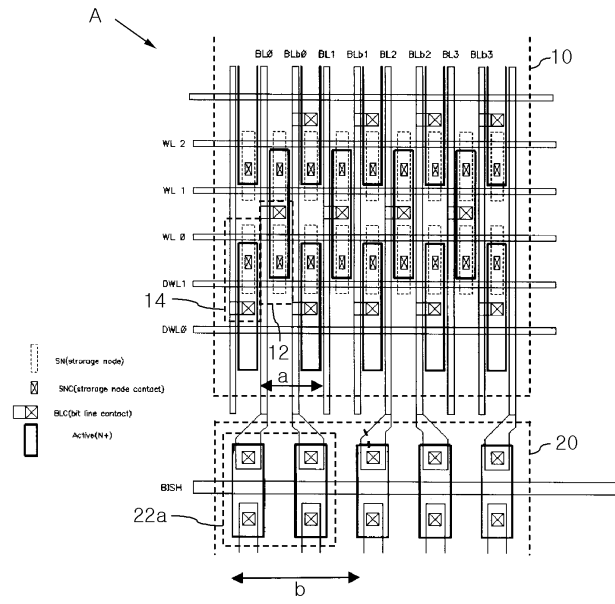
도면1



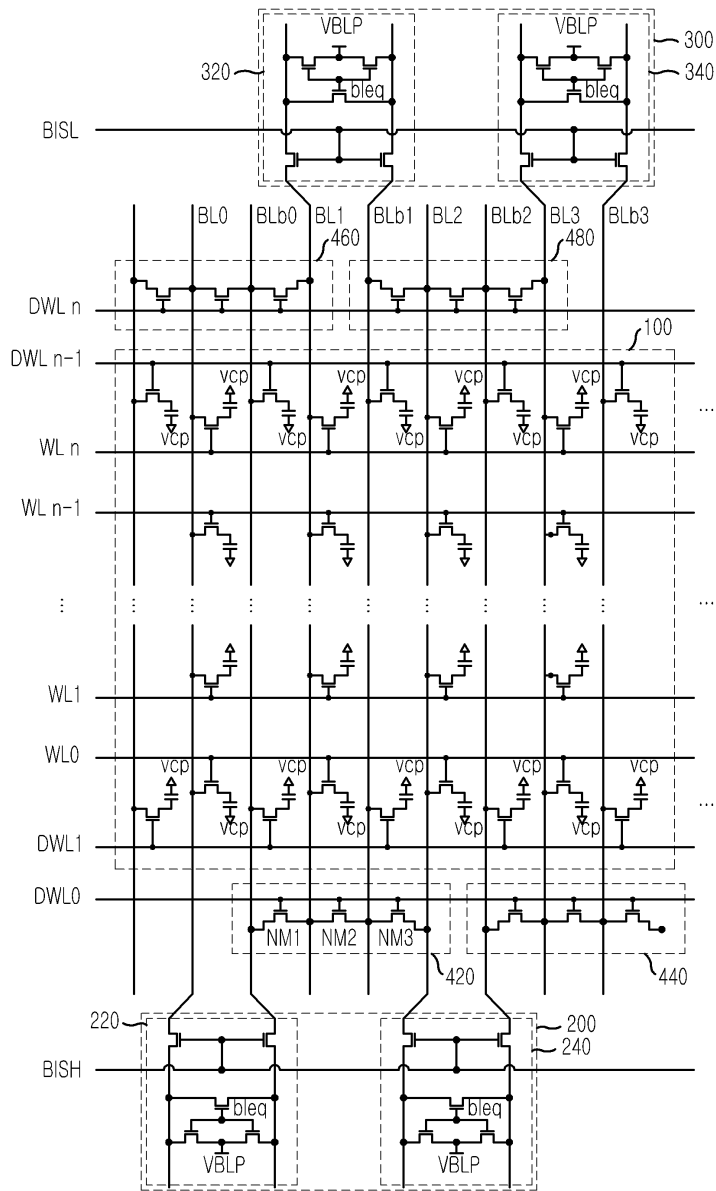
도면2



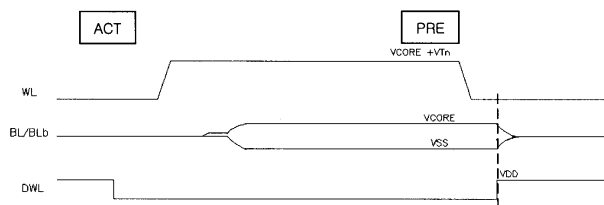
도면3



도면4



도면5



도면6

