



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년03월13일
(11) 등록번호 10-2647231
(24) 등록일자 2024년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/02 (2006.01)
H01L 27/092 (2006.01) H01L 29/66 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 21/823842 (2013.01)
H01L 21/02293 (2013.01)
(21) 출원번호 10-2018-0090472
(22) 출원일자 2018년08월02일
심사청구일자 2021년06월22일
(65) 공개번호 10-2020-0015112
(43) 공개일자 2020년02월12일
(56) 선행기술조사문헌
KR1020170042088 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김영훈
서울특별시 서초구 사임당로 130, 7동 408호
양재석
경기도 화성시 동탄대로시범길 20, 1416동 2403호
이해왕
경기도 용인시 기흥구 흥덕3로 60, 1402동 302호
(74) 대리인
박영우

전체 청구항 수 : 총 9 항

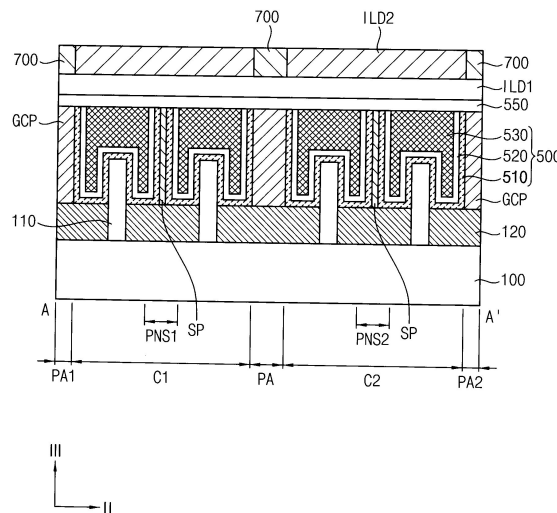
심사관 : 오순영

(54) 발명의 명칭 반도체 소자 및 이의 제조방법

(57) 요약

반도체 소자 및 이의 제조방법이 개시된다. 반도체 소자는 파워영역과 파워영역에 의해 분리되고 제2 방향을 따라 정렬하는 다수의 셀 영역을 구비하는 기관, 셀 영역에서 제2 방향을 따라 라인형상으로 연장하고 제2 방향과 수직한 제1 방향을 따라 이격되는 다수의 게이트 구조물들, 각 게이트 구조물의 측부에서 제2 방향을 따라 배치되고 파워영역을 향하여 평면부를 구비하는 접합층들 및 파워영역에서 제1 방향을 따라 연장하여 게이트 구조물과 접합층을 셀 영역별로 분리하는 커팅패턴을 포함한다. 반도체 소자의 사이즈가 축소되더라도 파워영역 및 분리영역에서 반도체 소자의 접합 불량을 방지한다.

대표도 - 도4a



(52) CPC특허분류

H01L 27/092 (2013.01)

H01L 29/66545 (2013.01)

H01L 29/7831 (2013.01)

(56) 선행기술조사문헌

US20180069000 A1*

KR1020160140321 A

KR1020180073429 A

KR1020160038673 A

KR1020160125207 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

파워영역 및 복수 개의 셀 영역들을 구비하는 기관;

상기 파워영역에 의하여 상기 기관의 상면과 평행한 제2 방향으로 이격된 각 상기 셀 영역들 상에 형성되며, 상기 기관 상면과 평행하고 상기 제2 방향과 교차하는 제1 방향으로 연장되는 복수 개의 활성 핀들;

상기 셀 영역들 상에서 각각이 상기 제2 방향을 따라 라인형상으로 연장되고, 서로 상기 제1 방향을 따라 이격되는 게이트 구조물들;

상기 셀 영역들 상에서 에피택시얼 성장 공정을 통해 각 상기 게이트 구조물들과 인접한 각 상기 활성 핀들 부분 상에 형성되고, 상기 제1 방향으로 인접한 상기 게이트 구조물들 사이에서 이들 각각의 상기 제1 방향으로 서로 대향하는 측벽들과 접촉하며, 상기 제2 방향을 따라 서로 이격된 접합층들; 및

상기 파워영역 상에서 상기 제1 방향을 따라 연장되어, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각각 형성된 상기 게이트 구조물들을 상기 셀 영역들 별로 분리하고, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각각 형성된 상기 접합층들을 상기 셀 영역들 별로 분리하는 커팅패턴을 포함하며

각 상기 접합층들은 상기 커팅패턴과 마주보는 평면부 및 상기 평면부와 상기 제2 방향으로 대향하는 단부를 구비하고, 상기 접합층은 상기 커팅패턴에 의해 상기 제2 방향으로의 성장이 저지되므로, 상기 접합층의 상기 평면부는 상기 접합층의 단부에 비해 상대적으로 큰 사이즈를 가지는 반도체 소자.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 접합층의 상기 단부는 첨탑 형상(point shape)을 가지는 반도체 소자.

청구항 4

제1항에 있어서, 상기 커팅패턴을 덮도록 제1 방향을 따라 연장하고 구동파워를 인가하는 파워레일과 상기 파워레일 및 상기 접합층과 연결되어 상기 구동파워를 상기 접합층으로 전송하는 콘택 구조물을 더 포함하는 반도체 소자.

청구항 5

제4항에 있어서, 상기 콘택 구조물은 상기 셀 영역에서 상기 접합층과 접속하는 셀 콘택 및 상기 커팅패턴의 주변부에 배치되어 측면은 상기 평면부와 접촉하고 상면은 상기 파워레일과 접촉하는 파워콘택을 포함하는 반도체 소자.

청구항 6

제5항에 있어서, 상기 반도체 소자는 상기 활성 핀들의 측벽을 커버하는 소자 분리막을 더 포함하며,

상기 커팅패턴은 상기 접합층의 상기 평면부로부터 이격되도록 상기 제2 방향을 따라 리세스되어 상기 소자 분리막을 노출하는 제2 콘택 홈을 구비하고, 상기 파워콘택은 상기 제2 콘택 홈에 위치하여 상기 소자 분리막 상에 위치하고 상기 커팅패턴과 동일한 상면을 갖는 반도체 소자.

청구항 7

제6항에 있어서, 상기 커팅패턴은 서로 인접한 상기 게이트 구조물을 분리하고 제1 폭을 갖는 확장 패턴과 서로 인접한 상기 접합층을 분리하고 제1 폭보다 작은 제2 폭을 갖는 리세스 패턴이 상기 제1 방향을 따라 교대로 배

치되는 반도체 소자.

청구항 8

제1항에 있어서, 상기 커팅 패턴은 질화물을 포함하는 반도체 소자.

청구항 9

제1항에 있어서, 각 상기 셀 영역들은 각각 서로 다른 도전형을 가지며 상기 제2 방향으로 배치된 피모스 영역 및 엔모스 영역과, 상기 피모스 영역 및 엔모스 영역 사이에서 상기 제1 방향으로 연장되는 분리영역을 포함하고,

상기 분리영역 상에서 상기 제1 방향으로 연장되며, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 게이트 구조물들을 상기 제2 방향으로 분리하고, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 접합층들을 상기 제2 방향으로 분리하는 분리패턴을 더 포함하는 반도체 소자.

청구항 10

파워영역에 의해 구분되는 기관의 셀 영역 상에 제1 방향을 따라 연장하는 다수의 활성 핀을 형성하고;

상기 제1 방향과 수직한 제2 방향을 따라 연장하는 라인형상으로 상기 활성 핀을 덮고, 상기 제1 방향을 따라 교대로 배치되는 다수의 더미 게이트 구조물 및 캡필 패턴을 형성하고;

상기 파워영역에서 상기 제1 방향을 따라 연장하여 상기 더미 게이트 구조물과 상기 캡필 패턴을 상기 셀 영역 별로 분리하는 게이트 커팅패턴을 형성하고; 그리고

인접한 상기 더미 게이트 구조물 사이의 이격공간을 통하여 노출된 상기 활성 핀과 접촉하고 상기 게이트 커팅 패턴과 면접촉하는 접합층을 형성하는 반도체 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 이의 제조방법에 관한 것으로서, 보다 상세하게는, 씨모스 소자를 구비하는 로직 소자(logic device) 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 로직 소자(logic device)는 특정한 기능을 하기 위한 반도체 회로의 집적체로서 미리 준비된 다수의 표준 셀을 최적하게 조합하여 사용자의 개별적인 용도에 부합하도록 구현된다.

[0003] 표준 셀은 개별적으로 모듈화 되어 특정한 제약 조건과 기능을 만족시키는 형태로 최적화된 집적회로의 단위로서, AND, OR, NOR, 인버터 등과 같은 기본 셀(basic cell), OAI(OR/AND/INVERTER) 및 AOI(AND/OR/INVERTER) 등과 같은 복합 셀(complex cell) 및 단순한 마스터-슬레이브 플립플롭 및 래치 등과 같은 저장 요소(storage element)를 포함한다. 로직 소자는 기본 셀, 복합 셀 및 저장요소들을 최적하게 조합하여 사용자의 용도에 부합하도록 설계된다.

[0004] 로직 소자의 밀도를 높이기 위해 표준 셀(standard cell)의 사이즈를 줄이고 집적도를 높이기 위한 다양한 노력이 진행되고 있다. 미세화에 의한 단채널 효과를 방지하기 위해 표준 셀을 핀렛(fin FET)이나 매립 트랜지스터 구조물로 개선하고 임계치수의 축소에 의한 패턴간의 쇼트(short)를 방지하기 위해 패턴의 라인 엣지 러프니스(line edge roughness, LER)와 같은 다양한 공정조건에 대한 개선노력이 이루어지고 있다.

[0005] 특히, 최근에는 표준 셀의 셀 영역으로 구동과위를 제공하는 파워영역으로 셀 영역의 회로를 부분적으로 배치시켜 동일한 셀 사이즈에서 회로배치 영역을 확보하기 위한 노력도 이루어지고 있다.

[0006] 그러나, 파워영역의 축소는 파워영역을 기준으로 구분되는 인접 셀이 충분히 이격되지 않아 다양한 패턴간 접합(short)이 발생하게 된다. 이에 따라, 셀 사이즈를 축소하는 경우 파워영역을 기준으로 구분되어야 할 소자들이 서로 연결되는 접합 불량에 빈번하게 발생하고 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 상술한 바와 같은 문제점을 개선하기 위해 제안된 것으로서, 본 발명의 목적은 파워레일이 배치되는 파워영역에 배치되어 상기 파워영역에 대하여 대칭적으로 배치되는 셀 영역의 소자들을 서로 분리하는 분리패턴을 구비하는 반도체 소자를 제공하는 것이다.
- [0008] 본 발명의 또 다른 목적은 상술한 바와 같은 반도체 소자를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 반도체 소자는 파워영역과 상기 파워영역에 의해 분리되고 제2 방향을 따라 정렬하는 다수의 셀 영역을 구비하는 기관, 상기 셀 영역에서 제2 방향을 따라 라인형상으로 연장하고 상기 제2 방향과 수직인 제1 방향을 따라 이격되는 다수의 게이트 구조물들, 상기 각 게이트 구조물의 측부에서 상기 제2 방향을 따라 배치되고 상기 파워영역을 향하여 평면부를 구비하는 접합층들 및 상기 파워영역에서 상기 제1 방향을 따라 연장하여 상기 게이트 구조물과 상기 접합층을 상기 셀 영역별로 분리하는 커팅패턴을 포함한다.
- [0010] 상기한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 제조방법이 개시된다. 먼저, 파워영역에 의해 구분되는 기관의 셀 영역 상에 제1 방향을 따라 연장하는 다수의 활성 핀을 형성한다. 이어서, 상기 제1 방향과 수직인 제2 방향을 따라 연장하는 라인형상으로 상기 활성 핀을 덮고, 상기 제1 방향을 따라 교대로 배치되는 다수의 더미 게이트 구조물 및 갭필 패턴을 형성한다. 상기 파워영역에서 상기 제1 방향을 따라 연장하여 상기 더미 게이트 구조물과 상기 갭필 패턴을 상기 셀 영역별로 분리하는 게이트 커팅패턴을 형성하고, 인접한 상기 더미 게이트 구조물 사이의 이격공간을 통하여 노출된 상기 활성 핀과 접촉하고 상기 게이트 커팅패턴과 면접촉하는 접합층을 형성한다.

발명의 효과

- [0011] 본 발명에 의한 반도체 소자 및 이의 제조방법에 의하면, 파워영역(PA)에 의해 구분되는 각 셀 영역으로부터 파워영역으로 성장하는 접합층(300)은 파워영역에 형성된 게이트 커팅 패턴(GCP)에 의해 성장이 저지되어 접합층(300)의 결함으로 인한 접합(short)불량을 방지할 수 있다. 또한, 제1 및 제2 셀 영역(C1, C2)에 형성된 게이트 구조물(500)도 파워영역(PA)에 형성된 게이트 커팅 패턴(GCP)에 의해 서로 분리되어 인접한 게이트 구조물(500) 사이의 접합(short) 불량을 방지할 수 있다.
- [0012] 동일한 셀 영역(C)에 형성된 엔모스 및 피모스 소자는 분리영역에 형성된 분리패턴(SP)에 의해 게이트 구조물(500)과 접합층(300)이 강제로 분리되어 독립된 소자로 기능할 수 있다. 이에 따라, 셀 영역(C)의 사이즈가 축소된다 할지라도 엔모스 소자 및 피모스 소자가 서로 연결되는 접합(short) 불량을 방지할 수 있다.
- [0013] 뿐만 아니라, 접합층(300)으로 파워를 인가하는 파워콘택(620)을 게이트 커팅패턴(GCP)의 양 측부에 대칭적으로 형성하여 기계적으로 분리할 수 있다. 이에 따라, 제1 셀 영역(C1)으로 파워신호를 인가하는 콘택 구조물과 제2 셀 영역(C2)의 접합층(300)이 연결(또는, 제2 셀 영역(C2)으로 파워신호를 인가하는 콘택 구조물과 제1 셀 영역(C1)의 접합층(300)이 연결)되는 접속불량을 근본적으로 방지할 수 있다.
- [0014] 특히, 반도체 소자의 사이즈가 축소되어 파워영역의 폭이 축소된다 할지라도 파워영역에 의해 분리되는 서로 다른 셀 영역의 게이트 구조물(500)이나 접합층(300)이 서로 연결되는 접속(short)불량을 것을 방지함으로써 반도체 소자(1000)의 수율을 현저하게 높일 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명에 의한 실시예에 의한 반도체 소자를 나타내는 평면도이다.
 도 2a 내지 도 2e는 도 1에 도시된 반도체 소자를 각각 A-A', B-B', C-C', D-D' 및 E-E'라인을 따라 절단한 단면도이다.
- 도 3은 본 발명에 의한 다른 실시예에 의한 반도체 소자를 나타내는 평면도이다.
 도 4a 내지 도 4f는 도 3에 도시된 반도체 소자를 각각 A-A', B-B', C-C', D-D', E-E' 및 F-F' 라인을 따라 절단한 단면도들이다.

도 5 내지 도 32e는 본 발명의 일실시예에 의한 반도체 소자의 제조방법을 나타내는 도면들이다.

도 33 내지 도 40f는 본 발명의 다른 실시예에 의한 반도체 소자의 제조방법을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.
- [0017] 도 1은 본 발명에 의한 일실시예에 의한 반도체 소자를 나타내는 평면도이다. 도 2a 내지 도 2e는 도 1에 도시된 반도체 소자를 각각 A-A', B-B', C-C', D-D' 및 E-E' 라인을 따라 절단한 단면도이다.
- [0018] 도 1 및 도 2a 내지 도 2e를 참조하면, 본 발명의 일실시예에 의한 반도체 소자(1000)는 파워영역(PA)과 상기 파워영역(PA)에 의해 분리되고 제2 방향(II)을 따라 정렬하는 셀 영역(C)을 구비하는 기관(100), 상기 셀 영역(C)에서 제2 방향(II)을 따라 라인형상으로 연장하고 상기 제2 방향(II)과 수직한 제1 방향(I)을 따라 이격되는 다수의 게이트 구조물(500)들, 상기 각 게이트 구조물(500)의 측부에서 상기 제2 방향(II)을 따라 배치되고 상기 파워영역(PA)을 향하여 평면부(A)를 구비하는 접합층(300)들 및 상기 파워영역(PA)에서 상기 제1 방향(I)을 따라 연장하여 상기 게이트 구조물(500)과 상기 접합층(300)을 상기 셀 영역(C)별로 분리하는 커팅패턴(CP)을 포함한다.
- [0019] 예를 들면, 상기 기관(100)은 실리콘, 게르마늄, 실리콘-게르마늄과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 반도체 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기관(100)은 실리콘-온-인슐레이터(SOI) 기관 또는 게르마늄-온-인슐레이터(GOI) 기관일 수 있다.
- [0020] 기관(100)은 셀 트랜지스터(미도시)들이 배치되는 셀 영역(C)과 파워 레일(700)이 배치되는 파워영역(PA)을 포함하며, 상기 셀 영역(C)은 파워영역(PA)을 기준으로 서로 구분되는 제1 및 제2 셀 영역(C1, C2)을 포함한다.
- [0021] 선택적으로, 상기 셀 영역(C)은 서로 다른 도전형을 갖는 트랜지스터가 배치되는 피모스 영역(P) 및 엔모스 영역(N)으로 구분되고 상기 엔모스 영역(P)과 피모스 영역(N) 사이에는 분리영역(PN space, PNS)이 위치한다. 이에 따라, 상기 셀 영역(C)에는 피모스 트랜지스터와 엔모스 트랜지스터가 분리영역에 의해 분리되는 씨모스 소자가 배치된다. 상기 분리영역(PNS)은 파워영역(PA)을 기준으로 제1 셀 영역(C1)에 배치되는 제1 분리영역(PNS1) 및 제2 셀 영역(C2)에 배치되는 제2 분리영역(PNS2)을 포함한다.
- [0022] 상기 셀 영역(C)에는 제1 방향(I)을 따라 연장하고 제2 방향(II)을 따라 일정한 간격으로 이격되며 소자 분리막(120)으로부터 돌출한 다수의 활성 핀(110)이 배치된다. 따라서, 활성 핀(110)은 소자분리막(120)으로 둘러싸이는 하부 활성 핀(110a) 및 소자분리막(120)으로부터 돌출하는 상부 활성 핀(110b)으로 구성된다. 따라서, 기관(100)의 필드영역은 소자 분리막(120)으로 덮이고 활성영역은 소자 분리막(120)으로부터 핀 형상으로 제공된다.
- [0023] 제2 방향(II)을 따라 연장하는 라인 형상을 갖고 제1 방향(I)을 따라 일정한 간격으로 이격되어 배치되는 다수의 게이트 구조물(500)이 배치된다. 게이트 구조물(500)의 외측벽은 제2 방향(II)을 따라 연장하는 라인형상을 갖는 게이트 스페이서(240)로 덮인다.
- [0024] 일실시예로서, 상기 게이트 구조물(500)은 제2 방향(II)을 따라 연장하는 라인형상으로서 커팅 패턴(CP)에 의해 파워영역(PA)에서 단절되는 불연속 라인 형상을 갖는다.
- [0025] 이에 따라, 상기 게이트 구조물(500)은 셀 영역(C)에서만 라인형상으로 배치되고 파워영역(PA)에 위치하는 커팅 패턴(CP)에 의해 제1 및 제2 셀 영역(C1, C2)의 게이트 구조물(500)은 커팅 패턴(CP)에 대하여 서로 대칭적으로 배치된다. 제2 방향(II)을 따라 연장하는 게이트 구조물(500)은 각 셀 영역(C1, C2)별로 분리되어 서로 독립적인 소자로 기능한다.
- [0026] 특히, 상기 커팅 패턴(CP)은 실리콘 질화물과 같은 절연성 물질로 구성되어 제1 및 제2 셀 영역(C1, C2)의 게이트 구조물(500)들이 파워영역(PA)에서 전기적으로 서로 분리시킬 수 있다.
- [0027] 예시적인 실시예로서, 상기 게이트 구조물(500)은 상기 활성 핀(110)의 상면과 측면, 소자 분리막 패턴(120)의 상면 및 게이트 스페이서(240)의 내측벽 상에 순차적으로 적층된 게이트 절연막 패턴(510), 일함수 조절막 패턴(520) 및 일함수 조절막 패턴(520)에 의해 한정되는 게이트 트렌치(GT)를 매립하는 게이트 전극(530)으로 구성된다. 상기 게이트 구조물(500)을 통하여 반도체 소자(1000)의 게이트 신호가 전송된다.
- [0028] 상기 게이트 구조물(500)의 양 측부에 접합층(300)이 배치된다. 상기 셀 영역(C)에서 인접한 게이트 구조물

(500)을 덮는 한 쌍의 게이트 스페이서(240) 사이의 공간은 스페이서간 트렌치(IST)를 형성하고, 상기 접합층(300)은 스페이서간 트렌치(IST)를 통하여 노출된 활성 핀(110)으로부터 제2 방향을 따라 성장하여 라인형상으로 정렬된다.

- [0029] 상기 접합층(300)은 게이트 구조물(500)과 인접한 활성 핀(110)으로부터 선택적 에피택셜 공정에 의해 형성되어, 에피택시얼 패턴으로 제공된다. 상기 접합층(300)은 활성 핀(110)으로부터 제2 방향(II)을 따라 성장하여 상기 활성 핀(110)의 배치구조에 따라 서로 인접하는 접합층(300)은 서로 연결되어 라인형상으로 제공될 수 있다.
- [0030] 이때, 상기 접합층(300)도 게이트 구조물(500)과 마찬가지로 파워영역(PA)에 배치된 커팅패턴(CP)에 의해 분리되어 불연속 라인형상으로 제공된다. 따라서, 상기 접합층(300)은 파워영역(PA)에서 커팅패턴(CP)에 의해 분리되어 제1 셀 영역 및 제2 셀 영역(C1,C2)에서 서로 독립적으로 기능한다.
- [0031] 이에 따라, 상기 제1 셀 영역(C1)의 접합층(300)과 제2 셀 영역(C2)의 셀 영역이 에피택시얼 성장에 의해 파워영역(PA)에서 서로 연결되는 것을 근본적으로 방지할 수 있다. 즉, 제1 및 제2 셀 영역(C1,C2)의 접합층(300)이 파워영역(PA)에서 서로 연결되는 접합(short) 불량을 방지할 수 있다.
- [0032] 특히, 상기 파워영역(PA)과 인접한 활성 핀(110)으로부터 성장한 접합층(300)은 제2 방향(II)을 따라 성장하는 중에 게이트 커팅 패턴(도 17의 GCP)의 측면을 따라 활성 핀(110)의 단부를 향하는 제3 방향(III)으로 성장하고 제2 방향(II)으로의 성장이 저지된다.
- [0033] 이에 따라, 게이트 커팅 패턴(GCP)과 인접한 접합층(300)은 게이트 커팅 패턴(GCP)의 측면을 따라 성장하게 되어 게이트 커팅 패턴(GCP)과 접촉하지 않는 접합층(300)과 비교하여 더 큰 사이즈를 갖게 된다. 즉, 게이트 커팅 패턴(GCP)과 인접한 접합층(300)은 게이트 커팅 패턴(GCP)과 면접촉하게 되어 평면부(A)를 구비하고 동일한 라인의 다른 접합층(300)과 비교하여 상대적으로 더 큰 사이즈를 갖게 된다.
- [0034] 접합층(300)의 사이즈의 증가는 후속하는 콘택 구조물(600)과의 콘택 저항을 감소시키므로, 요구되는 콘택 저항을 갖도록 에피택셜 성장조건을 제어하여 접합층(300)과 게이트 커팅패턴(GCP)의 접촉면적을 조절할 수 있다. 이에 따라, 반도체 소자(1000)의 콘택 저항을 적절하게 조절할 수 있다.
- [0035] 게이트 커팅패턴(GCP)과 이격된 접합층(300)의 타단은 게이트 커팅패턴(GCP)과 같은 에피택시얼 성장을 제약하는 구조물이 없으므로 제2 방향(II)을 따라 자유롭게 성장할 수 있다. 이에 따라, 면접촉이 일어나지 않는 상기 접합층(300)의 타단은 인접 활성 핀(110)과의 이격거리가 충분히 크거나 분리영역(PNS)으로 성장하는 경우에는 에피택시얼 성장의 특성에 따라 첨탑부(point shape, B)를 갖게 된다.
- [0036] 특히, 상기 접합층(300)은 상기 활성 핀(110)의 구성에 따라 선택적으로 인접한 활성 핀(110)으로부터 성장한 인접 에피택시얼 패턴이 서로 연결되어 상기 제2 방향을 따라 연장하는 라인형상을 가질 수도 있다.
- [0037] 첨탑부(B)를 구비하는 접합층(300)은 게이트 커팅 패턴(GCP)의 측면을 따라 제3 방향(III)으로 성장하지 않으므로, 게이트 커팅 패턴(GCP)과 인접한 접합층(300)과 비교하여 상대적으로 사이즈가 작아지게 된다. 즉, 상기 접합층(300)은 게이트 커팅 패턴(GCP)과 가까울수록 상대적으로 큰 사이즈를 갖고 상기 분리영역(PNS)과 가까울수록 상대적으로 작은 사이즈를 갖게 된다.
- [0038] 상기 스페이서간 트렌치(IST)는 하부의 접합층(300)과 접촉하는 도전라인인 콘택 구조물(600)에 의해 매립된다. 상기 콘택 구조물(600)은 제1 및 제2 셀 영역(C1,C2)에서 스페이서간 트렌치(IST)를 매립하도록 제2 방향(II)을 따라 연장한다. 다만, 각 셀 영역(C1,C2)의 분리영역(PNS)에서 절단되어 제2 방향을 따라 불연속적인 라인형상으로 제공된다.
- [0039] 셀 영역(C)에서 제2 방향을 따라 연장하는 게이트 구조물(500)은 게이트 캡핑패턴(550) 및 제1 층간 절연막 패턴(ILD1)으로 덮이고 게이트 구조물(500)의 측부에서 게이트 구조물(500)과 나란하게 위치하는 접합층(300)은 제2 방향(II)을 따라 연장하는 콘택 구조물(600)에 의해 덮인다. 이때, 콘택 구조물(600)은 게이트 구조물(500) 및 커팅패턴(CP)과 동일한 상면을 갖는다.
- [0040] 상기 게이트 구조물(500)과 접합층(300)은 파워영역(PA)에 배치된 커팅 패턴(GCP)에 의해 각 셀 영역(C1, C2) 별로 분리되지만, 상기 콘택 구조물(600)은 상기 분리영역(PNS)을 덮는 절연막 패턴(400)에 의해 동일한 셀 영역 내에서도 피모스 영역(P) 및 엔모스 영역(N)별로 분리된다.
- [0041] 예시적인 실시예로서, 상기 콘택 구조물(600)은 상기 제1 및 제2 셀 영역(C1,C2)에서 상기 접합층(300)과 접촉

하는 셀 콘택(610)과 상기 파워영역(PA)에서 상기 접합층(300)과 면접촉(A)하면서 셀 콘택(610)과 일체로 연결되는 파워 콘택(620)을 포함한다.

- [0042] 셀 콘택(610)은 접합층(300)의 구조에 따라 단일한 접합층과 접속하는 플러그 타입이나 라인형상을 갖도록 서로 연결된 다수의 접합층(300)과 접속하는 라인 타입으로 제공될 수 있다.
- [0043] 상기 파워콘택(620)은 상기 접합부(300)의 평면부(A)와 면접촉하고 커팅 패턴(CP)의 주변부에 배치된다. 예를 들면, 상기 커팅패턴(CP)은 상기 평면부(A)로부터 이격되도록 제2 방향(II)을 따라 리세스되어 소자 분리막(120)을 노출하는 제2 콘택 홀(CTH2)을 구비하고 상기 파워 콘택(620)은 상기 제2 콘택 홀(CTH2)에 위치하여 상기 소자 분리막(120)상에 위치하고 상기 커팅패턴(CP)과 동일한 상면을 갖는다.
- [0044] 이에 따라, 상기 커팅패턴(CP)은 서로 인접한 상기 게이트 구조물(500)을 분리하고 제1 폭(w1)을 갖는 확장패턴(CP1)과 서로 인접한 상기 접합층(300)을 분리하고 제1 폭(w1)보다 작은 제2 폭(w2)을 갖는 리세스 패턴(CP2)이 상기 제1 방향(I)을 따라 교대로 배치되는 구조를 갖는다.
- [0045] 따라서, 제1 셀 영역(C1)의 파워콘택(620)과 제2 셀 영역(C2)의 파워콘택(620)은 커팅 패턴(CP)에 의해 서로 대칭적으로 배치되어 서로 분리된다. 이에 따라, 제1 셀 영역(C1)의 파워콘택(620)과 제2 셀 영역(C2)의 파워콘택(620)이 전기적으로 서로 연결되는 접합불량을 방지할 수 있다.
- [0046] 특히, 동일한 셀(C)내에서 상기 분리영역(PNS)을 덮는 절연막 패턴(400)에 의해 피모스 영역(P)의 셀 콘택(610)과 엔모스 영역(N)의 셀 콘택(610)은 서로 분리된다.
- [0047] 상기 셀 콘택(610)과 파워 콘택(620)은 단일한 콘택 구조물(600)로 제공되고 상기 파워콘택(620)은 파워영역(PA)에 배치된 파워레일(700)과 연결된다.
- [0048] 특히, 상기 파워콘택(620)은 접합부(300)의 평면부(A)와 면접촉하도록 구성되어 콘택 구조물(600)과 접합층(300) 사이의 접촉저항을 현저하게 저하시킬 수 있다.
- [0049] 커팅패턴(CP)에 의해 분리되고 커팅패턴(CP)과 동일한 상면을 구비하는 파워 콘택(620)은 파워영역(PA)을 따라 제1 방향(I)으로 연장하는 도전라인인 파워레일(700)과 동시에 접촉한다.
- [0050] 상기 파워레일(700)은 상기 파워 콘택(620) 및 커팅 패턴(CP)과 접촉하는 파워 플러그(710) 및 상기 파워 플러그(710)와 일체로 연결되어 상기 제1 층간절연막 패턴(ILD1)을 덮고 상기 제1 방향(I)을 따라 연장하는 파워라인(720)을 포함한다.
- [0051] 상기 파워 플러그(710)는 리세스 패턴(CP2)의 주변부에 서로 대칭적으로 배치되어 커팅 패턴(CP)의 상면까지 연장되며, 제1 층간절연막 패턴(ILD1)의 상면과 동일한 상면을 갖는다. 파워라인(720)은 파워 플러그(710)의 상면과 접촉하고 상기 제1 층간절연막 패턴(ILD1)을 덮도록 배치된다.
- [0052] 이에 따라, 상기 파워레일(700)을 통하여 파워신호가 전송되면 파워 콘택(620)을 통하여 동시에 제1 및 제2 셀 영역(C1,C2)의 접합층(300)으로 인가된다. 파워영역(PA)에서 파워콘택(620)은 절연성 물질로 구성된 커팅 패턴(CP)에 의해 분리되므로 콘택 구조물(600)의 접합(short)불량을 효과적으로 방지하면서 제1 및 제2 셀 영역(C1,C2)으로 동시에 파워를 전송할 수 있다.
- [0053] 한편, 상기 콘택 구조물(600)은 셀 영역(C) 내부의 분리영역(PNS)에 의해 단절되어 있으므로, 동일한 파워레일(700)에 의해 전송된 파워신호는 셀 영역(C) 내의 단일한 도전형 트랜지스터로 인가되며, 도전형이 다른 트랜지스터로 인가되는 파워는 상기 파워레일(700)과 인접한 다른 파워레일을 통하여 공급된다.
- [0054] 본 실시예의 경우, 상기 파워레일(700)과 인접하여 피모스 영역(P)이 배치되고 분리영역(PNS)으로 구분된 엔모스 영역(N)으로의 파워는 제2 방향(II)을 따라 상기 파워레일(700)의 상부 및 하부에 위치하는 다른 파워레일(미도시)을 통하여 인가된다.
- [0055] 제1 방향(I)을 따라 연장하고 제2 방향(II)을 따라 일정거리만큼 이격된 다수의 파워레일(700)은 제2 층간절연막 패턴(ILD2)에 의해 서로 분리된다.
- [0056] 상술한 바와 같은 본 발명의 일실시예에 의한 반도체 소자에 의하면, 제2 방향(II)을 따라 연장하는 라인 형상의 게이트 구조물(500)과 접합층(300)은 파워영역(PA)에 배치된 커팅 패턴(CP)에 의해 분리된다. 따라서, 파워영역(PA)에서 게이트 구조물(500)이나 접합층(300)이 연결되는 접합(short) 불량을 근본적으로 방지할 수 있다.
- [0057] 뿐만 아니라, 접합층(300)으로 파워를 인가하는 파워콘택(620)을 파워 분리패턴에 의해 분리되도록 게이트 커팅

패턴(GCP)의 양 측부에 대칭적으로 형성하여 제1 셀 영역(C1)으로 파워신호를 인가하는 콘택 구조물과 제2 셀 영역(C2)의 접합층(300)이 연결(또는, 제2 셀 영역(C2)으로 파워신호를 인가하는 콘택 구조물과 제1 셀 영역(C1)의 접합층(300)이 연결)되는 접속불량을 근본적으로 방지할 수 있다.

- [0058] 또한, 분리된 파워 콘택(620)과 접합층(300) 사이에 면접촉을 제공함으로써 콘택 구조물(600)과 접합층(300) 사이의 접촉저항을 낮출 수 있다.
- [0059] 이에 따라, 반도체 소자의 사이즈가 축소되어 파워영역의 폭이 축소된다 할지라도 파워영역에 의해 분리되는 서로 다른 셀 영역의 게이트 구조물(500)이나 접합층(300)이 서로 연결되는 접속(short)불량을 것을 방지하고 반도체 소자(1000)의 안정적인 구동특성을 확보할 수 있다.
- [0060] 본 실시예에서는 파워영역(PA)에서의 접합 불량을 방지하기 위한 게이트 커팅 패턴(GCP)을 개시하고 있지만, 인접한 트랜지스터의 접합불량은 파워영역(PA)뿐만 아니라 상기 분리영역(PNS)에서도 발생할 수 있다. 이에 따라, 파워영역(PA)뿐만 아니라 분리영역(PNS)에 추가적으로 분리패턴을 더 배치할 수 있다.
- [0061] 도 3은 본 발명에 의한 다른 실시예에 의한 반도체 소자를 나타내는 평면도이다. 도 4a 내지 도 4f는 도 3에 도시된 반도체 소자를 각각 A-A', B-B', C-C', D-D', E-E' 및 F-F' 라인을 따라 절단한 단면도들이다. 본 실시예에서는 도 1에 도시된 반도체 소자의 분리영역(PNS)에 배치되는 추가 분리패턴(PNCP)을 제외하고는 도 1에 도시된 반도체 소자와 실질적으로 동일한 구성을 갖는다. 따라서, 도 3 내지 도 4f에서 도 1 내지 도 2e에 도시된 반도체 소자와 동일한 구성요소에 대해서는 동일한 참조부호를 사용하며 동일한 구성요소에 대한 더 이상의 상세한 설명은 생략한다.
- [0062] 도 3 및 도 4a 내지 도 4f를 참조하면, 상기 분리영역(PNS)에 배치되어 상기 피모스 영역(P) 및 엔모스 영역(N)의 상기 게이트 구조물(500) 및 상기 접합층(300)이 서로 연결되는 것을 방지하는 분리패턴(SP)이 배치된다.
- [0063] 더미 게이트 구조물을 제거하여 게이트 트렌치(GT)를 형성하고 상기 게이트 트렌치(GT)에 게이트 구조물(500)을 형성하기 전에, 분리영역(PNS)으로부터 절연막 패턴(400)을 제거하여 분리용 개구를 형성한다.
- [0064] 이때, 상기 분리용 개구는 반도체 소자(1000)의 회로 레이아웃에 따라 분리영역(PNS)의 일부 또는 전부에 형성될 수 있다. 본 실시예의 경우, 상기 분리용 개구는 상기 게이트 스페이서(240)와 인접한 게이트 트렌치(GT)로 구성될 수 있다. 따라서, 상기 분리용 개구(SO)에 형성되는 분리패턴(SP)은 단일한 셀 영역(C)에서 제1 방향(I)을 따라 이격되어 배치되는 적어도 하나 이상의 게이트 구조물(500)을 서로 분리할 수 있다.
- [0065] 상기 분리패턴(SP)은 게이트 커팅 패턴(GCP)과 실질적으로 동일한 물질로 구성된다. 본 실시예의 경우, 상기 분리패턴(SP)은 실리콘 질화물(SiN), 실리콘산화물(SiON) 및 실리콘 탄산질화물(SiOCN) 중의 어느 하나로 구성될 수 있다.
- [0066] 이에 따라, 동일한 셀 영역(C)에 형성된 엔모스 및 피모스 소자는 분리영역(PNS)에 형성된 분리패턴(SP)에 의해 게이트 구조물(500)과 접합층(300)이 강제로 분리되어 독립된 소자로 기능할 수 있다. 따라서, 셀 영역(C)의 사이즈가 축소된다 할지라도 엔모스 소자 및 피모스 소자가 서로 연결되는 접합(short) 불량을 방지할 수 있다. 이에 따라, 상기 반도체 소자(1000)를 안정적인 씨모스 소자로 구성할 수 있다.
- [0067] 도 5 내지 도 32e는 본 발명의 일 실시예에 의한 반도체 소자의 제조방법을 나타내는 도면들이다. 도 5 내지 도 32e에서, 홀수 도면은 각 공정단계에서의 평면도이며, 짝수도면은 대응하는 홀수도면에 대한 단면도들이다. 단면도인 짝수도면의 각 첨자는 대응하는 평면도인 홀수도면의 절단방향을 나타낸다. 따라서, 첨자 'a'는 대응하는 평면도의 A-A' 라인을 따라 절단한 단면도를 나타내며, 첨자 'b'는 대응하는 평면도의 B-B' 라인을 따라 절단한 단면도이다. 마찬가지로, 첨자 'c', 'd' 및 'e'는 각각 대응하는 평면도의 C-C' 라인, D-D' 라인 및 E-E' 라인을 따라 절단한 단면도들이다.
- [0068] 도 5, 도 6a 및 도 6b를 참조하면, 기판(100) 상부를 부분적으로 식각하여 리세스(R)를 형성한다. 이에 따라 기판(100) 상부로 돌출된 복수의 활성 핀들(110)이 형성될 수 있다.
- [0069] 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 반도체 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(100)은 실리콘-온-인슐레이터(SOI) 기판 또는 게르마늄-온-인슐레이터(GOI) 기판일 수 있다.
- [0070] 상기 기판(100) 상에 활성영역을 정의하기 위한 마스크 패턴(미도시)을 형성하고 상기 마스크 패턴을 식각 마스크로 이용하는 건식 식각공정을 수행하여 리세스(R)를 형성한다. 식각에 의해 리세스 된 기판 영역은 필드영역

(F)으로 제공되고, 식각되지 않고 잔류하는 기관영역은 필드영역(F)으로부터 돌출하는 활성영역(A)으로 제공된다. 이에 따라, 상기 기관(100)에는 리세스 된 필드영역과 돌출된 핀(fin) 형상의 활성영역인 활성 핀(110)이 형성된다. 본 실시예의 경우, 상기 활성 핀(110)은 제1 방향(I)을 따라 연장하는 라인 형상으로 형성된다.

- [0071] 상기 기관(100)은 트랜지스터가 배치되는 셀 영역(C)과 상기 셀 영역(C)을 서로 분리하고 트랜지스터로 파워를 공급하는 금속배선(이하, 파워레일)이 배치되는 파워영역(power area, PA)을 포함한다. 다수의 셀 영역(C)과 파워영역(PA)은 제1 방향(I)과 수직인 제2 방향(II)을 따라 교대로 형성된다. 이때, 상기 파워영역(PA)에는 서로 인접한 셀 영역(C)으로 파워를 인가하기 위한 콘택 구조물이 각각 배치되어 인접 셀 영역(C)으로 동시에 파워를 공급한다.
- [0072] 파워영역(PA)에 대하여 제1 및 제2 셀 영역(C1,C2)이 제2 방향(II)을 따라 서로 인접하게 배치되고, 상기 파워영역(PA)은 제1 셀 영역(C1)으로 파워를 인가하는 콘택 구조물이 배치되는 제1 파워영역(PA1)과 제2 셀 영역(C2)으로 파워를 인가하는 콘택 구조물이 배치되는 제2 파워영역(PA2)을 구비한다.
- [0073] 특히, 상기 셀 영역(C)은 로직 소자를 구성하는 CMOS 트랜지스터가 배치될 수 있다. 이에 따라, 제1 및 제2 셀 영역(C1,C2)은 각각 피모스(PMOS) 트랜지스터가 배치되는 피모스 영역(P) 및 엔모스(NMOS) 트랜지스터가 배치되는 엔모스 영역(N)을 포함하며, 상기 제1 및 제2 셀 영역(C1,C2)은 파워영역(PA)에 대하여 서로 대칭적으로 배치된다.
- [0074] 이에 따라, 제1 및 제2 셀 영역(C1,C2)의 피모스 영역(P)으로는 그 사이에 위치하는 파워영역(PA)으로부터 파워 신호가 인가되고 제1 및 제2 셀 영역(C1,C2)의 엔모스 영역(N)으로는 제2 방향을 따라 상부 및 하부에 위치하는 다른 파워영역의 제1 파워영역(PA1) 및 제2 파워영역(PA2)으로부터 각각 파워신호가 인가된다.
- [0075] 특히, 동일한 셀 영역에서 상기 엔모스 영역(N)과 피모스 영역(P)은 분리영역(PNS)에 의해 서로 분리되어, 동일 셀 영역에서 엔모스 트랜지스터와 피모스 트랜지스터의 접합 불량(short)을 방지할 수 있다. 따라서, 동일한 셀 영역에 서로 다른 도전형을 갖는 트랜지스터가 구비되지 않는다면, 상기 분리영역을 제공되지 않을 수 있다. 이하에서, 제1 셀 영역(C1)의 분리영역은 제1 분리영역(PNS1)으로 표시하고 제2 셀 영역(C2)의 분리영역은 제2 분리영역(PNS2)으로 표시한다.
- [0076] 상기 활성 핀(110)은 각 셀 영역(C)의 피모스 영역(P)과 엔모스 영역(N)에서 제1 방향(I)을 따라 연장하는 라인 형상으로 형성된다. 도 1에서는 피모스 및 엔모스 영역(P, N)에 하나의 활성 핀(110)이 배치된 것을 도시하고 있지만, 이는 예시적인 것이며 각 셀 영역에는 다수의 활성 핀(110)이 다양한 형상으로 분포할 수 있다.
- [0077] 도 7, 도 8a 및 도 8b를 참조하면, 상기 리세스(R)를 매립하는 소자 분리막 패턴(120)을 형성한다.
- [0078] 예를 들면, 상기 리세스(R)를 매립하기에 충분한 두께를 갖도록 절연막(미도시)을 형성하고, 상기 활성 핀(110)의 상면이 노출되도록 평탄화하여 절연패턴(미도시)을 형성한다.
- [0079] 이어서, 상기 활성 핀(110)을 덮는 마스크 패턴(미도시)을 형성한 후 상기 절연패턴을 부분적으로 제거하여 활성 핀(110)보다 낮은 상면을 갖고 필드영역(F)을 덮는 소자 분리막 패턴(120)을 형성한다. 상기 소자 분리막 패턴(120)은 실리콘 산화물과 같은 절연물질로 구성된다.
- [0080] 따라서, 활성 핀(110)을 제외한 기관(100)의 전면은 소자 분리막 패턴(120)에 의해 커버되며, 활성 핀(110)의 하부는 소자 분리막 패턴(120)에 의해 둘러싸이고 상부는 노출된다. 즉, 하부 활성 핀(110a)은 소자 분리막 패턴(120)으로 둘러싸이고 상부 활성 핀(110b)은 소자 분리막 패턴(120)의 상면으로부터 돌출된다.
- [0081] 본 실시예에서는 증착과 평탄화 공정 및 식각에 의해 상기 소자분리막 패턴(120)을 형성하는 것을 개시하고 있지만, 상기 활성영역(F)을 시드막으로 이용하는 에피택셜 성장공정에 의해 형성할 수도 있다.
- [0082] 도 9 및 도 10a 내지 도 10c를 참조하면, 소자 분리막 패턴(120)이 형성된 상기 기관(100) 상에 예비 더미 게이트 구조물(200a)을 형성한다.
- [0083] 먼저, 소자 분리막 패턴(120)으로부터 돌출된 상부 활성 핀(110b)의 형상 프로파일을 따라 소자 분리막 패턴(120)을 덮는 더미 게이트 절연막(미도시)을 형성하고 상기 더미 게이트 절연막 상에 상부 활성 핀(110b) 사이의 이격공간을 매립하기에 충분한 두께를 갖는 더미 게이트 전극막(미도시)을 형성한다.
- [0084] 예를 들면, 상기 더미 게이트 절연막은 실리콘 산화물과 같은 산화물을 포함하고, 상기 더미 게이트 전극막은 폴리실리콘을 포함하도록 형성될 수 있다. 상기 더미 게이트 절연막 및 더미 게이트 전극막은 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정과 같은 증착공정에 의해 형성될 수 있다.

- [0085] 이어서, 상기 더미 게이트 전극막을 덮는 마스크 막(미도시)을 형성 한 후 포토레지스트 패턴을 이용하는 사진 식각 공정에 의해 상기 제2 방향(II)을 따라 연장하는 라인 형상의 마스크 패턴(230)을 형성한다.
- [0086] 상기 마스크 패턴(230)을 식각 마스크로 이용하는 식각공정에 의해 상기 더미 게이트 절연막 및 더미 게이트 절연막을 차례대로 제거하여 제2 방향(II)을 따라 라인형상으로 연장하는 더미 게이트 절연패턴(210) 및 더미 게이트 전극패턴(220)을 형성한다. 이에 따라, 제2 방향(II)을 따라 연장하고 제1 방향(I)을 따라 일정한 거리만큼 이격된 예비 더미 게이트 구조물(200a)을 형성한다.
- [0087] 도 11 및 도 12a 내지 도 12c를 참조하면, 게이트 스페이서(240)에 의해 한정되는 더미 게이트 구조물(200)을 형성한다.
- [0088] 예를 들면, 예비 더미 게이트 구조물(200a)이 형성된 기판(100) 상에 예비 더미 게이트 구조물(200a)을 덮는 스페이서막(미도시)을 형성한 후, 이방성 식각공정에 의해 상기 스페이서 막을 부분적으로 제거하여 더미 게이트 전극패턴(220)과 더미 게이트 절연패턴(210)의 측부를 덮는 게이트 스페이서(240)를 형성한다. 스페이서막은 실리콘 질화물(SiN)이나 실리콘 산탄질화물(SiOCN)과 같은 질화물을 포함할 수 있다.
- [0089] 상기 스페이서막에 대한 이방성 식각공정이 진행되는 동안 더미 게이트 전극패턴(220)을 덮는 마스크 패턴(230)도 함께 제거되어 상기 게이트 스페이서(240)와 더미 게이트 전극패턴(220)은 실질적으로 동일한 상면으로 형성될 수 있다.
- [0090] 이에 따라, 상기 예비 더미 게이트 구조물(200a)은 게이트 절연패턴(210)과 더미 게이트 전극패턴(220)을 구비하고 제2 방향(II)을 따라 연장하는 라인 형상의 더미 게이트 구조물(200)로 형성되고, 더미 게이트 구조물(200)의 측부는 제2 방향(II)을 따라 연장하는 라인 형상의 게이트 스페이서(240)에 의해 커버된다. 제2 방향(II)을 따라 서로 인접한 게이트 스페이서(240) 사이에는 스페이서간 트렌치(inter-space trench, IST)가 형성되어 소자분리막 패턴(120)과 활성 핀(110)이 교대로 노출된다.
- [0091] 도 13 및 도 14a 내지 도 14c를 참조하면, 상기 스페이서간 트렌치(IST)를 매립하는 갭필 패턴(250)을 형성하여 스페이서간 트렌치(IST)를 통하여 노출된 소자 분리막 패턴(120) 및 활성 핀(110)을 덮는다.
- [0092] 예를 들면, 더미 게이트 구조물(200) 및 게이트 스페이서(240)가 구비된 기판(100)의 전면(whole surface)에 상기 게이트간 트렌치(IST)를 매립하기에 충분한 두께를 갖는 갭필막(미도시)을 형성한다. 이에 따라, 상기 더미 게이트 구조물(200) 및 게이트 스페이서(240)는 갭필막에 의해 덮인다. 상기 갭필막은 실리콘 산화물(SiO)과 같은 산화물로 구성되고 화학기상 증착공정과 같은 증착공정에 의해 형성할 수 있다.
- [0093] 이어서, 상기 갭필막을 더미 게이트 구조물(200)의 상면이 노출되도록 평탄화하여 스페이서간 트렌치(IST)를 매립하는 갭필패턴을 형성한다. 예를 들면, 화학기계적 연마(chemical mechanical polishing, CMP) 공정이나 에치백(etch-back) 공정에 의해 갭필막을 평탄화 할 수 있다. 이에 따라, 갭필 패턴(250)은 더미 게이트 구조물(200)의 상면과 실질적으로 동일한 상면을 갖고 제2 방향(II)을 따라 연장하는 라인 형상을 갖는다.
- [0094] 도 15와 도 16a 내지 도 16d를 참조하면, 게이트 커팅 마스크(미도시)를 식각 마스크로 이용하는 식각공정에 의해 파워영역(PA)에서 상기 더미 게이트 구조물(200), 상기 게이트 스페이서(240) 및 상기 갭필 패턴(250)을 제거한다. 이에 따라, 상기 파워영역(PA)을 따라 소자 분리막 패턴(120)을 노출하는 커팅 트렌치(cutting trench, CT)을 형성한다.
- [0095] 예를 들면, 더미 게이트 구조물(200)과 갭필 패턴(250)의 상면에 제1 및 제2 셀 영역(C1, C2)을 덮고 파워영역(PA)을 노출하는 게이트 커팅 마스크를 형성하고 상기 게이트 커팅 마스크를 식각 패턴으로 이용하는 식각공정을 수행하여 파워영역(PA)에 위치하는 더미 게이트 구조물(200), 게이트 스페이서(240) 및 갭필 패턴(250)을 제거한다.
- [0096] 본 실시예의 경우, 갭필 패턴(250)은 실리콘 산화물로 구성되고 게이트 스페이서(240)는 실리콘 질화물로 구성되며, 더미 게이트 구조물(200)은 실리콘 산화물과 폴리실리콘으로 구성되므로, 산화물과 질화물 및 폴리실리콘을 제거하기에 적절한 식각조건을 제어하여 파워영역(PA)으로부터 더미 게이트 구조물(200), 게이트 스페이서(240) 및 갭필패턴(250)을 제거할 수 있다. 상기 갭필패턴(250)은 파워영역(PA)을 노출하는 게이트 커팅 공정이 진행되는 동안 스페이서간 트렌치(IST)를 매립하여 활성 핀(110)을 보호한다. 따라서, 게이트 커팅 공정으로부터 스페이서간 트렌치(IST)에 형성된 활성핀(110)을 보호할 수 있다면 다양한 물질로 구성될 수 있다.
- [0097] 이에 따라, 파워영역(PA)을 중심으로 제1 셀 영역(C1)과 제2 셀 영역(C2)을 물리적으로 분리하여 서로 독립적인

셀 영역(C)을 형성할 수 있다.

- [0098] 본 실시예에서는 파워영역(PA)의 전체를 커팅 트렌치(CT)로 형성하는 것을 예시적으로 개시하고 있지만, 파워영역(PA)의 일부에만 커팅 트렌치(CT)를 형성할 수도 있다.
- [0099] 특히, 셀 영역(C)의 집적회로가 파워영역(PA)의 주변부에서 부분적으로 오버랩 되는 경우, 파워영역(PA)의 중심부에서만 커팅 트렌치(CT)가 형성되고, 파워영역(PA)의 주변부에는 더미 게이트 구조물(200)이 잔류할 수 있다.
- [0100] 도 17 및 도 18a 내지 도 18d를 참조하면, 상기 커팅 트렌치(CT)를 매립하는 게이트 커팅 패턴(GCP)을 형성한다.
- [0101] 예를 들면, 겹필패턴(250)과 더미 게이트 전극패턴(220) 및 게이트 스페이서(240)를 덮고 커팅 트렌치(CT)를 매립하기에 충분한 두께를 갖는 게이트 커팅 막(미도시)을 형성한 후 상기 더미 게이트 구조물(220)이 노출되도록 평탄화하여 상기 커팅 트렌치(CT)를 매립하는 게이트 커팅 패턴(GCP)을 형성한다.
- [0102] 예를 들면, 상기 게이트 커팅 막은 실리콘 질화물(SiN), 실리콘 산질화물(SiON) 및 실리콘 산탄질화물(SiOCN)과 같은 질화물로 구성되어 산화물로 구성된 겹필 패턴(250)과 폴리실리콘으로 구성된 더미 게이트 전극패턴(220)에 대하여 충분한 식각 선택비를 갖도록 형성한다.
- [0103] 이어서, 상기 게이트 커팅 막에 대하여 에치백이나 기계 화학적 연마공정과 같은 평탄화 공정을 수행하여 더미 게이트 전극패턴(220)이나 겹필패턴(250)이 노출되도록 제거한다.
- [0104] 이에 따라, 파워영역(PA)에는 커팅 트렌치(CT)를 매립하는 게이트 커팅패턴(GCP)이 형성되고, 각 셀 영역(C1, C2)에는 더미 게이트 전극패턴(220), 게이트 스페이서(240) 및 겹필 패턴(250)이 노출된다. 제2 방향(II)을 따라 연장하던 더미 게이트 구조물(200), 게이트 스페이서(240) 및 겹필 패턴(250)은 파워영역(PA)을 매립하고 절연성 물질로 구성되는 게이트 커팅 패턴(GCP)에 의해 각 셀(C1, C2) 단위로 분리된다.
- [0105] 특히, 게이트 커팅 패턴(GCP)에 의해 더미 게이트 구조물(200)뿐만 아니라 겹필 패턴(250)도 파워영역(PA) 단위로 분리되어, 후속공정에서 게이트 구조물(500)뿐만 아니라 접합층(300)도 파워영역(PA) 단위로 분리된다. 이에 따라, 제1 셀 영역(C1)과 제2 셀 영역(C2)의 접합층(300)이 파워영역(PA)에서 서로 연결되는 접합(short) 불량을 방지할 수 있다.
- [0106] 도 19 및 도 20a 내지 도 20d를 참조하면, 상기 셀 영역(C)으로부터 겹필 패턴(250)을 제거하여 게이트 스페이서(240) 사이의 활성 핀(110) 및 소자 분리막(120)을 노출한다.
- [0107] 예를 들면, 질화물과 같은 절연성 물질로 구성된 게이트 스페이서(240) 및 게이트 커팅 패턴(GCP)과 폴리실리콘으로 구성된 더미 게이트 전극패턴(220)에 대하여 상대적으로 높은 식각속도를 갖는 식각공정을 수행하여 산화물로 구성된 상기 겹필 패턴(250)을 제거한다.
- [0108] 이에 따라, 상기 스페이서간 트렌치(IST)는 게이트 스페이서(240)와 게이트 커팅 패턴(GCP)에 의해 한정되는 스페이서간 홀(inter-spacer hole, ISH)로 형성된다. 상기 활성 핀(110) 및 소자 분리막 패턴(120)은 스페이서간 홀(ISH)을 통하여 다시 노출된다.
- [0109] 도 21 및 도 22a 내지 도 22d를 참조하면, 상기 스페이서간 홀(ISH)을 통하여 노출된 활성 핀(110) 상에 접합층(300)을 형성한다.
- [0110] 일실시예로서, 상기 활성 리세스(AR)를 통하여 노출된 각 활성 핀(110)의 상면을 시드(seed)로 사용하는 선택적 에피택시얼 성장(Selective Epitaxial Growth: SEG) 공정을 수행하여 상기 접합층(300)을 형성할 수 있다.
- [0111] 예를 들면, 다이실란(Si2H6) 가스와 같은 실리콘 소스 가스 및 SiH3CH3 가스와 같은 탄소 소스 가스를 함께 사용하여 SEG 공정을 수행함으로써 형성될 수 있으며, 이에 따라 단결정 실리콘 탄화물(SiC) 층을 갖는 접합층(300)이 형성될 수 있다. 다른 실시예로서, 다이실란(Si2H6) 가스와 같은 실리콘 소스 가스만을 사용하여 SEG 공정을 수행하여 단결정 실리콘 층을 형성할 수도 있다.
- [0112] 이때, n형 불순물 소스 가스, 예를 들어, 포스핀(PH3) 가스 등을 함께 사용하여, 불순물이 도핑된 단결정 실리콘 탄화물 층 혹은 불순물이 도핑된 단결정 실리콘 층을 형성할 수 있다. 이에 따라, 상기 접합층(300)은 엔모스 트랜지스터의 소스영역으로 기능할 수 있다. 상기 엔모스 트랜지스터는 엔모스 영역(N)에 형성될 수 있다.
- [0113] 한편, 디클로로실란(SiH2Cl2) 가스와 같은 실리콘 소스 가스, 사수소화 게르마늄(GeH4) 가스와 같은 게르마늄

소스 가스를 함께 사용하여 SEG 공정을 수행함으로써 형성될 수도 있으며, 이에 따라 단결정 실리콘-게르마늄(SiGe) 층이 형성될 수 있다. 이때, p형 불순물 소스 가스, 예를 들어, 디보란(B₂H₆) 가스 등을 함께 사용하여, p형 불순물이 도핑된 단결정 실리콘-게르마늄 층을 형성할 수 있다. 이에 따라, 상기 접합층(300)은 피모스 트랜지스터의 소스 영역으로 기능할 수 있다. 상기 피모스 트랜지스터는 제피모스 영역(P)에 형성될 수 있다.

- [0114] 접합층(300)은 수직 및 수평 방향을 따라 등방성으로 성장하여, 상기 활성 리세스(AR)를 채울 뿐만 아니라 스페이서간 홀(ISH)의 내부에서 제2 방향(II)을 따라 성장하여 단면이 5각형 또는 6각형에 유사한 형상을 갖고 제2 방향(II)을 따라 확장할 수 있다.
- [0115] 이에 따라, 엔모스 영역(N)과 피모스 영역(P)의 내부에서 제2 방향(II)을 따라 서로 인접하게 위치하는 접합층(300)은 활성 핀(110)의 구성에 따라 선택적으로 서로 접촉할 수 있다.
- [0116] 서로 인접하는 활성 핀(110)들 사이의 거리가 충분히 작을 경우, 서로 인접하여 성장하는 접합층(300)의 측면들이 제2 방향(II)을 따라 서로 결합될 수 있다. 또한, 엔모스 영역(N)과 피모스 영역(P)의 주변부에 형성되는 접합층(300)은 제2 방향(II)을 따라 성장하여 제1 및 제2 분리영역(PNS1, PNS2)의 주변부까지 확장될 수 있다.
- [0117] 도면상에서는 피모스 영역(P)과 엔모스 영역(N)에서 단일한 활성 핀(110)만 예시적으로 도시되어 있지만, 각 영역(P, N)의 내부에는 서로 인접하는 다수의 활성 핀(110)이 배치된다. 이때, 피모스 영역(P)과 엔모스 영역(N) 내부의 활성 핀(110)의 분포 구조(distribution configuration)에 따라 서로 인접한 활성 핀(110)에 형성된 접합층은 선택적으로 제2 방향(II)을 따라 서로 결합된 하나의 접합층(300)으로 형성될 수 있다.
- [0118] 특히, 파워영역(PA)과 인접한 영역에서 제2 방향을 따라 성장하는 제1 및 제2 셀 영역(C1, C2)의 접합층(300)은 상기 게이트 커팅 패턴(GCP)에 의해 파워영역(SP)으로의 성장이 저지되고 게이트 커팅 패턴(GCP)의 측면을 따라 제3 방향(III)으로 성장하게 된다.
- [0119] 이에 따라, 접합층(300)과 게이트 커팅 패턴(GCP)은 서로 면접촉하는 평면부(A)를 구비하고 활성 핀(110)의 높이방향으로 사이즈가 커지게 된다. 이때, 활성 핀(110)으로부터 게이트 커팅 패턴(GCP)을 향하여 경사지게 에피택셜 성장이 진행되므로 게이트 커팅 패턴(GCP)과 인접하는 접합층(300) 사이에는 에어 갭(AG)이 형성된다. 도시되지는 않았지만, 피모스 영역(P) 또는 엔모스 영역(N)의 서로 인접하는 접합층(300) 사이에도 경사지게 성장하는 에피택셜 성장에 의해 에어 갭이 형성될 수 있다.
- [0120] 상기 평면부(A)는 에피택셜 성장 공정조건에 따라 다양한 크기를 가질 수 있다. 후술하는 바와 같이 평면부(A)와 콘택 구조물(600)의 파워콘택(620)이 접촉하게 되므로 허용되는 접촉저항 범위에서 적절하게 조절될 수 있다.
- [0121] 또한, 게이트 커팅 패턴(GCP) 표면에서의 성장거동 특성에 따라 균일한 평면이 아니라 부분적으로 성장이 저지되어 불균일한 평면으로 형성될 수도 있다. 이때, 상기 평면부(A)는 부분적으로 성장한 지역 에피택셜 막의 집합으로 형성될 수 있다. 뿐만 아니라, 상기 성장조건이 충분하지 않은 경우, 게이트 커팅 패턴(GCP)과 접합층이 면접촉이 아니라 점접촉을 하는 것으로 형성될 수도 있음은 자명하다.
- [0122] 게이트 커팅 패턴(GCP)과 인접하지 않는 엔모스 영역(N) 또는 피모스 영역(P)에서 형성되는 접합층(300)은 제2 방향(II)으로의 에피택셜 성장이 방해받지 않으므로 더 작은 사이즈를 갖고 인접하는 접합층(300)과 연결되거나 인접하는 접합층이 위치하지 않는 영역에서는 침탐부(point shape, B)로 형성된다. 따라서, 엔모스 영역(N)과 피모스 영역(P)을 구분하는 분리영역(PNS)에서의 접합층(300)은 게이트 커팅 패턴(GCP)과 인접한 접합층(300)과 비교하여 더 작은 사이즈와 침탐부(B)를 갖도록 형성된다.
- [0123] 특히, 게이트 커팅 패턴(GCP)과 인접한 접합층(300)은 파워영역(PA)에 배치되는 파워레일과 연결되므로, 접합층(300)의 사이즈 증가에 따라 파워레일과의 콘택을 형성하기 위한 공정마진을 높일 수 있는 장점이 있다. 또한, 게이트 커팅 패턴(GCP)에 의해 파워영역(PA)에서 제1 및 제2 셀 영역(C1, C2)의 접합층(300)이 서로 연결되는 것을 원천적으로 방지할 수 있다.
- [0124] 종래의 반도체 소자에서 임계치수와 사이즈가 충분히 작은 경우 제1 셀 영역(C1)의 접합층(300)과 제2 셀 영역(C2)의 접합층(300)이 파워영역(PA)까지 성장하여 서로 연결될 수 있다. 그러나, 본 발명에 의하면, 상기 게이트 커팅 패턴(GCP)에 의해 파워영역(PA)으로의 접합층(300) 성장이 억제되므로 파워영역(PA)의 사이즈가 축소된다 할지라도 파워영역(PA)에서 제1 및 제2 셀 영역(C1, C2)의 접합층(300)이 연결되는 것을 방지할 수 있다. 이에 따라, 제1 및 제2 셀 영역(C1, C2)이 전기적으로 연결되는 접합(short) 불량과 이로 인한 반도체 소자의 수율 불량을 현저하게 감소시킬 수 있다.

- [0125] 도 23 및 도 24a 내지 도 24d를 참조하면, 상기 더미 게이트 구조물(200)을 제거하여 제2 방향(II)을 따라 연장하고 게이트 스페이스(240)에 의해 한정되는 게이트 트렌치(GT)를 형성한다.
- [0126] 게이트 커팅 패턴(GCP), 게이트 커팅 패턴(GCP), 게이트 스페이스(240) 및 더미 게이트 구조물(200)을 덮고 상기 스페이스간 홀(ICH)을 매립하기에 충분한 두께를 갖도록 절연막(미도시)을 형성한다. 예를 들면, 절연막(400)은 실리콘 산화물과 같은 산화물을 이용하는 증착공정에 의해 형성할 수 있다.
- [0127] 이어서, 평탄화 공정에 의해 상기 더미 게이트 구조물(200)의 상면이 노출되도록 상기 절연막을 부분적으로 제거하여 접합층(300)을 덮도록 스페이스간 홀(ICH)을 매립하는 절연막 패턴(400)을 형성한다.
- [0128] 이에 따라, 게이트 커팅 패턴(GCP), 더미 게이트 구조물(200) 및 절연막 패턴(400)은 서로 동일한 상면을 갖도록 형성된다. 예를 들면, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정 및/또는 에치 백 공정에 의해 수행될 수 있다.
- [0129] 이어서, 상기 게이트 커팅 패턴(GCP)과 게이트 스페이스(240)에 의해 한정된 더미 게이트 전극패턴(220) 및 더미 게이트 절연패턴(210)을 차례대로 제거하여 제1 및 제2 셀 영역(C1,C2)에서 제2 방향을 따라 연장하는 게이트 트렌치(GT)를 형성한다.
- [0130] 질화물로 구성되는 게이트 커팅 패턴(GCP)과 게이트 스페이스(240)를 식각 마스크로 이용하는 건식 또는 습식 식각에 의해 폴리실리콘과 산화물로 구성되는 상기 더미 게이트 전극패턴(220) 및 더미 게이트 절연패턴(210)을 제거할 수 있다. 이때, 상기 접합층(300)은 절연막 패턴(400)에 의해 보호된다.
- [0131] 상기 게이트 트렌치(GT)는 제1 방향으로서는 게이트 스페이스(240)에 의해 한정되고 제2 방향으로서는 게이트 커팅 패턴(GCP)에 의해 한정되며, 게이트 트렌치(GT)를 통하여 소자 분리막 패턴(120) 및 활성 핀(110)이 노출된다.
- [0132] 도 25 및 도 26a 내지 도 26d를 참조하면, 상기 게이트 트렌치(GT)를 매립하는 게이트 구조물(500)을 형성한다.
- [0133] 예를 들면, 상기 게이트 트렌치(GT)를 통하여 노출된 활성 핀(110), 소자 분리막 패턴(120), 게이트 스페이스(240)와 절연막 패턴(400) 및 게이트 커팅 패턴(GCP) 상에 게이트 절연막(미도시) 및 일함수 조절막(미도시)을 순차적으로 형성하고, 상기 게이트 트렌치(GT)의 나머지 부분을 매립하는 게이트 전극막을 상기 일함수 조절막 상에 형성한다. 바람직하게는, 상기 활성 핀(110)과 게이트 절연막 사이에 인터페이스 막(미도시)을 더 형성할 수도 있다.
- [0134] 예를 들면, 게이트 절연막은 하프늄 산화물(HfO₂), 탄탈륨 산화물(Ta₂O₅), 지르코늄 산화물(ZrO₂) 등과같은 고유전율을 갖는 금속 산화물을 포함하도록 형성할 수 있으며, 화학 기상 증착(CVD) 공정 또는 원자층 증착(ALD) 공정에 의해 형성될 수 있다. 일함수 조절막은 예를 들어, 티타늄 질화물(TiN), 티타늄 알루미늄(TiAl), 티타늄 알루미늄 질화물(TiAlN), 탄탈륨 질화물(TaN), 탄탈륨 알루미늄 질화물(TaAlN) 등과 같은 금속질화물 혹은 합금을 포함하도록 형성될 수 있으며, 상기 게이트 전극막은 예를 들어, 알루미늄(Al), 구리(Cu), 탄탈륨(Ta) 등의 저 저항 금속과 이의 질화물을 포함하도록 형성될 수 있다. 이때, 상기 일함수 조절막 및 상기 게이트 전극막은 화학 기상 증착(CVD) 공정, 원자층 증착(ALD) 공정, 물리 기상 증착(PVD) 공정 등을 통해 형성될 수 있다. 이후, 상기 게이트 전극막에 대해 금속 열처리(Rapid Thermal Annealing: RTA) 공정, 스파이크RTA(spike-RTA) 공정, 플래시 RTA 공정 또는 레이저 어닐링(laser annealing) 공정 등과 같은 열처리 공정을 더 수행할 수도 있다.
- [0135] 이어서, 절연막 패턴(400)과 게이트 커팅 패턴(GCP)의 상면이 노출될 때까지, 상기 게이트 전극막, 상기 일함수 조절막 및 상기 게이트 절연막을 평탄화한다. 이에 따라, 활성 핀(110)의 상면과 측면, 소자 분리막 패턴(120)의 상면 및 게이트 스페이스(240)의 내측벽 상에 순차적으로 적층된 게이트 절연막 패턴(510) 및 일함수 조절막 패턴(520)을 형성한다. 상기 일함수 조절막 패턴(520) 상에 게이트 트렌치(GT)의 나머지 부분을 채우는 게이트 전극(530)을 형성할 수 있다.
- [0136] 이에 따라, 게이트 전극(530)의 저면 및 측벽은 일함수 조절막 패턴(520)에 의해 커버될 수 있다. 예시적인 실시예들에 따르면, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정 및/또는 에치 백 공정에 의해 수행될 수 있다.
- [0137] 순차적으로 적층된 게이트 절연막 패턴(510), 일함수 조절막 패턴(520) 및 게이트 전극(530)은 반도체 소자(1000)의 게이트 신호가 전송되는 게이트 구조물(500)을 구성하고, 접합층(300)과 함께 엔모스 또는 피모스 트랜지스터를 형성할 수 있다. 본 실시예의 경우, 엔모스 또는 피모스 트랜지스터는 게이트 구조물(500)이 소자

분리막 패턴(120)의 상면으로 돌출하여 채널층이 확장된 핀셋 소자로 형성된다.

- [0138] 이에 따라, 제2 방향을 따라 서로 인접한 게이트 구조물(500)은 파워영역(PA)에 형성된 게이트 커팅 패턴(GCP)에 의해 서로 분리된다. 뿐만 아니라, 게이트 구조물(500)과 인접한 접합층(300)도 게이트 커팅 패턴(GCP)에 의해 제2 방향(II)을 따라 서로 분리된다.
- [0139] 따라서, 제1 및 제2 셀 영역(C1,C2)에 형성된 게이트 구조물(500)은 파워영역(PA)에 형성된 게이트 커팅 패턴(GCP)에 의해 서로 분리되어, 게이트 구조물(500) 사이의 접합(short) 불량을 방지할 수 있다. 또한, 게이트 커팅 패턴(GCP)에 의해 제1 및 제2 영역(C1,C2)에 형성된 접합층(300)도 강제 분리되므로 파워영역(PA)에서 접합층(300)이 연결되는 접합(shot) 불량을 방지할 수 있다.
- [0140] 도 27 및 도 28a 내지 도 28e를 참조하면, 피모스 영역(P) 및 엔모스 영역(N)으로부터 상기 접합층(300)을 노출하는 제1 콘택 홀(CTH1) 및 파워영역(PA)으로부터 소자 분리막(120)을 노출하는 제2 콘택 홀(CTH2)을 동시에 형성한다.
- [0141] 절연막 패턴(400), 게이트 구조물(500) 및 게이트 커팅 패턴(GCP)을 덮도록 게이트 캡핑막(미도시)과 제1 층간 절연막(미도시)을 차례대로 형성한 후 상기 절연막 패턴(400) 및 게이트 커팅 패턴(GCP)이 노출되도록 제거하여 제2 방향(II)을 따라 연장하는 라인 형상의 게이트 캡핑 패턴(550) 및 제1 층간절연막 패턴(ILD1)을 형성한다.
- [0142] 본 실시예의 경우, 상기 게이트 캡핑막은 실리콘 질화물과 같은 질화물로 형성되고, 상기 제1 층간 절연막은 절연막 패턴(400)과 실질적으로 동일한 물질로 형성될 수도 있고 서로 다른 물질로 형성될 수도 있다. 본 실시예의 경우, 상기 제1 층간절연막은 절연막 패턴(400)과 동일한 실리콘 산화물로 구성된다.
- [0143] 이어서, 파워영역(PA)의 주변부로부터 상기 게이트 커팅 패턴(GCP)을 부분적으로 제거하여 파워영역(PA)으로부터 소자분리막을 노출하는 제2 콘택 홀(CTH2)을 형성한다. 게이트 커팅 패턴(GCP)은 폭이 축소되어 파워영역(PA)의 중앙부에만 잔류하는 잔류 커팅 패턴(RCP)으로 형성된다. 이때, 상기 절연막 패턴(400)은 마스크 패턴(미도시)에 의해 보호될 수 있다.
- [0144] 제2 콘택 홀(CTH2)을 형성한 후 게이트 스페이서(240)와 잔류 커팅 패턴(RCP)을 식각 마스크로 이용하는 식각공정에 의해 절연막 패턴(400)을 부분적으로 제거하여 피모스 영역(P) 및 엔모스 영역(N)에 형성된 접합층(300)을 노출하는 제1 콘택 홀(CTH1)을 형성한다.
- [0145] 이때, 피모스 영역(P) 및 엔모스 영역(N)을 분리하는 분리영역(PNS)을 덮는 절연막 패턴(400)은 잔류하도록 식각되어 피모스 영역(P)의 접합층(300)을 노출하는 제1 콘택 홀(CTH1)인 피모스 콘택 홀(PCTH)과 엔모스 영역(N)의 접합층(300)을 노출하는 제1 콘택 홀(CTH1)인 엔모스 콘택 홀(NCTH)은 분리영역(PNS)을 덮는 절연막 패턴(400)에 의해 서로 분리된다.
- [0146] 또한, 상기 게이트 커팅 패턴(GCP)은 파워영역(PA)의 중앙부에만 잔류하도록 제1 셀 영역(C1)의 제1 콘택 홀(CTH1)과 제2 셀 영역(C2)의 제2 콘택 홀(CTH2)은 잔류 분리패턴(RCP)에 의해 서로 분리된다.
- [0147] 이후, 선택적으로, 상기 제1 콘택 홀(CTH1)을 통해 노출된 접합층(300)의 상면에 금속 실리사이드층을 더 형성할 수도 있다.
- [0148] 본 실시예에서는 상기 제1 콘택 홀(CTH1)이 피모스 영역(P) 및 엔모스 영역(N)에서 제2 방향(II)을 따라 연속적으로 형성되는 것을 개시하고 있지만, 상기 활성 핀(110)에 형성되어 소스 전극으로 기능하는 접합층(300)만 선택적으로 노출하도록 제2 방향(II)을 따라 단속적으로 형성될 수도 있다.
- [0149] 도 29 및 도 30a 내지 도 30e를 참조하면, 상기 제1 및 제2 콘택 홀(CTH1,CTH2)을 도전성 물질로 매립하여 셀 영역(C)에서 접합층(300)과 접촉하고 파워영역(PA)까지 연장하는 도전성 구조물인 콘택 구조물(600)을 형성한다.
- [0150] 예를 들면, 제1 및 제2 콘택 홀(CTH1,CTH2)의 측벽을 덮고 절연막 패턴(400)과 제1 층간 절연막 패턴(ILD1)을 덮도록 상기 제1 및 제2 콘택 홀(CTH1,CTH2)의 형상 프로파일을 따라 베리어막(미도시)을 형성한다. 이어서, 상기 베리어막에 의해 한정된 상기 제1 및 제2 콘택 홀(CTH1,CTH2)의 내부를 매립하도록 상기 베리어막을 덮는 도전막을 형성한다.
- [0151] 예를 들면, 상기 베리어막은 탄탈륨이나 티타늄과 같은 금속 및 이들의 질화물로 형성될 수 있다. 상기 도전막은 텅스텐, 구리 및 알루미늄과 같은 저저항 금속으로 형성될 수 있다.

- [0152] 상기 제1 층간절연막 패턴(ILD1)이 노출되도록 상기 도전막과 베리어막을 평탄화하여 제1 및 제2 콘택 홀(CTH1,CTH2)을 매립하고 제2 방향(II)을 따라 파워영역(PA)과 셀 영역(C)을 교대로 통과하는 도전라인(미도시)을 형성한다. 이어서, 상기 도전라인을 절연막 패턴(400) 및 잔류 커팅 패턴(RCP)의 상면이 드러나도록 추가적으로 평탄화하여 피모스 영역(P) 및 엔모스 영역(N)에만 잔류하는 콘택 구조물(600)을 형성한다. 따라서, 상기 콘택 구조물(600)은 절연막 패턴(400) 및 잔류 커팅 패턴(RCP)과 동일한 상면을 갖도록 형성된다.
- [0153] 상기 콘택 구조물(600)은 피모스 영역(P) 및 엔모스 영역(N)에서 상기 접합층(300)과 접촉하는 셀 콘택(610) 및 상기 파워영역(PA)에서 상기 소자 분리막(120) 상에 형성되고 셀 콘택(610)과 연결되는 파워 콘택(620)으로 구성된다.
- [0154] 셀 콘택(610)은 엔모스 영역(N) 및 피모스 영역(P)에서 접합층(300)과 연결되고 파워 콘택(620)은 셀 콘택(610)으로부터 파워영역(PA)까지 연장된다. 이때, 파워콘택(620)은 제2 방향(II)을 따라 잔류 커팅 패턴(RCP)에 대해 대칭적으로 위치하도록 잔류 커팅 패턴(RCP)에 의해 서로 분리된다. 따라서, 제1 셀 영역(C1)의 파워 콘택(620)과 제2 셀 영역(C2)의 파워 콘택(620)은 잔류 커팅 패턴(RCP)에 의해 물리적으로 분리되어 배치된다. 이에 따라, 제1 셀 영역(C1)의 접합층(300)과 제2 셀 영역(C2)의 접합층(300)이 파워영역(PA)에서 연결되는 접합(short)불량이 방지된다.
- [0155] 후술하는 바와 같이, 상기 파워콘택(620)은 피모스 및 엔모스 영역(P,N)에 배치된 다수의 트랜지스터들로 파워 신호를 인가하는 도전라인인 파워레일(700)과 동시에 접촉한다.
- [0156] 따라서, 제1 셀 영역(C1)과 제2 셀 영역(C2)의 접합층(300)은 잔류 분리패턴(RSP)에 의해 전기적으로 분리되고, 셀 콘택(610)과 연결되는 파워콘택(620)은 파워영역(PA)에 배치되어 제1 방향(I)을 따라 연장하는 파워레일(700)과 연결된다. 이에 따라, 파워영역(PA)을 기준으로 인접하는 제1 및 제2 셀 영역(C1,C2)의 접합층(300)이 접속되는 것은 방지하고 파워신호는 단일한 파워레일(700)을 이용하여 동시에 인가할 수 있다. 즉, 단일한 파워레일(700)로부터 제1 및 제2 셀 영역(C1,C2)에 형성된 트랜지스터들로 동시에 파워신호를 인가할 수 있다.
- [0157] 도 31 및 도 32a 내지 도 32e를 참조하면, 상기 콘택 구조물(600)과 제1 층간 절연막 패턴(ILD1)을 덮고 상기 콘택공간(CS)을 매립하는 제2 층간 절연막 패턴(ILD2)과 제2 층간 절연막 패턴(ILD2)과 동일한 상면을 갖고 파워영역(PA)에서 제1 층간절연막 패턴(ILD1) 및 파워콘택(620)과 잔류 커팅 패턴(RCP)과 접촉하는 파워레일(700)을 형성한다.
- [0158] 예를 들면, 상기 콘택 구조물(600)과 제1 층간 절연막 패턴(ILD1)을 덮는 제2 층간절연막(미도시)을 형성한 후, 상기 파워영역(PA)에 대응하는 제2 층간절연막을 부분적으로 제거하여 파워영역(PA)을 덮는 제1 층간절연막 패턴(ILD1)과 파워 콘택(620) 및 잔류 커팅 패턴(RCP)을 형성한다. 이에 따라, 제1 방향(I)을 따라 상기 파워영역(PA)을 노출하는 파워 트렌치(미도시)를 구비하는 제2 층간 절연막 패턴(ILD2)을 형성한다.
- [0159] 본 실시예의 경우, 상기 제2 층간 절연막은 실리콘 산화물을 포함하도록 형성될 수 있다. 이와 달리, 제2 층간 절연막은 저유전 물질, 예를 들어, 탄소가 도핑된 실리콘 산화물(SiCOH), 불소가 도핑된 실리콘 산화물(F-SiO₂), 다공성 실리콘 산화물, 스핀 온 유기 폴리머, HSSQ, MSSQ 등과 같은 무기 폴리머 등을 포함하도록 형성될 수도 있다.
- [0160] 이어서, 상기 제2 층간 절연막 패턴(ILD2)의 상면에 파워 트렌치를 덮기에 충분한 두께를 갖는 파워 도전막(미도시)을 형성하고 평탄화 공정에 의해 제2 층간 절연막 패턴(ILD2)이 노출되도록 상기 파워 도전막을 제거한다. 예를 들면, 상기 파워 도전막은 파워 트렌치의 측벽과 바닥면을 덮는 파워 베리어막과 상기 파워 베리어막에 의해 한정되는 파워 트렌치의 내부를 매립하는 파워 도전라인으로 구성될 수 있다. 파워 베리어막은 탄탈륨이나 티타늄과 같은 금속이나 이들의 질화물을 포함할 수 있으며, 파워 도전라인은 텅스텐, 구리 및 알루미늄과 같은 저저항 금속으로 형성될 수 있다.
- [0161] 이에 따라, 파워 콘택(620) 및 잔류 커팅 패턴(RCP)과 접촉하는 파워 플러그(710) 및 상기 파워 플러그(710)와 일체로 연결되어 상기 제1 층간절연막 패턴(ILD1)을 덮고 상기 제1 방향(I)을 따라 연장하는 파워라인(720)을 구비하는 파워레일(700)을 형성할 수 있다.
- [0162] 상기 파워 플러그(710)는 파워콘택(620) 및 잔류 커팅 패턴(RCP)과 접촉하고 제1 층간절연막 패턴(ILD1)과 동일한 상면을 갖는 기둥형상을 갖고, 상기 파워라인(720)은 제1 층간절연막 패턴(ILD1) 및 파워 플러그(710)의 상면과 접촉하며 제1 방향을 따라 연장하는 라인 형상을 갖는다. 파워라인(720)은 외부와 연결되어 상기 반도체 소자(1000)를 구동하기 위한 구동파워가 전송되고, 상기 구동파워는 상기 파워 플러그(710)와 제1 및 제2 셀 영

역(C1,C2)과 파워영역(PA)의 경계영역에 형성된 파워콘택(620)을 통하여 제1 및 제2 셀 영역(C1,C2)의 피모스 소자들로 동시에 인가된다. 즉, 한 쌍의 파워콘택(620)에 의해 제1 영역(C1)의 피모스 소자와 제2 영역(C2)의 피모스 소자로 동시에 파워를 인가하게 된다.

- [0163] 이후, 상기 제2 층간 절연막 패턴(ILD2)과 파워레일(700)을 덮는 다수의 추가 층간 절연막 패턴과 상기 추가 층간 절연막 패턴들을 관통하여 상기 셀 영역(C)의 트랜지스터들과 전기적으로 연결되는 다수의 콘택 구조물 및 배선 구조물을 더 형성할 수 있다.
- [0164] 예를 들면, 상기 게이트 구조물(500)에 대하여 상기 접합층(300)과 대칭인 다른 접합층(미도시)과 연결되는 추가 콘택 구조물(미도시) 및 상기 추가 콘택 구조물과 연결되는 배선 구조물(미도시)을 더 형성할 수 있다. 예를 들면, 상기 접합층(300)은 씨모스 소자의 소스층일 수 있으며, 상기 추가 접합층은 씨모스 소자의 드레인층일 수 있다. 또한, 상기 배선 구조물은 상기 드레인층과 연결된 비트라인일 수 있다. 이에 따라, 상기 반도체 소자(1000)를 완성할 수 있다.
- [0165] 상술한 바와 같은 반도체 소자의 제조방법에 의하면, 파워영역(PA)에 의해 구분되는 각 셀 영역으로부터 파워영역으로 성장하는 접합층(300)은 파워영역에 형성된 게이트 커팅 패턴(GCP)에 의해 성장이 저지되어 접합층(300)의 결합으로 인한 접합(short)불량을 방지할 수 있다. 또한, 제1 및 제2 셀 영역(C1,C2)에 형성된 게이트 구조물(500)은 파워영역(PA)에 형성된 게이트 커팅 패턴(GCP)에 의해 서로 분리되어 인접한 게이트 구조물(500) 사이의 접합(short) 불량을 방지할 수 있다.
- [0166] 뿐만 아니라, 접합층(300)으로 파워를 인가하는 파워콘택(620)을 게이트 커팅 패턴(GCP)의 양 측부에 대칭적으로 형성하여 제1 셀 영역(C1)으로 파워신호를 인가하는 파워콘택(620)과 제2 셀 영역(C2)으로 파워를 인가하는 파워콘택(620)이 서로 분리되어 제1 및 제2 셀 영역(C1,C2)의 접합층(300)이 서로 연결되는 것을 근본적으로 방지할 수 있다.
- [0167] 이에 따라, 반도체 소자의 사이즈가 축소되어 파워영역의 폭이 축소된다 할지라도 파워영역에 의해 분리되는 서로 다른 셀 영역의 게이트 구조물(500)이나 접합층(300)이 서로 연결되는 접속(short)불량을 것을 방지함으로써 반도체 소자(1000)의 수율을 현저하게 높일 수 있다.
- [0168] 본 실시예에서는 서로 다른 셀 영역(C)의 게이트 구조물(500)이나 접합층(300)이 파워영역(PA)에서 연결되는 것을 방지하기 위한 게이트 커팅 패턴(GCP)을 개시하지만, 게이트 구조물(500)이나 접합층(300)은 셀 경계영역인 파워영역(PA)뿐만 아니라 피모스 영역(P)과 엔모스 영역(N)의 경계영역인 분리영역(PNS)에서도 접합 불량을 야기할 수 있다. 이에 따라, 파워영역(PA)뿐만 아니라 분리영역(PNS)에 추가적으로 분리패턴을 더 형성할 수 있다.
- [0169] 도 33 내지 도 40f는 본 발명의 다른 실시예에 의한 반도체 소자의 제조방법을 나타내는 도면이다. 도 34 내지 도 40f에서, 홀수 도면은 각 공정단계에서의 평면도이며, 짝수도면은 대응하는 홀수도면에 대한 단면도들이다. 단면도인 짝수도면의 각 첨자는 대응하는 평면도인 홀수도면의 절단방향을 나타낸다. 따라서, 첨자 'a'는 대응하는 평면도의 A-A' 라인을 따라 절단한 단면도를 나타내며, 첨자 'b'는 대응하는 평면도의 B-B' 라인을 따라 절단한 단면도이다. 마찬가지로, 첨자 'c', 'd', 'e' 및 'f'는 각각 대응하는 평면도의 C-C' 라인, D-D' 라인, E-E'라인 및 F-F' 라인을 따라 절단한 단면도들이다.
- [0170] 도 33 및 도 34a 내지 도 34d를 참조하면, 도 5 내지 도 24d를 참조하여 설명한 바와 동일한 공정을 통하여 게이트 트렌치(GT)를 형성한 후, 상기 분리영역(PNS)으로부터 절연막 패턴(400)을 제거하여 분리용 개구(separating opening, SO)를 형성한다.
- [0171] 예를 들면, 제1 방향을 따라 연장하는 분리영역(PNS)의 전부 또는 일부를 노출하고 피모스 및 엔모스 영역(P, N)과 파워영역(PA)을 덮는 추가 게이트 커팅 마스크(AGCM)를 형성한다. 이에 따라, 상기 게이트 트렌치(GT)는 추가 게이트 커팅 마스크(AGCM)로 매립된다.
- [0172] 추가 게이트 커팅 마스크(AGCM)를 식각 마스크로 이용하는 건식 식각 공정에 의해 분리영역(PNS)으로부터 게이트 스페이서(240) 및 절연막 패턴(400)을 일부 또는 전부를 제거한다. 이에 따라, 제1 방향을 따라 소자 분리막(120)을 노출하는 분리용 개구(SO)를 형성한다.
- [0173] 이때, 상기 분리용 개구(SO)는 반도체 소자(1000)의 회로 레이아웃에 따라 분리영역(PNS)의 일부 또는 전부에 형성될 수 있다. 본 실시예의 경우, 상기 분리용 개구(SO)는 제1 방향(I)을 따라 정렬하는 게이트 트렌치(GT) 및 접합층(300)의 일부에 걸치도록 형성된다. 또한, 상기 분리용 개구(SO)는 분리영역(PNS)으로 돌출하도록 형

성된 피모스 영역(P) 및 엔모스 영역(N)의 접합층(300) 사이에 위치하도록 형성된다.

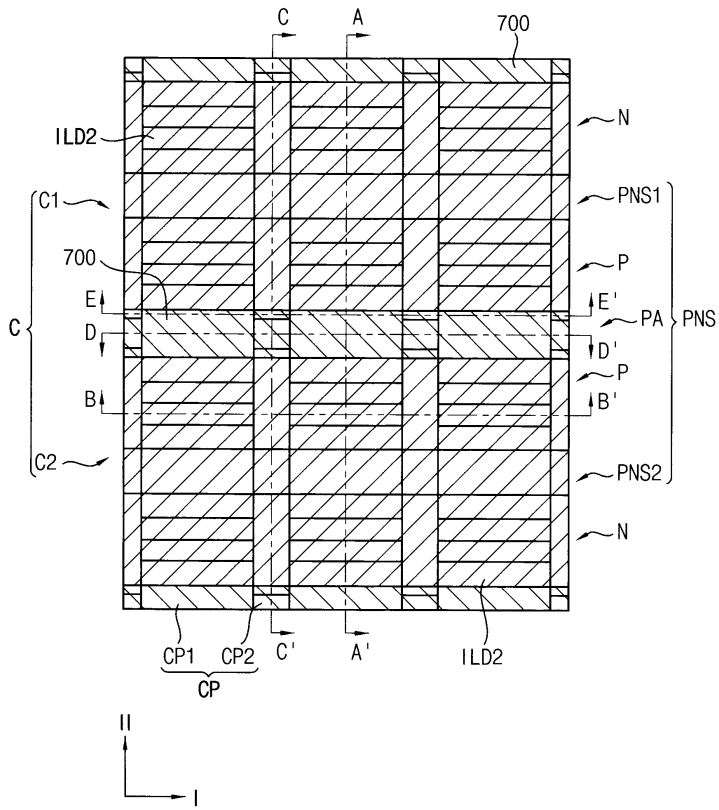
- [0174] 셀 사이즈의 축소에 따라 상기 접합층(300)의 사이즈가 축소되는 경우 피모스 소자와 엔모스 소자의 게이트 라인이 분리영역(PNS)에서 충분히 분리되지 않거나, 엔모스 영역(N) 및 피모스 영역(P)으로부터 각각 성장한 접합층(300)이 상기 분리영역(PNS)에서 서로 연결될 수 있다. 이에 따라, 엔모스 소자 및 피모스 소자의 게이트 구조물이나 접합층이 충분히 분리되지 않는 접합(short) 불량 발생을 방지할 수 있다.
- [0175] 그러나, 본 발명의 경우, 후술하는 바와 같이 추가 게이트 커팅 공정에 의해 분리영역(PNS)에 피모스 소자의 게이트 라인 및 접합층과 엔모스 소자의 게이트 라인 및 접합층을 강제로 분리할 수 있는 분리패턴(separation pattern, SP)을 형성함으로써 셀 사이즈 축소에 불구하고 피모스 소자와 엔모스 소자의 접합 불량을 방지할 수 있다.
- [0176] 도 35 및 도 36a 내지 도 36d를 참조하면, 분리용 개구(SO)를 매립하여 분리영역(PNS)에서 피모스 영역(P)과 엔모스 영역(N)을 서로 분리하는 분리패턴(separation pattern, SP)을 형성한다.
- [0177] 예를 들면, 분리용 개구(SO)를 매립하기에 충분한 두께를 갖는 추가 껍질막(미도시)을 추가 게이트 커팅 마스크(AGCM) 상에 형성한 후, 게이트 스페이서(240), 절연막 패턴(400) 및 게이트 커팅 패턴(GCP)이 노출되도록 평탄화 한다. 이에 따라, 상기 추가 껍질막은 분리용 개구(SO)의 내부에만 잔류하여 피모스 영역(P)과 엔모스 영역(N)을 분리하는 분리패턴(SP)으로 형성된다.
- [0178] 상기 추가 껍질막은 게이트 커팅 패턴(GCP)을 형성하는 껍질막과 실질적으로 동일한 물질로 형성될 수 있다. 본 실시예의 경우, 상기 분리패턴(SP)은 실리콘 질화물(SiN), 실리콘 산질화물(SiON) 및 실리콘 탄산질화물(SiOCN)과 같은 질화물로 형성될 수 있다.
- [0179] 이후, 게이트 트렌치(GT)를 매립하는 추가 게이트 커팅 마스크(AGCM)를 제거함으로써 게이트 트렌치(GT)를 다시 노출한다.
- [0180] 도 37 및 도 38a 내지 도 38d를 참조하면, 게이트 트렌치(GT)를 매립하는 게이트 구조물(500)을 형성한다.
- [0181] 예를 들면, 게이트 트렌치(GT)를 통하여 노출된 활성 핀(110), 소자 분리막 패턴(120), 게이트 스페이서(240)와 절연막 패턴(400), 게이트 커팅 패턴(GCP) 및 분리패턴(SP) 상에 게이트 절연막(미도시) 및 일함수 조절막(미도시)을 순차적으로 형성하고, 상기 게이트 트렌치(GT)의 나머지 부분을 매립하는 게이트 전극막을 상기 일함수 조절막 상에 형성한다. 바람직하게는, 상기 활성 핀(110)과 게이트 절연막 사이에 인터페이스 막(미도시)을 더 형성할 수도 있다.
- [0182] 이어서, 절연막 패턴(400), 게이트 커팅 패턴(GCP) 및 분리패턴(SP)의 상면이 노출될 때까지, 상기 게이트 전극막, 상기 일함수 조절막 및 상기 게이트 절연막을 평탄화한다. 이에 따라, 활성 핀(110)의 상면과 측면, 소자 분리막 패턴(120)의 상면 및 게이트 스페이서(240)의 내측벽 상에 순차적으로 적층된 게이트 절연막 패턴(510) 및 일함수 조절막 패턴(520)을 형성한다. 상기 일함수 조절막 패턴(520) 상에 게이트 트렌치(GT)의 나머지 부분을 채우는 게이트 전극(530)을 형성할 수 있다.
- [0183] 특히, 분리영역(PNS)에 형성된 분리패턴(SP)에 의해 피모스 소자 및 엔모스 소자의 게이트 구조물(500)과 접합층(300)이 충분히 분리되어 셀 사이즈가 축소된다 할지라도 접합(short) 불량을 방지하고 반도체 소자(1000)의 안정성을 높일 수 있다.
- [0184] 상기 게이트 구조물(500)을 형성하는 것은 도 25 내지 26d를 참조하여 설명한 게이트 구조물의 형성방법과 실질적으로 동일하다. 따라서, 게이트 구조물 형성에 관한 더 이상의 상세한 설명은 생략한다.
- [0185] 이후, 도 39 및 도 40a 내지 도 40f에 도시된 바와 같이, 도 27 내지 도 32e를 참조하여 설명한 바와 같은 공정을 수행하여 제1 및 제2 콘택 홀(CTH1, CTH2)을 매립하고 제1 층간 절연막 패턴(ILD1)에 의해 구분되는 콘택 구조물(600)과 제1 층간 절연막 패턴(ILD1) 상에 형성되는 제2 층간 절연막 패턴(ILD2)에 의해 구분되고 파워영역(PA)에서 제1 방향(1)을 따라 연장하여 다수의 콘택 구조물(600)과 접속하는 파워레일(700)을 형성한다.
- [0186] 제1 층간 절연막 패턴(ILD1), 콘택 구조물(600) 및 제2 층간 절연막 패턴(ILD2)을 형성하는 공정에 대한 더 이상의 상세한 설명은 생략한다.
- [0187] 이에 따라, 동일한 셀 영역(C)에 형성된 엔모스 및 피모스 소자는 분리영역에 형성된 분리패턴(SP)에 의해 게이트 구조물(500)과 접합층(300)이 강제로 분리되어 독립된 소자로 기능할 수 있다. 따라서, 셀 영역(C)의 사이즈가 축소된다 할지라도 엔모스 소자 및 피모스 소자가 서로 연결되는 접합(short) 불량을 방지하고 안정적인 씨

모스 소자를 형성 할 수 있다.

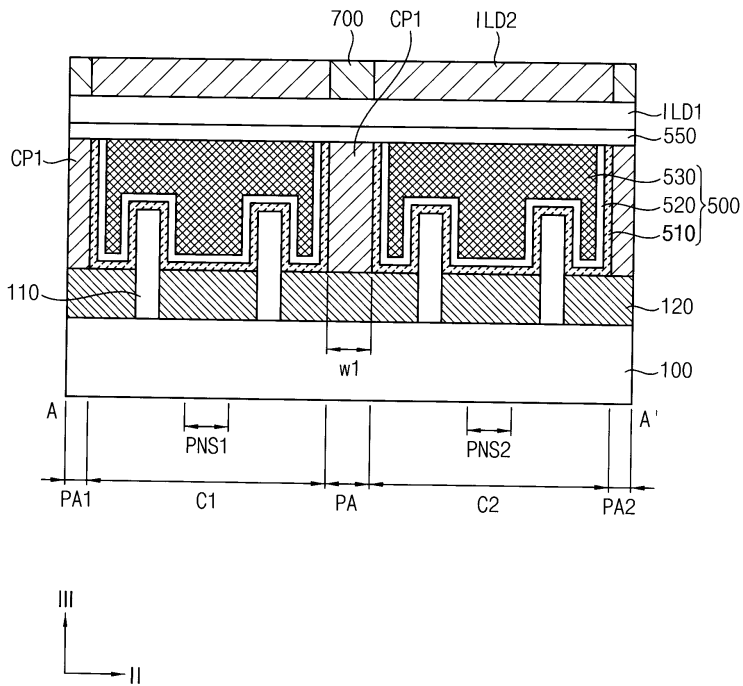
- [0188] 상술한 바와 같은 반도체 소자 및 이의 제조방법에 의하면, 파워영역(PA)에 의해 구분되는 각 셀 영역으로부터 파워영역으로 성장하는 접합층(300)은 파워영역에 형성된 게이트 커팅 패턴(GCP)에 의해 성장이 저지되어 접합층(300)의 결합으로 인한 접합(short)불량을 방지할 수 있다. 또한, 제1 및 제2 셀 영역(C1,C2)에 형성된 게이트 구조물(500)은 파워영역(PA)에 형성된 게이트 커팅 패턴(GCP)에 의해 서로 분리되어 인접한 게이트 구조물(500) 사이의 접합(short) 불량을 방지할 수 있다.
- [0189] 또한, 동일한 셀 영역(C)에 형성된 엔모스 및 피모스 소자는 분리영역에 형성된 분리패턴(SP)에 의해 게이트 구조물(500)과 접합층(300)이 강제로 분리되어 독립된 소자로 기능할 수 있다. 이에 따라, 셀 영역(C)의 사이즈가 축소된다 할지라도 엔모스 소자 및 피모스 소자가 서로 연결되는 접합(short) 불량을 방지하고 안정적인 씨모스 소자를 형성 할 수 있다.
- [0190] 뿐만 아니라, 접합층(300)으로 파워를 인가하는 파워콘택(620)을 게이트 커팅 패턴(GCP)의 양 측부에 대칭적으로 형성하여 제1 셀 영역(C1)으로 파워신호를 인가하는 콘택 구조물과 제2 셀 영역(C2)의 접합층(300)이 연결(또는, 제2 셀 영역(C2)으로 파워신호를 인가하는 콘택 구조물과 제1 셀 영역(C1)의 접합층(300)이 연결)되는 접속불량을 근본적으로 방지할 수 있다.
- [0191] 이에 따라, 반도체 소자의 사이즈가 축소되어 파워영역의 폭이 축소된다 할지라도 파워영역에 의해 분리되는 서로 다른 셀 영역의 게이트 구조물(500)이나 접합층(300)이 서로 연결되는 접속(short)불량을 것을 방지할 수 있다.
- [0192] 특히, 상술한 바와 같은 파워영역(PA) 및/또는 분리영역(PNS)에 게이트 커팅 패턴(GCP)이나 분리패턴(SP)이 추가된 씨모스 소자를 표준 셀로 형성하여 표준 셀 라이브러리에 저장하는 경우, 파워영역(PA) 및 분리영역(PNS)에서의 접합 불량이 개선된 씨모스 소자를 구비하는 로직소자의 제조공정을 표준화 할 수 있다. 이에 따라, 파워영역(PA) 및 분리영역(PNS)에서의 접합 불량이 감소된 로직 소자를 안정적으로 제조할 수 있다.
- [0193] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

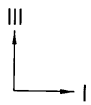
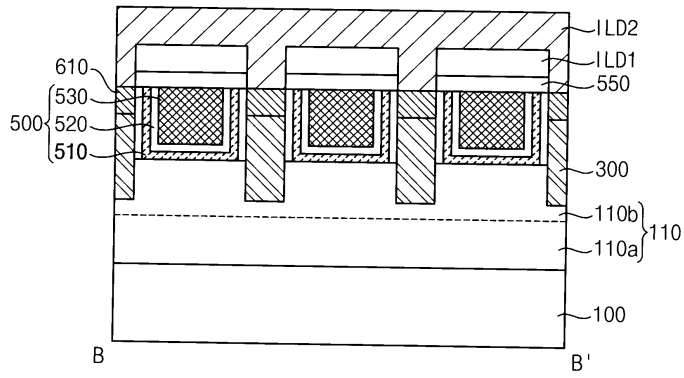
도면1



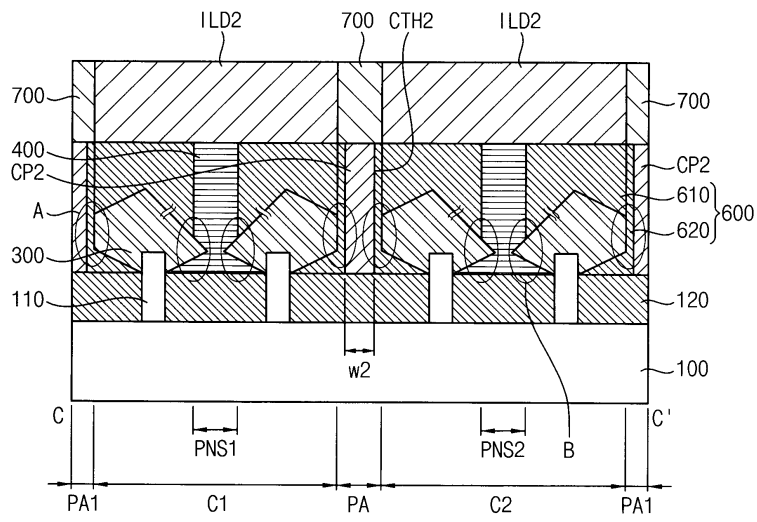
도면2a



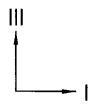
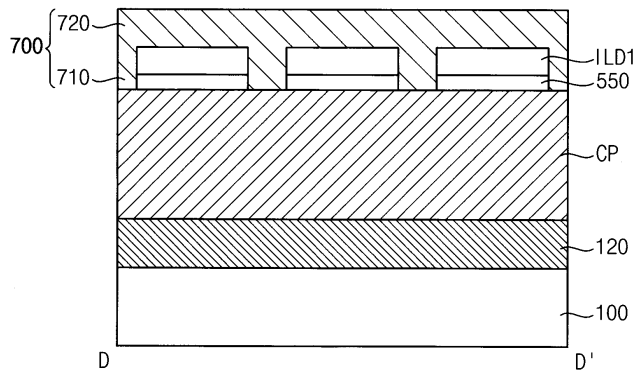
도면2b



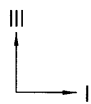
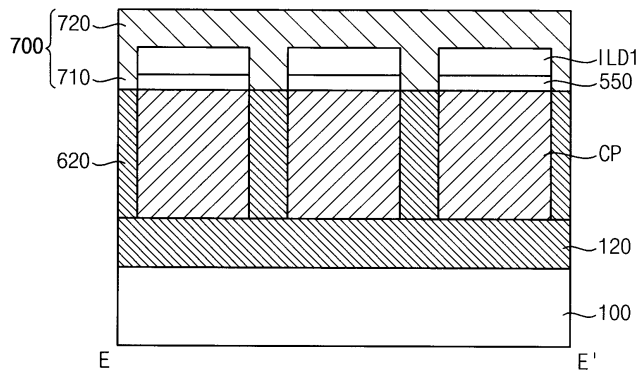
도면2c



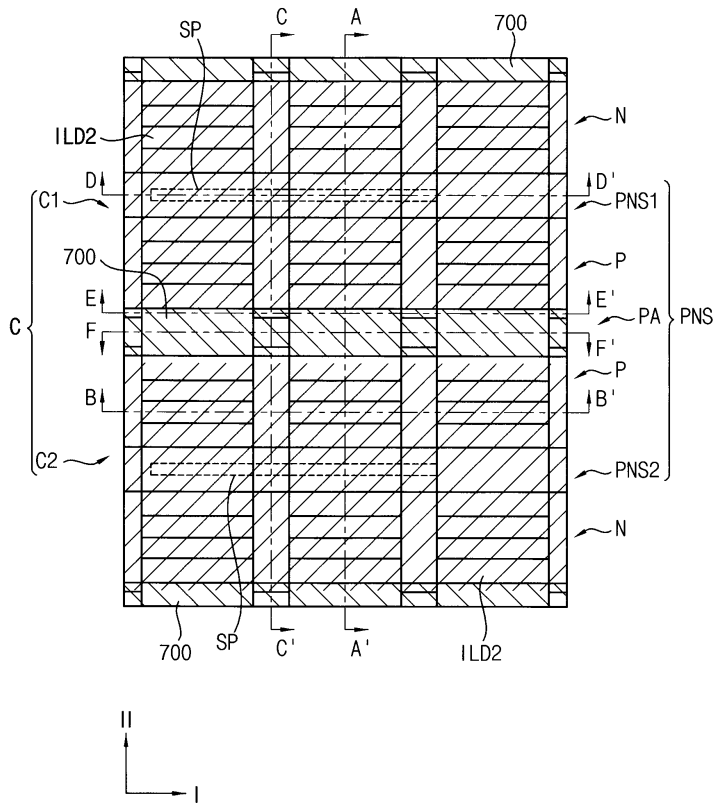
도면2d



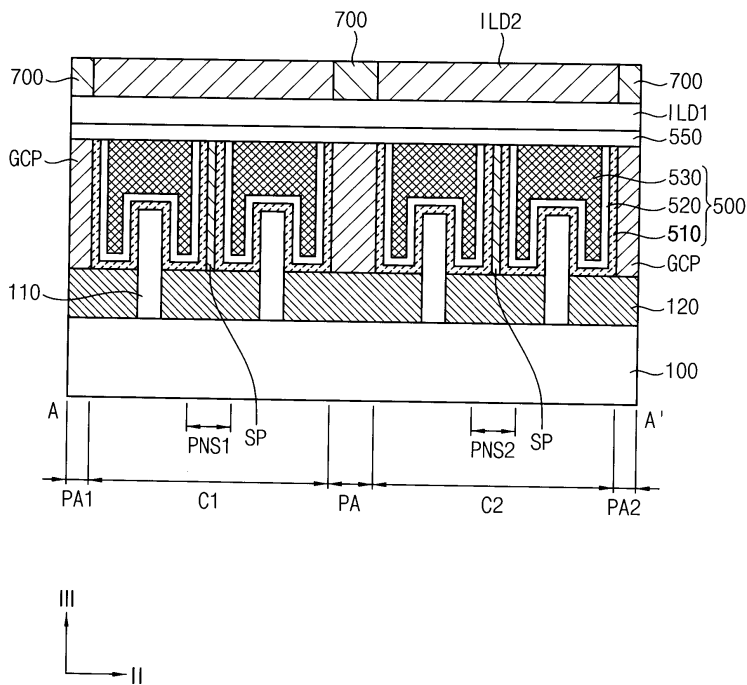
도면2e



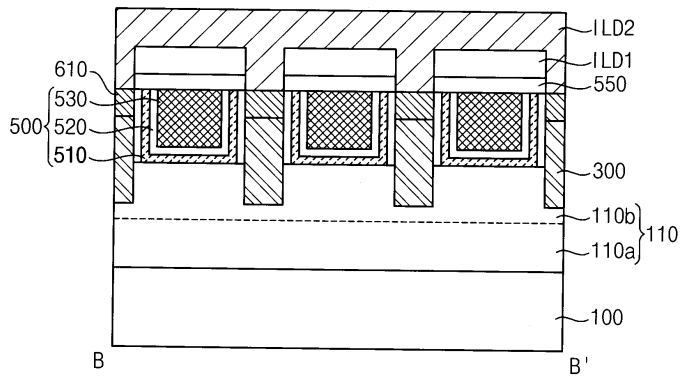
도면3



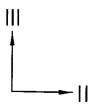
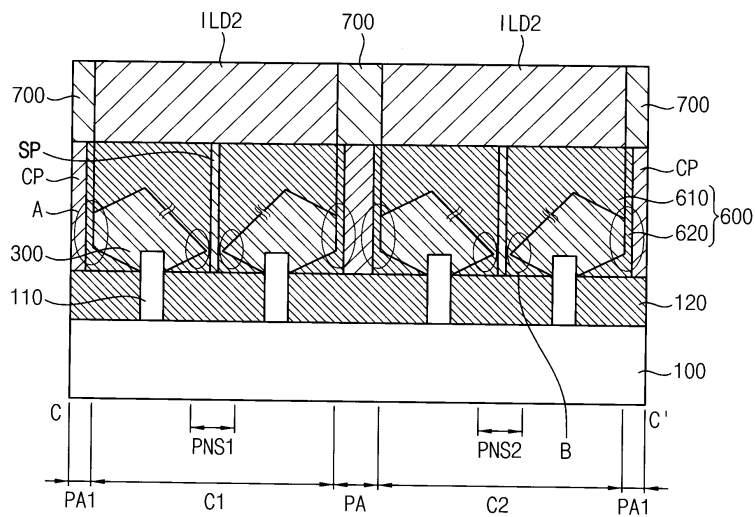
도면4a



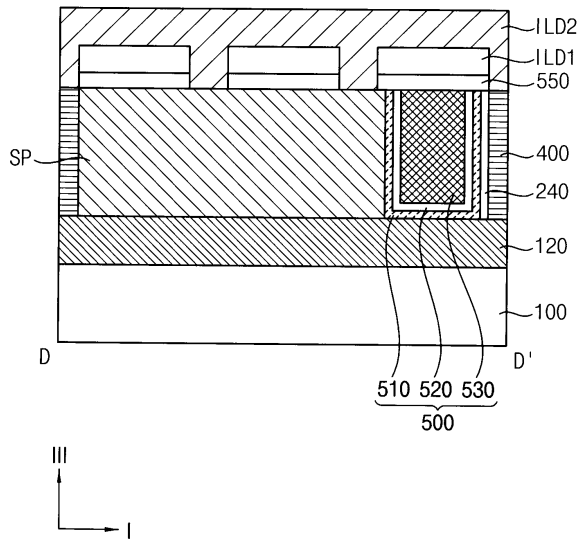
도면4b



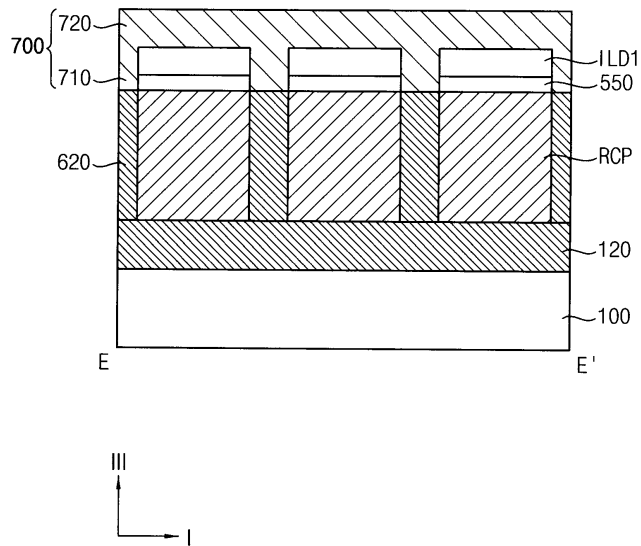
도면4c



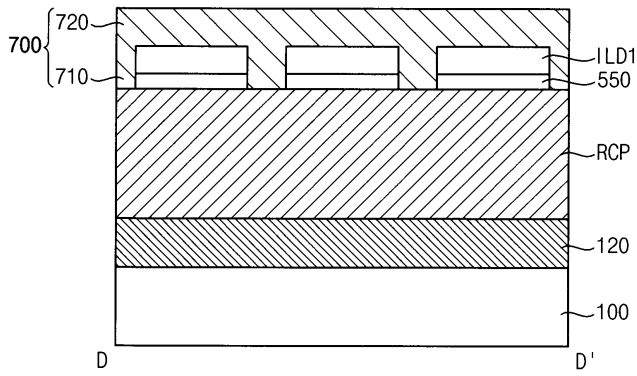
도면4d



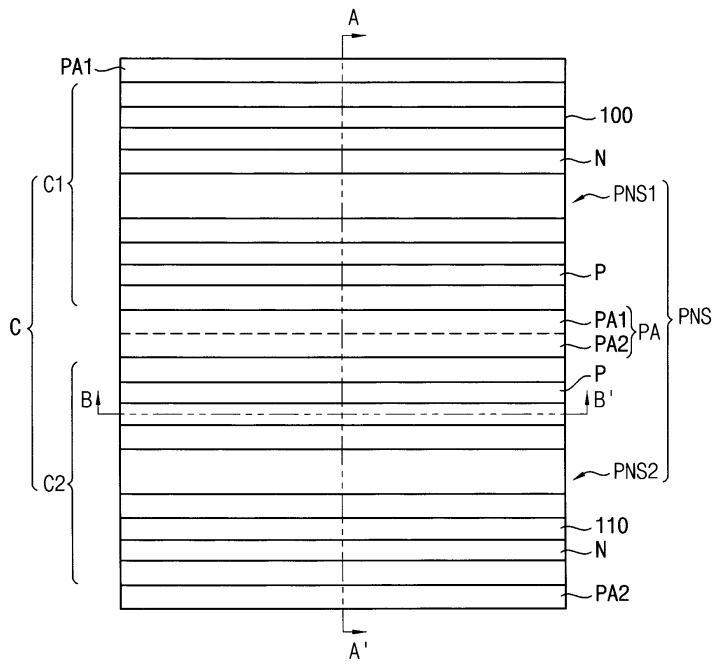
도면4e



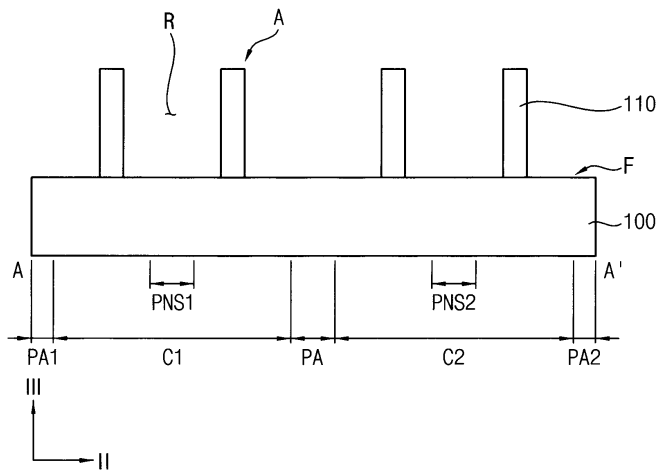
도면4f



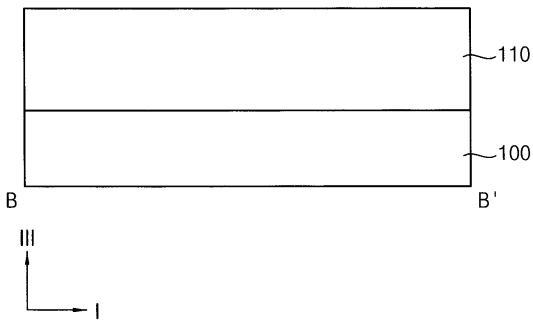
도면5



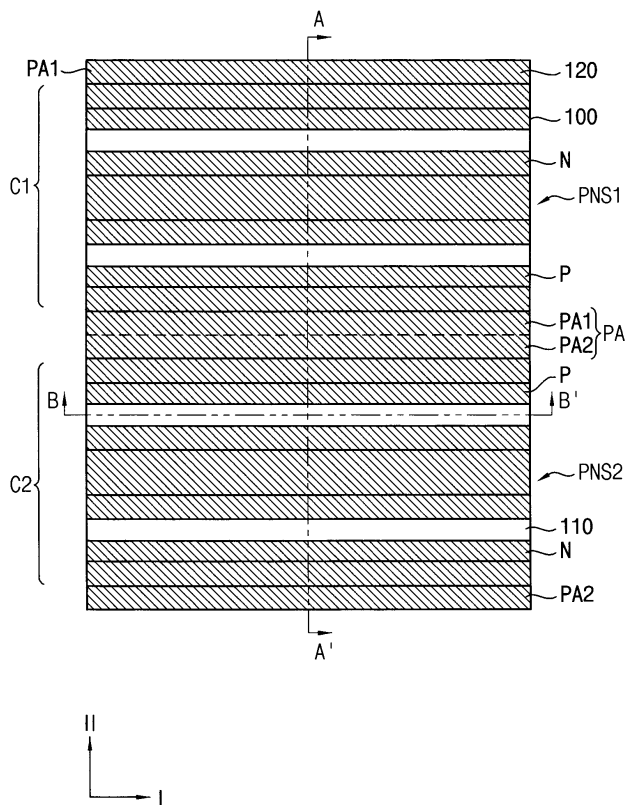
도면6a



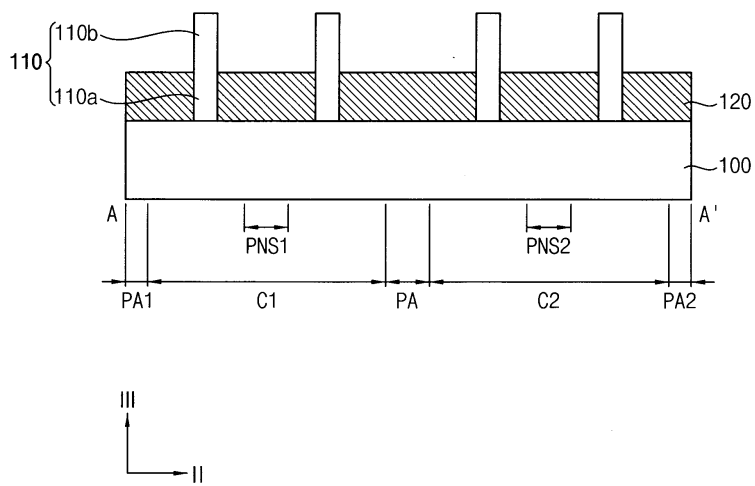
도면6b



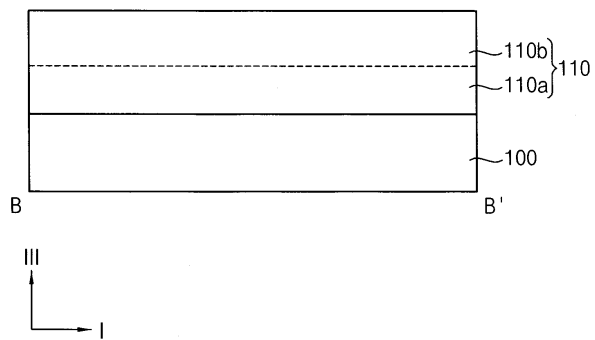
도면7



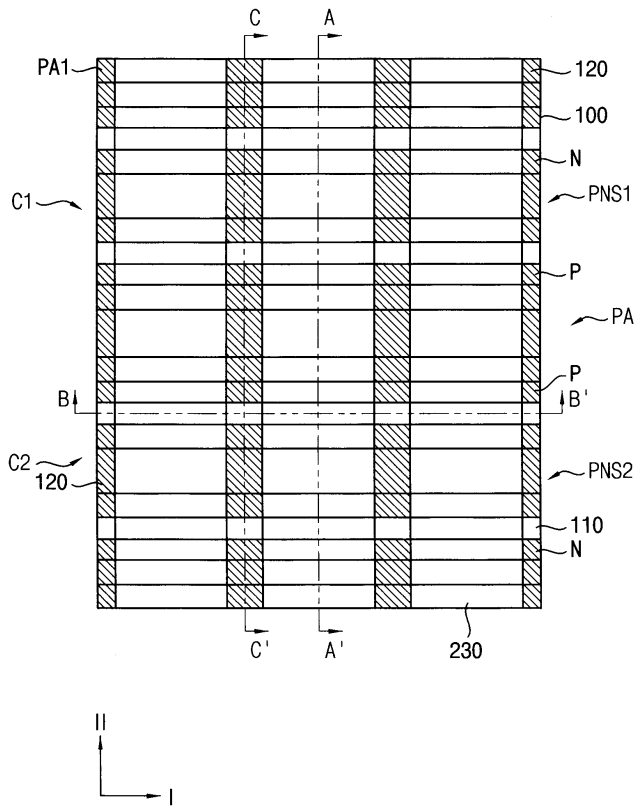
도면8a



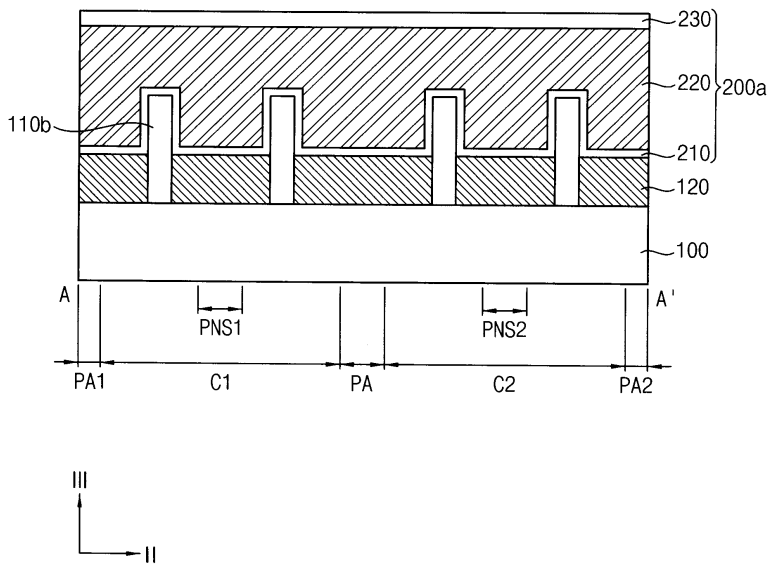
도면8b



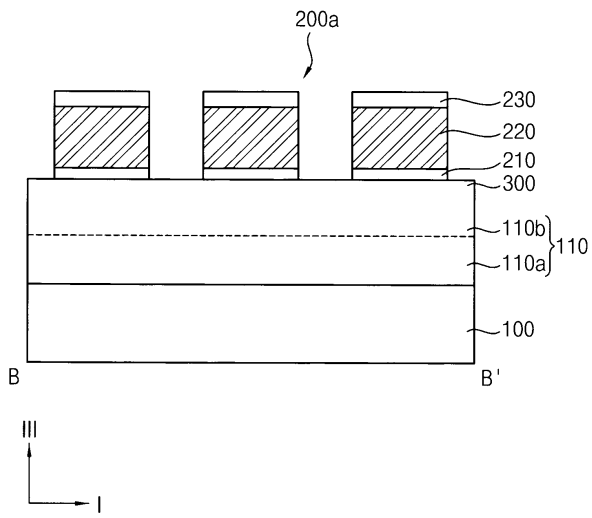
도면9



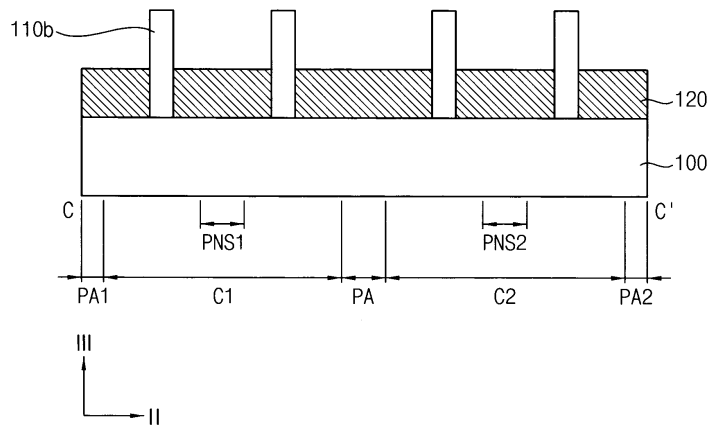
도면10a



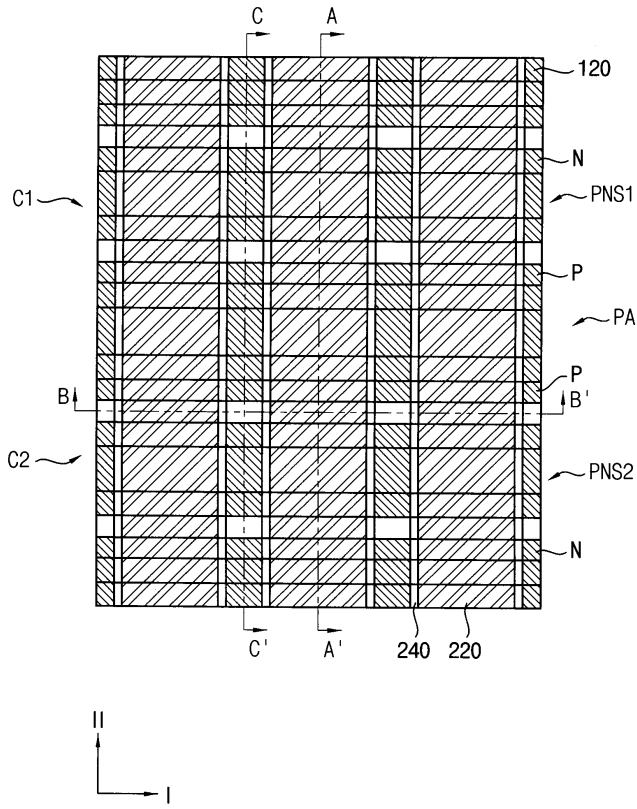
도면10b



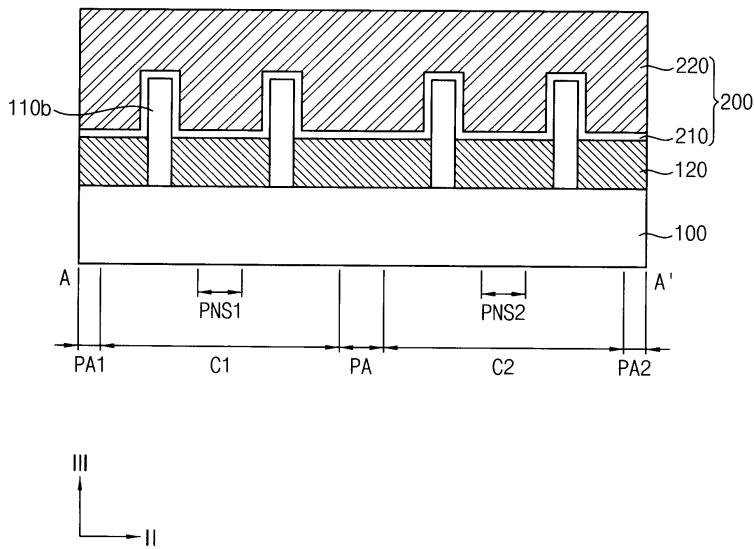
도면10c



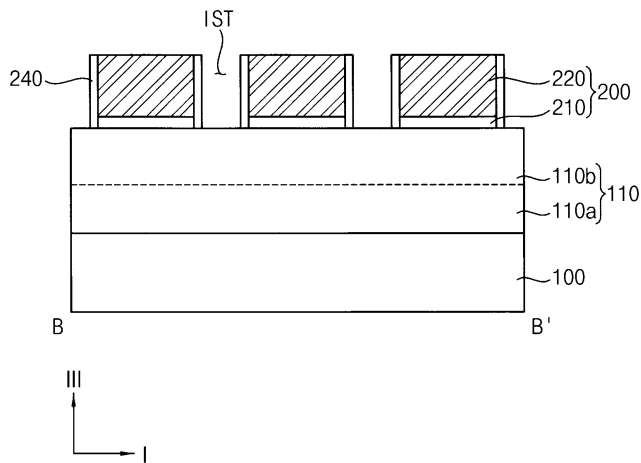
도면11



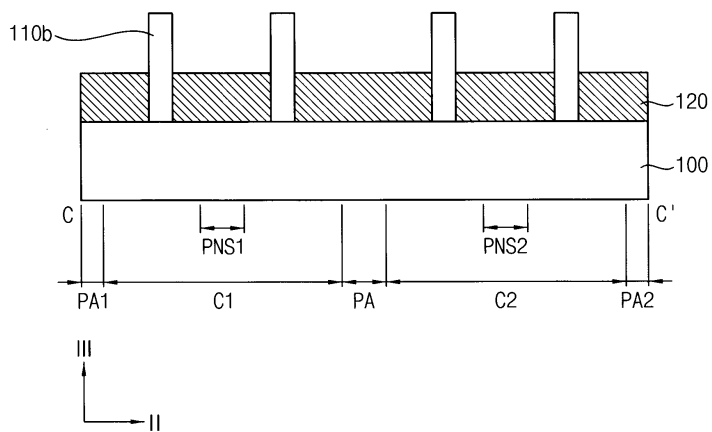
도면12a



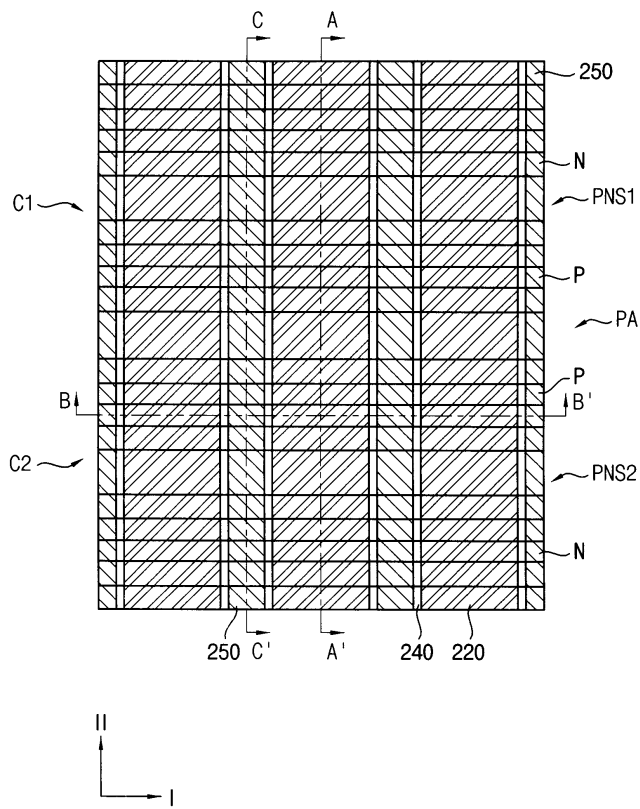
도면12b



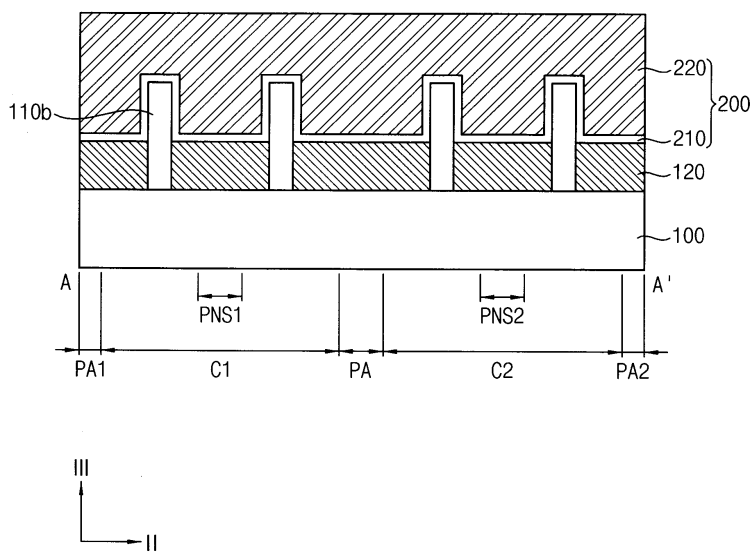
도면12c



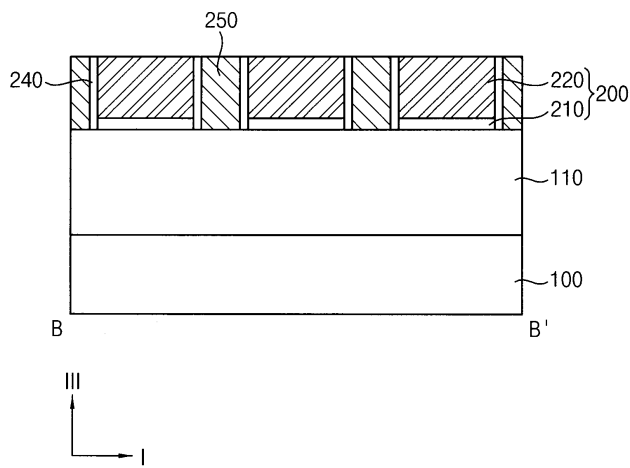
도면13



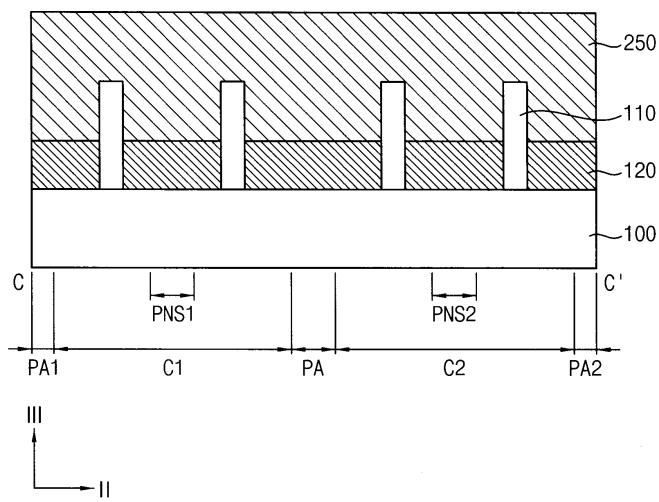
도면14a



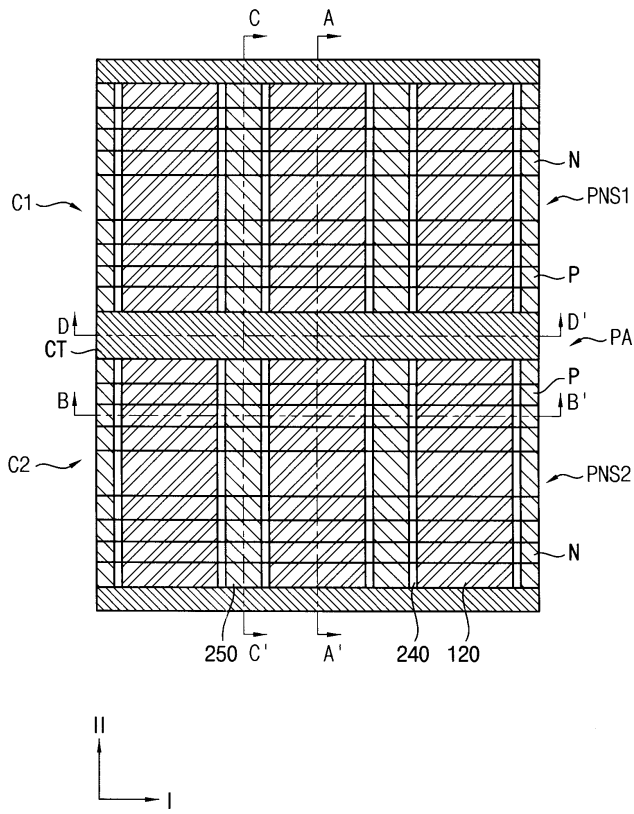
도면14b



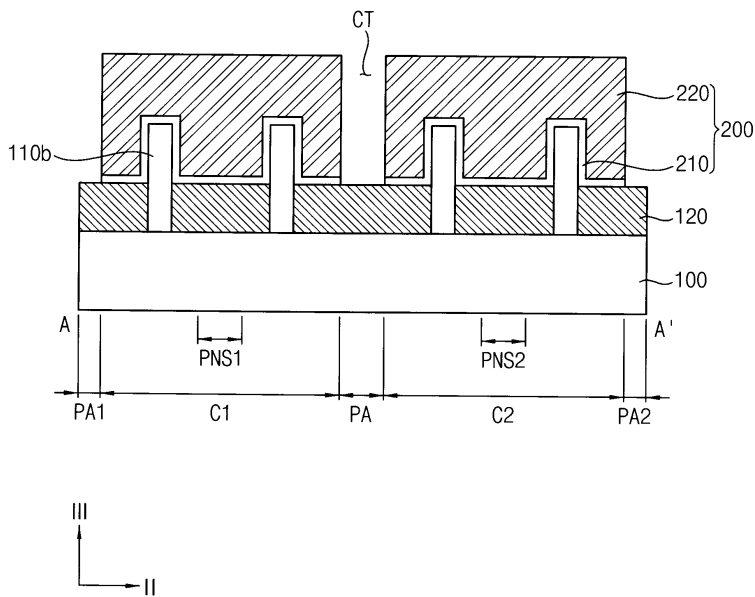
도면14c



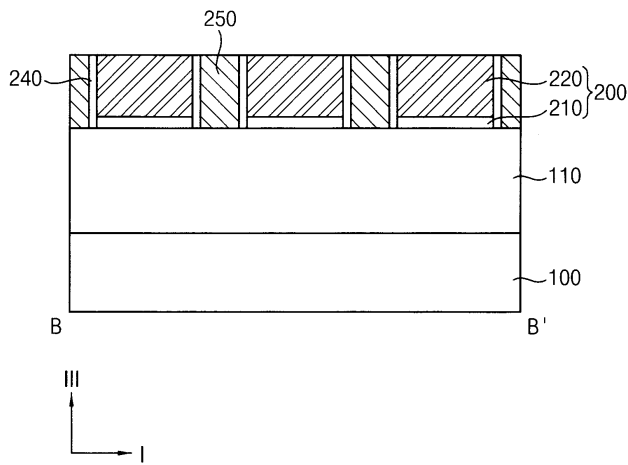
도면15



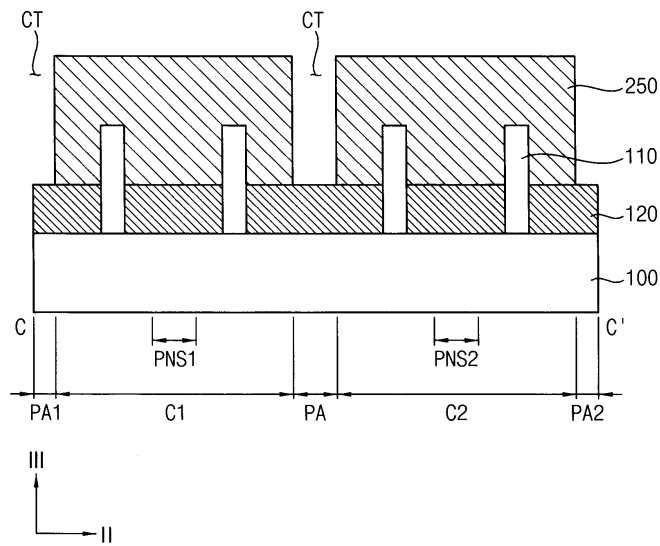
도면16a



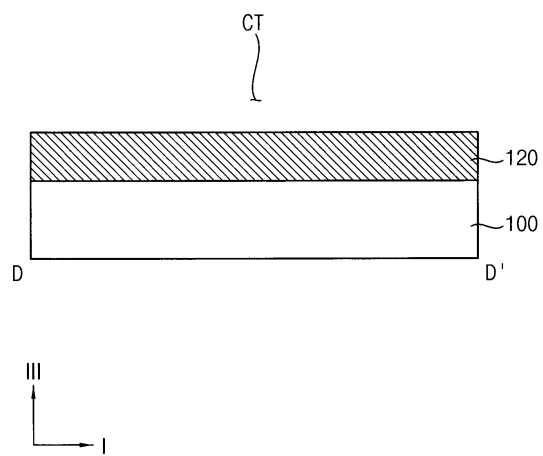
도면16b



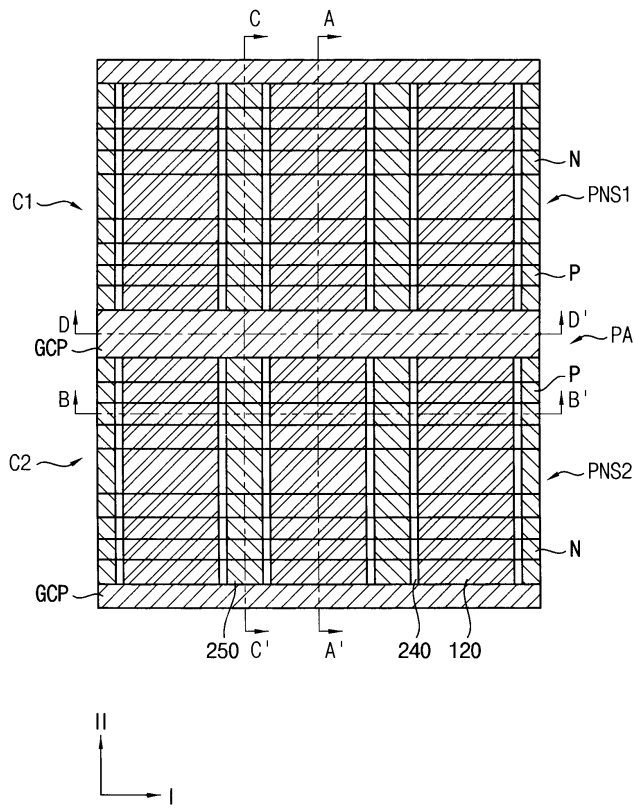
도면16c



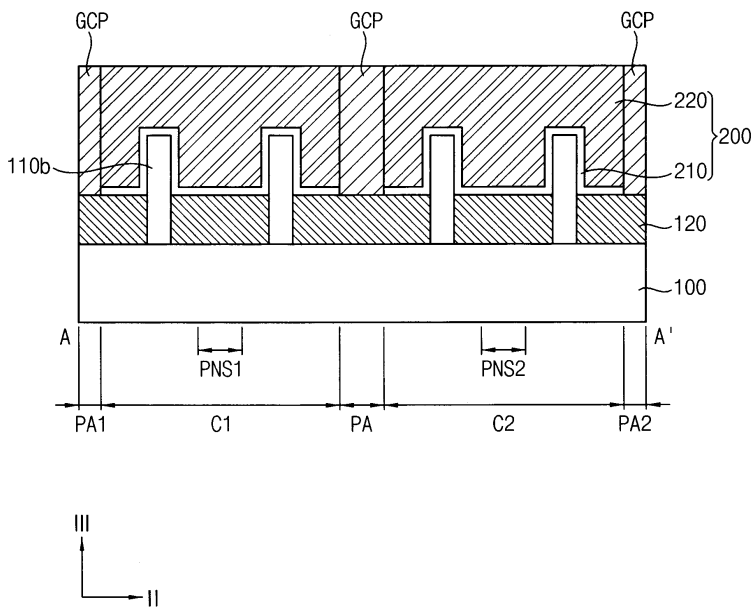
도면16d



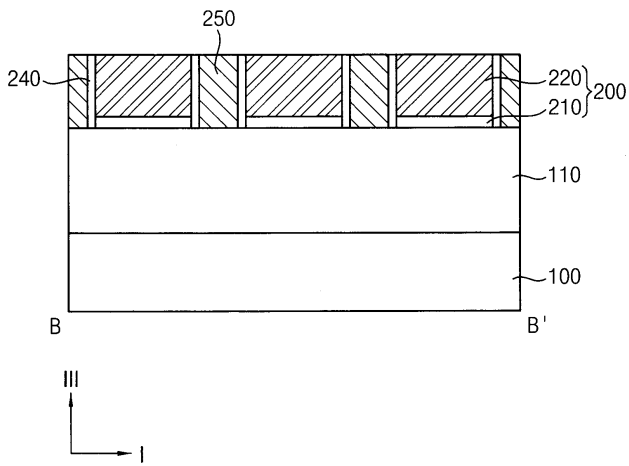
도면17



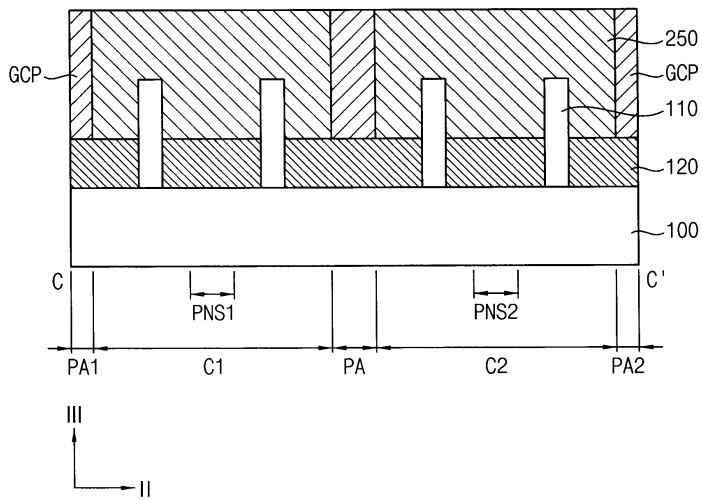
도면18a



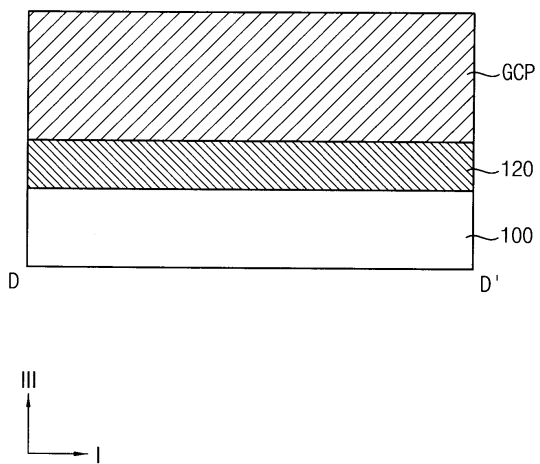
도면18b



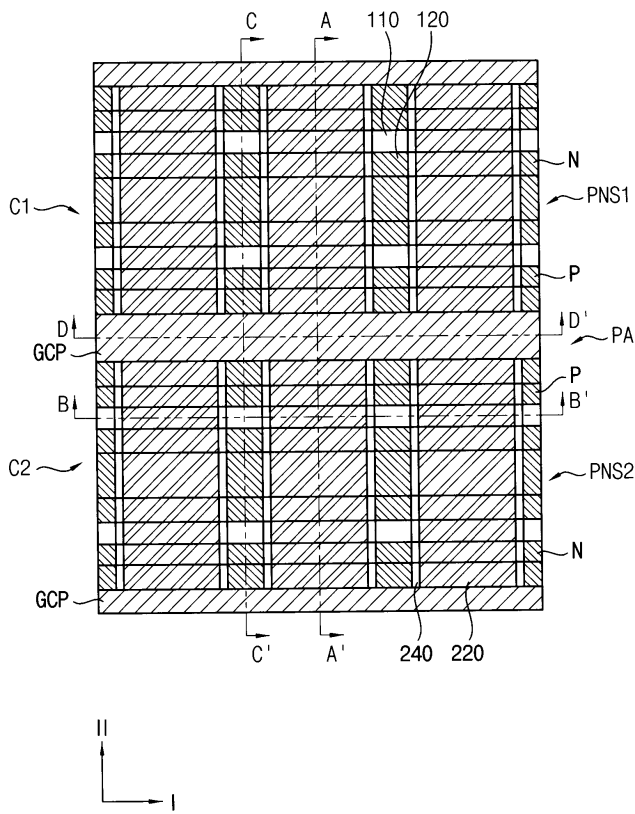
도면18c



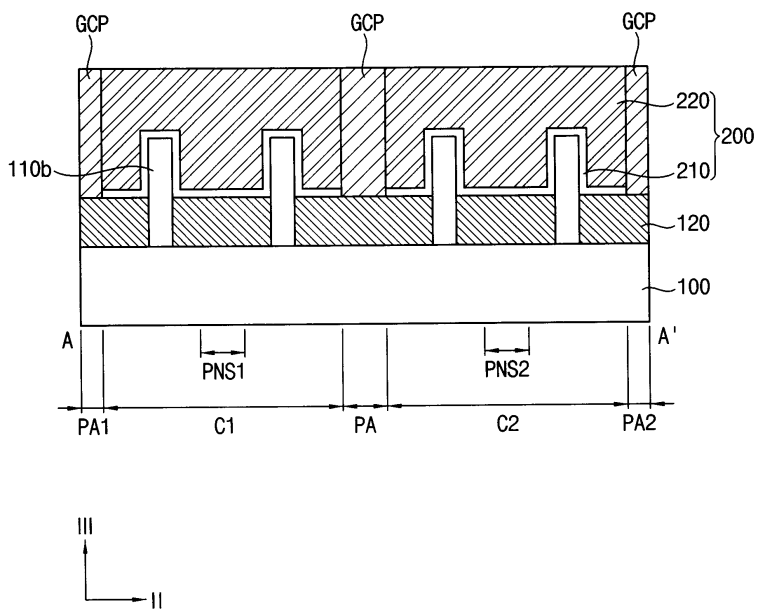
도면18d



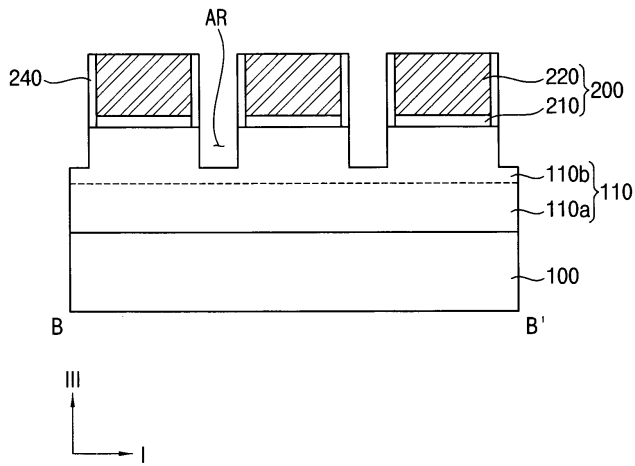
도면19



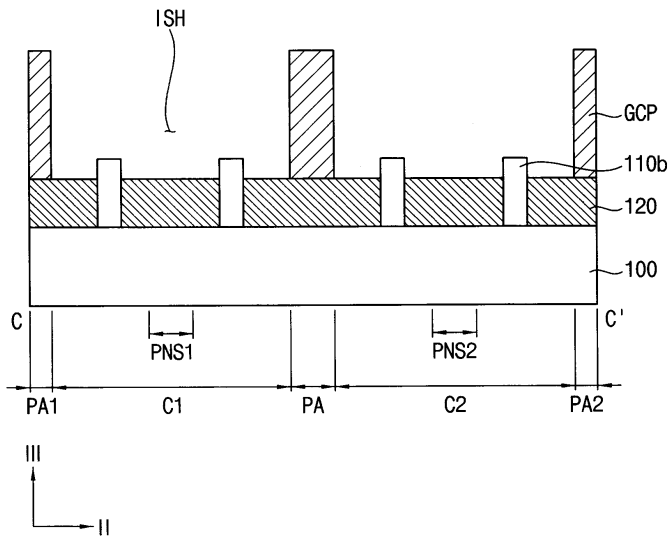
도면20a



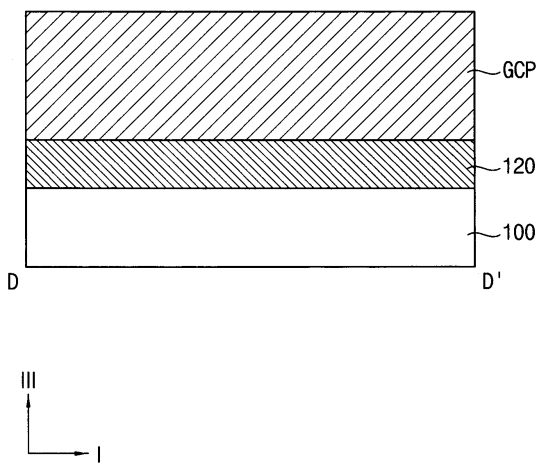
도면20b



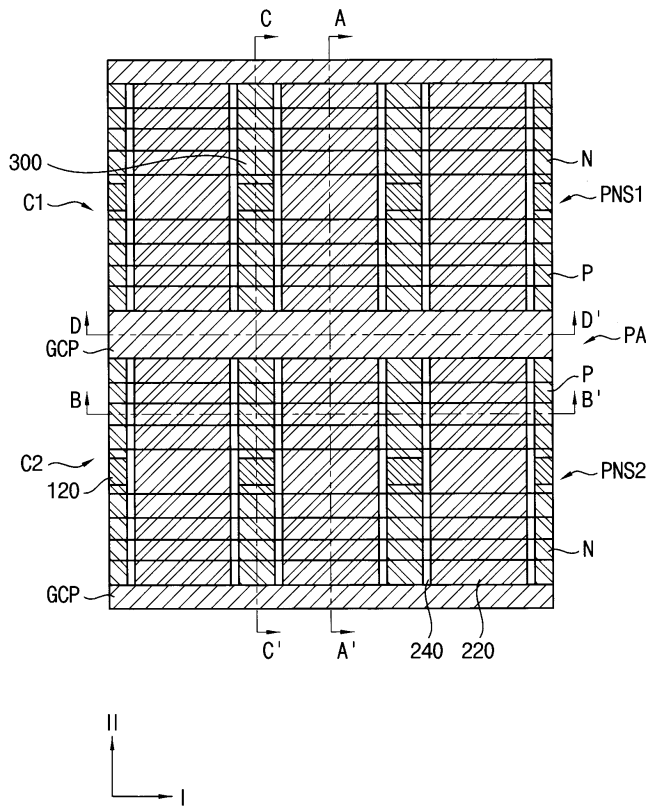
도면20c



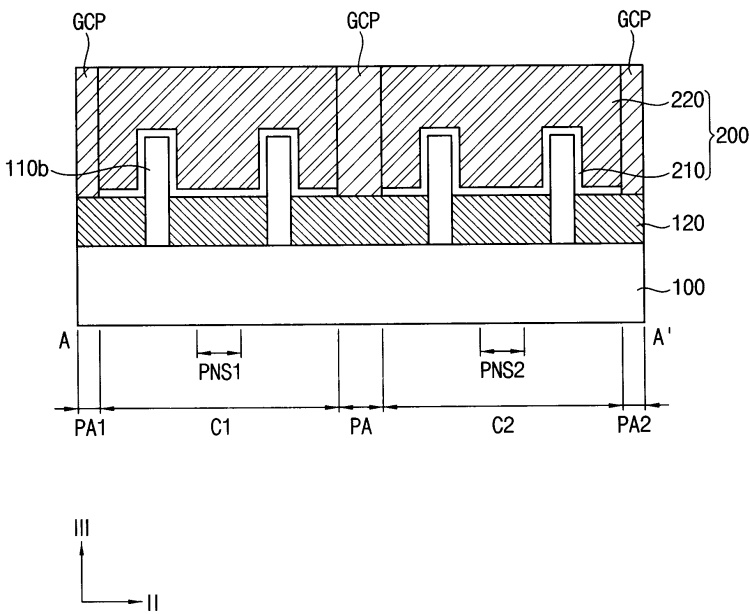
도면20d



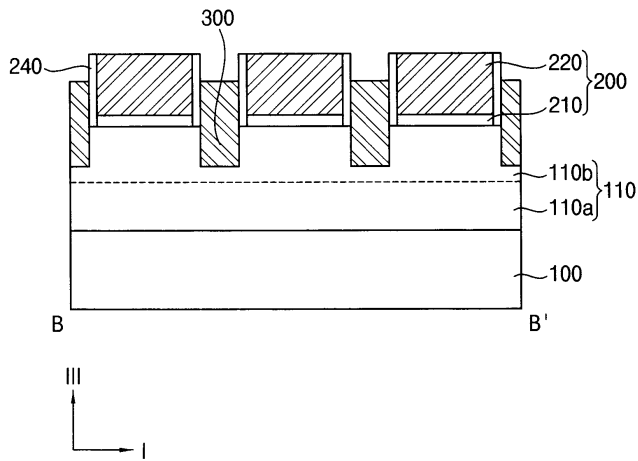
도면21



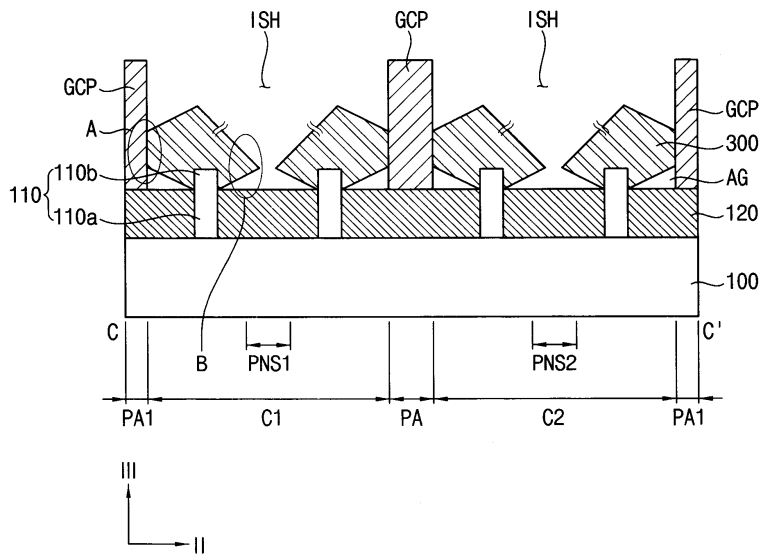
도면22a



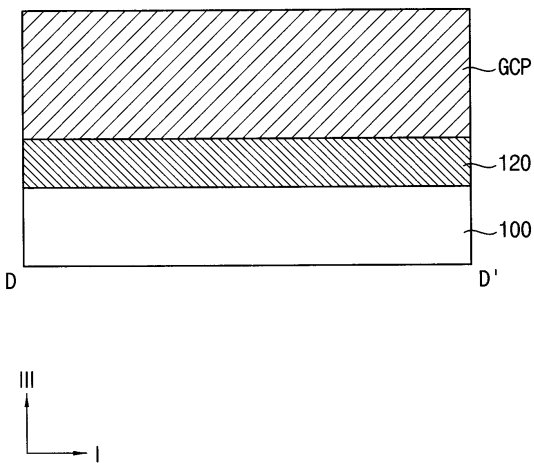
도면22b



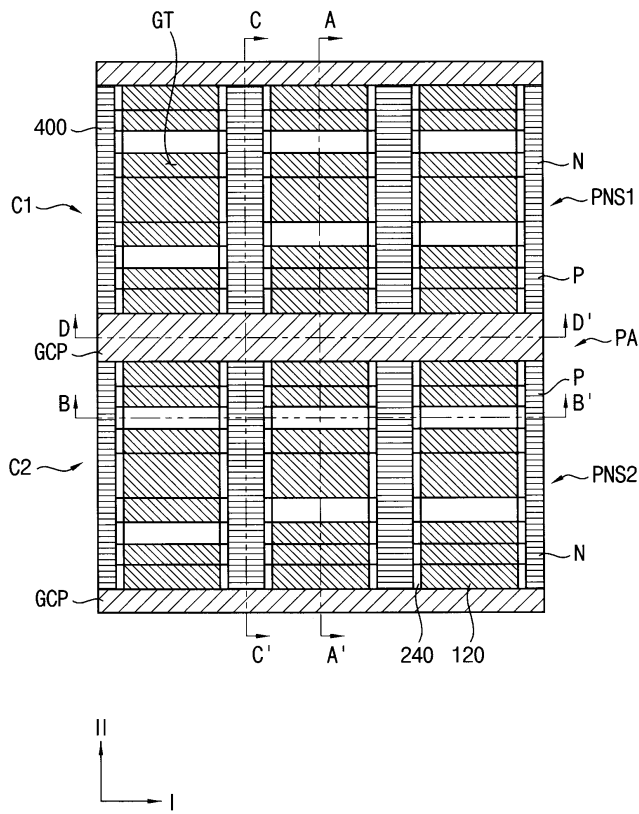
도면22c



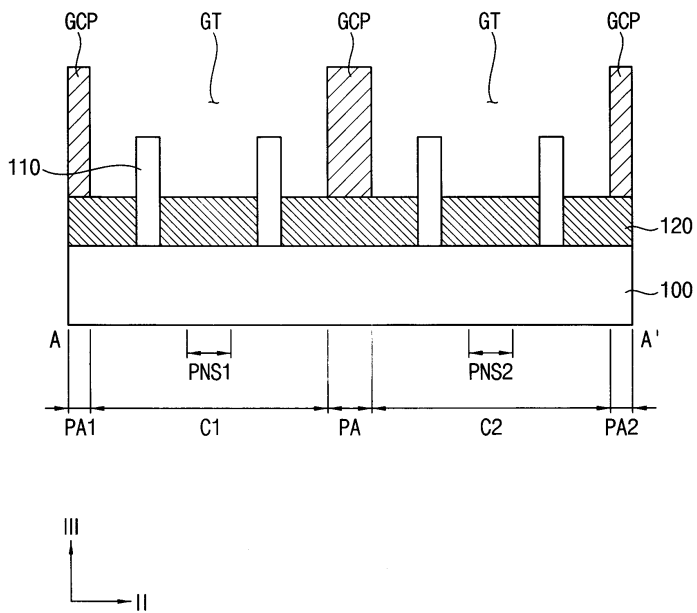
도면22d



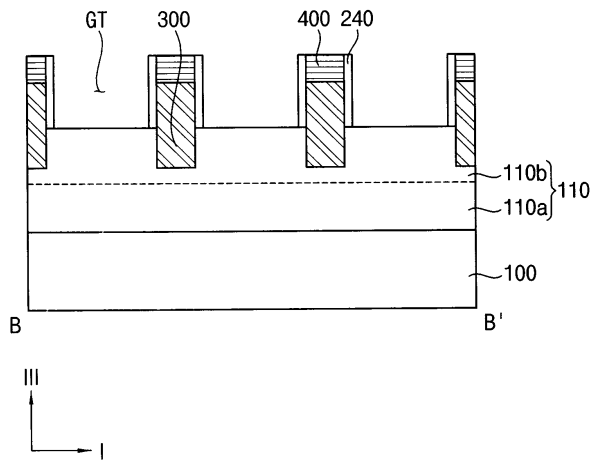
도면23



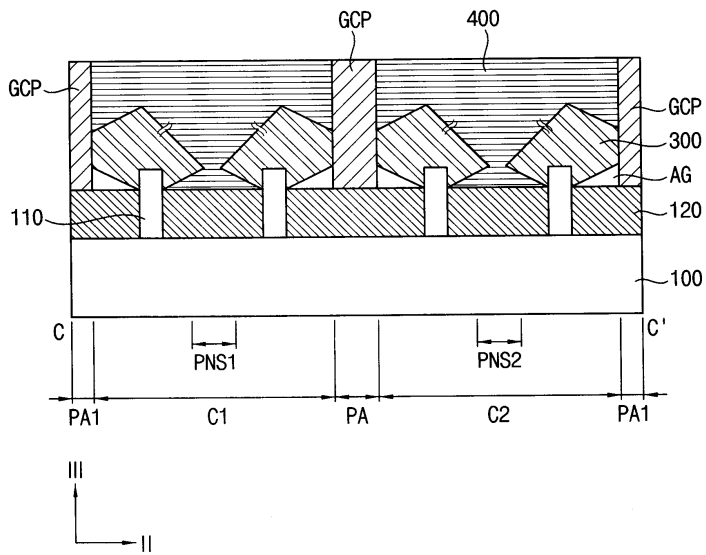
도면24a



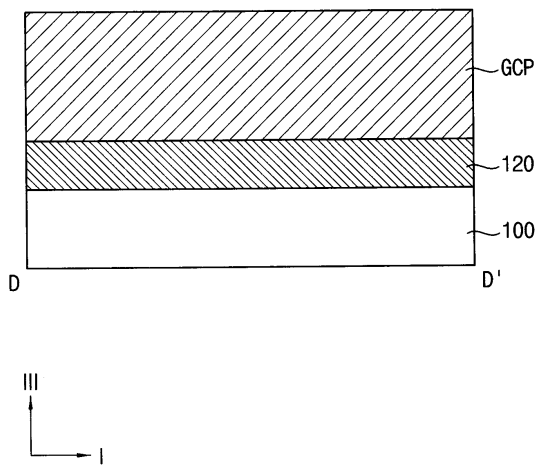
도면24b



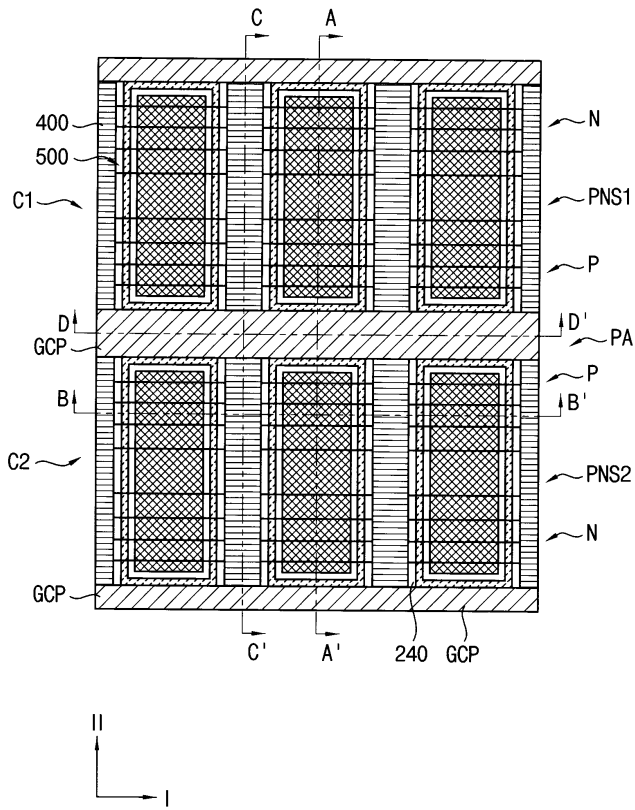
도면24c



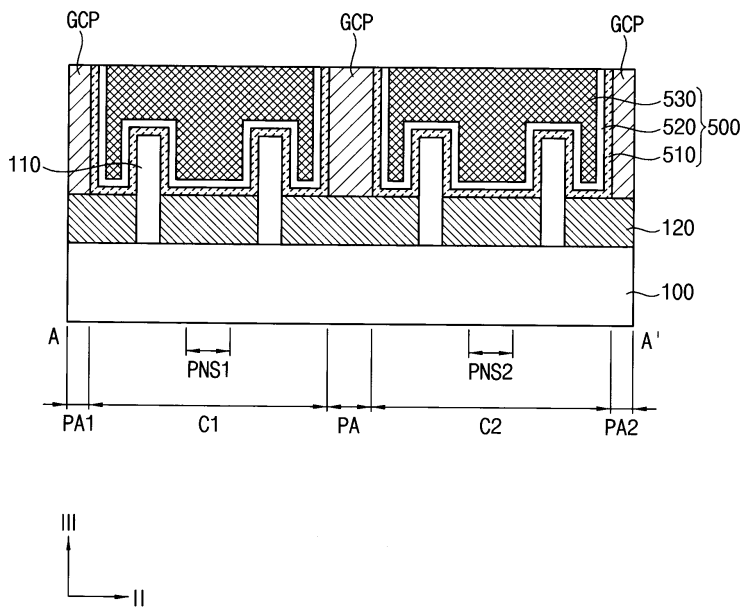
도면24d



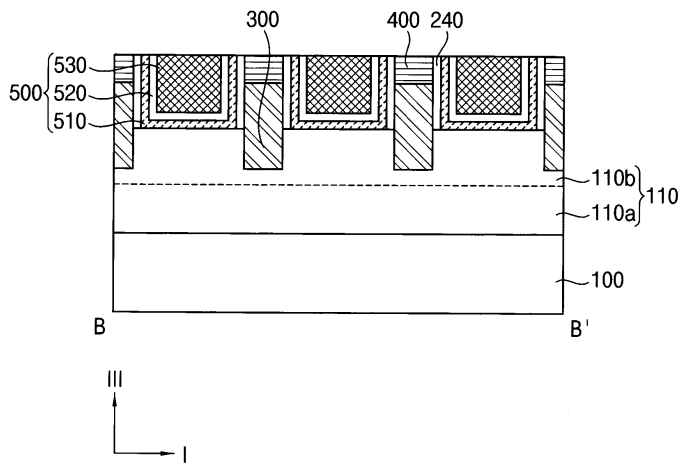
도면25



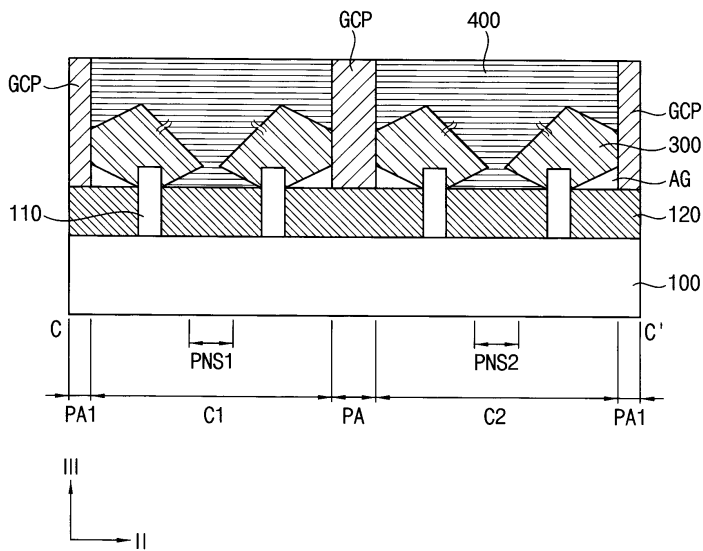
도면26a



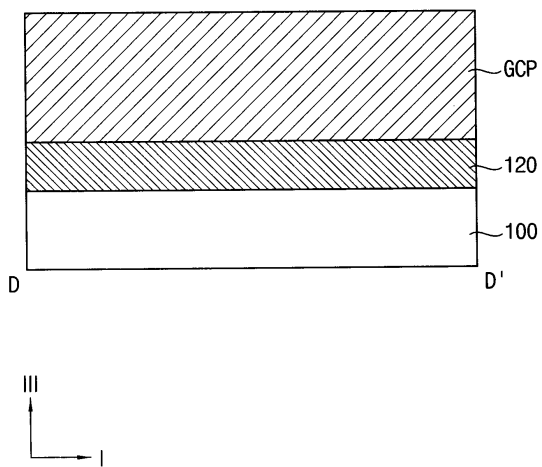
도면26b



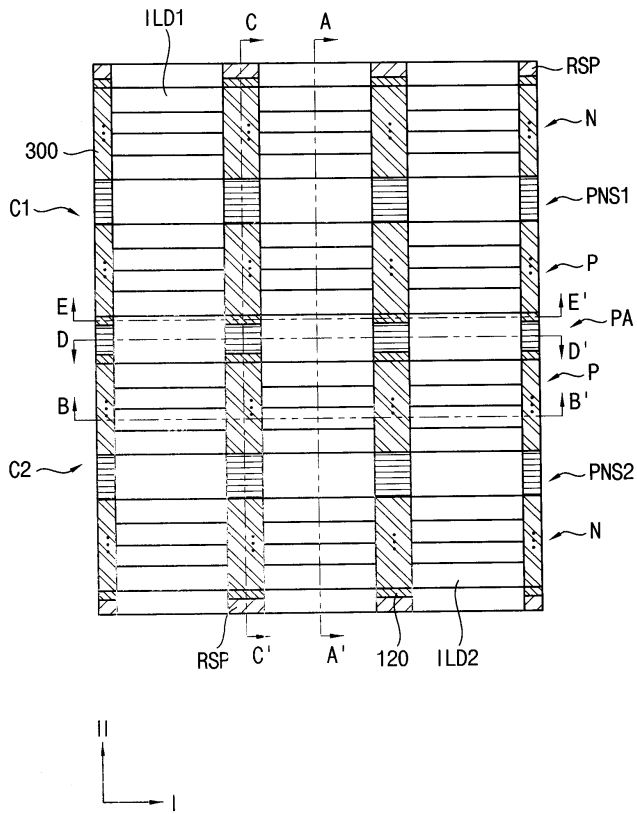
도면26c



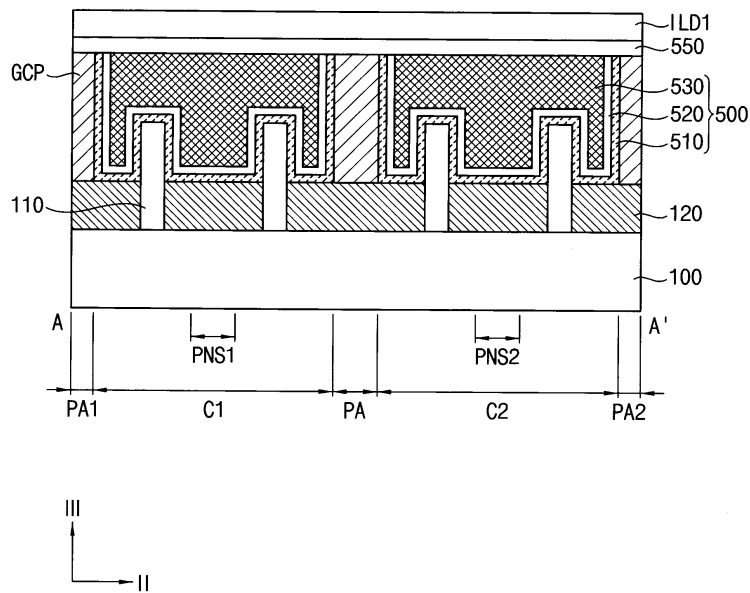
도면26d



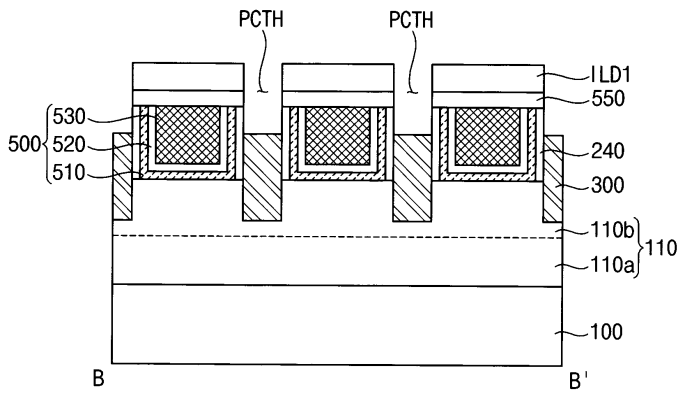
도면27



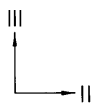
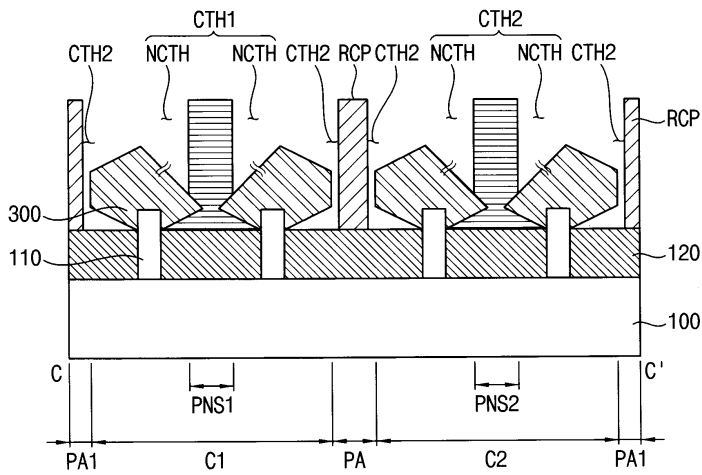
도면28a



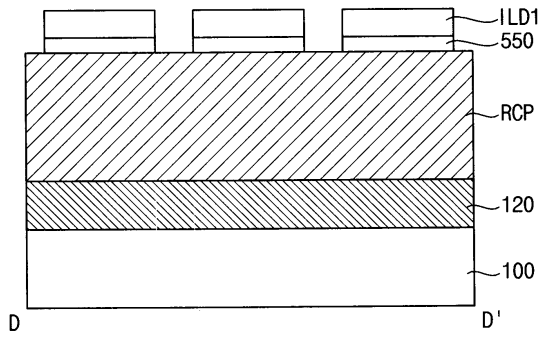
도면28b



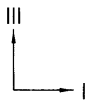
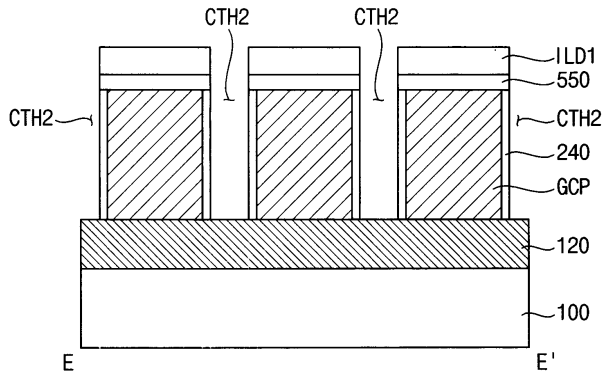
도면28c



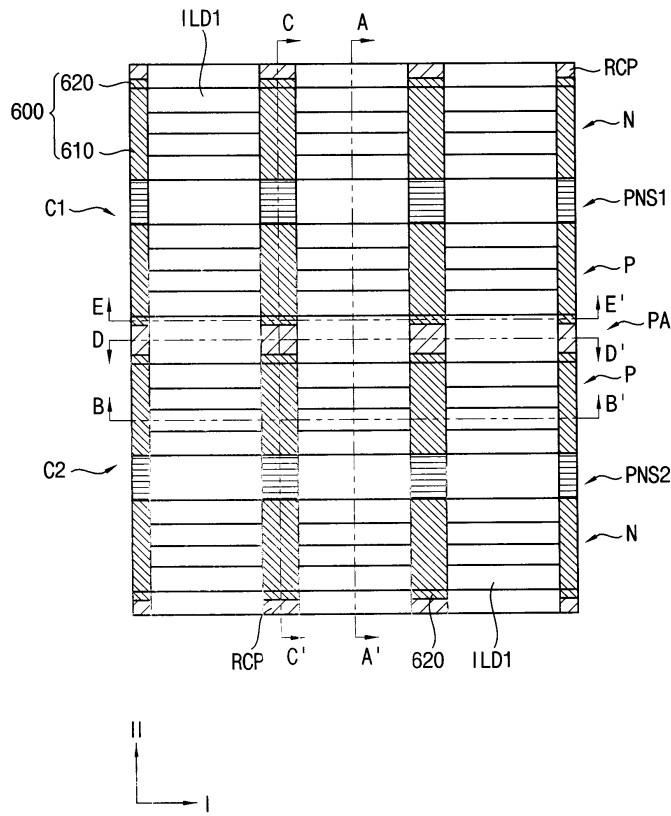
도면28d



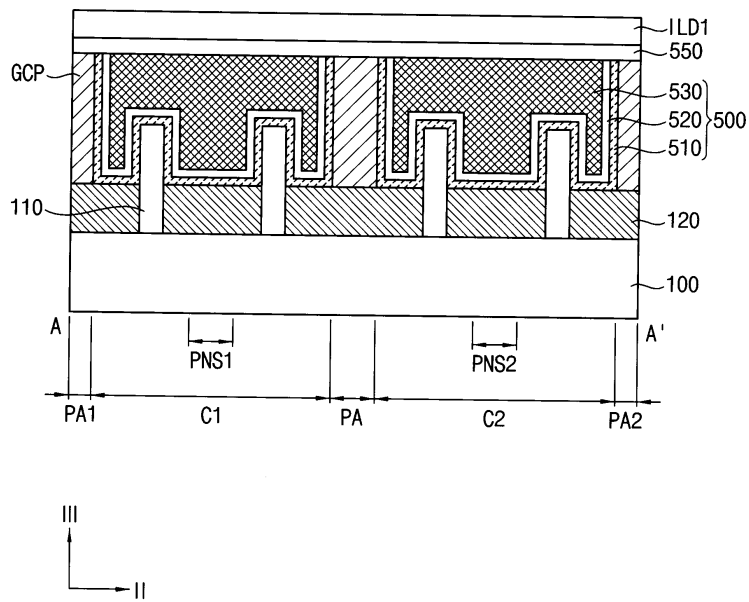
도면28e



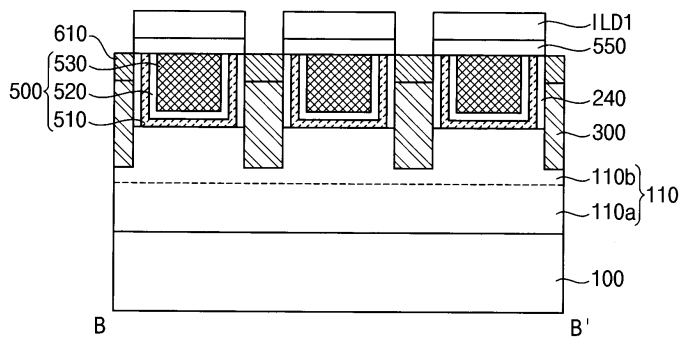
도면29



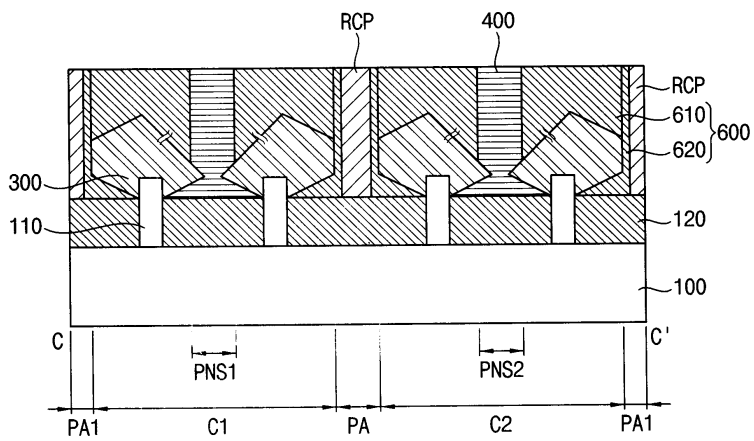
도면30a



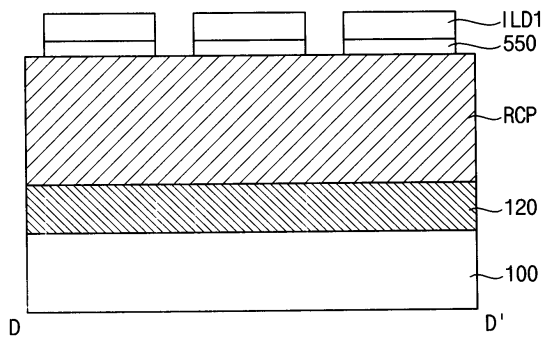
도면30b



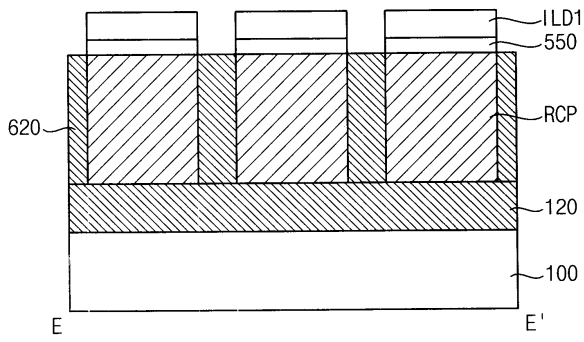
도면30c



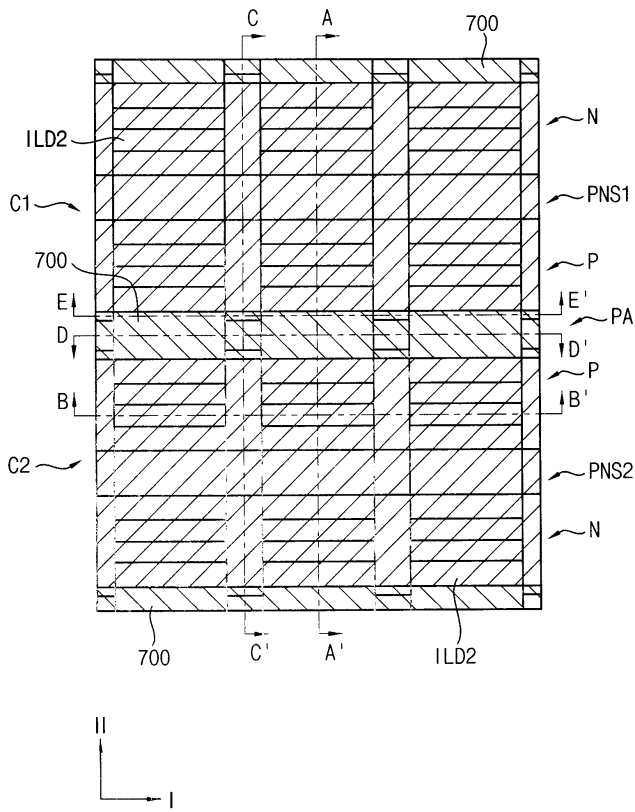
도면30d



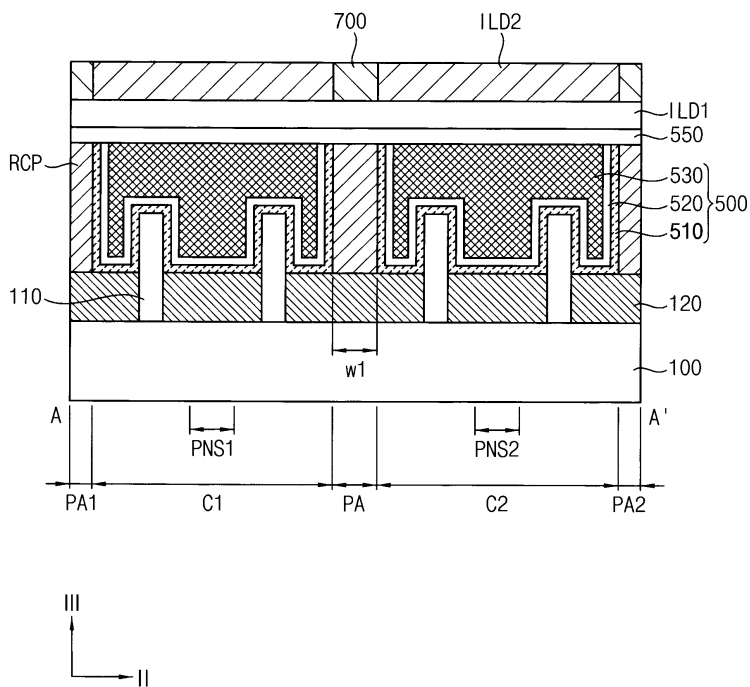
도면30e



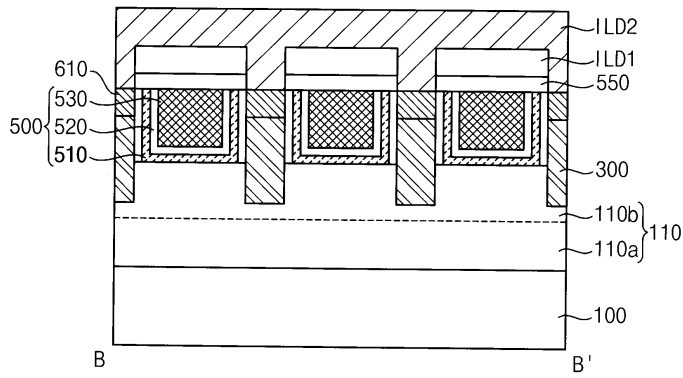
도면31



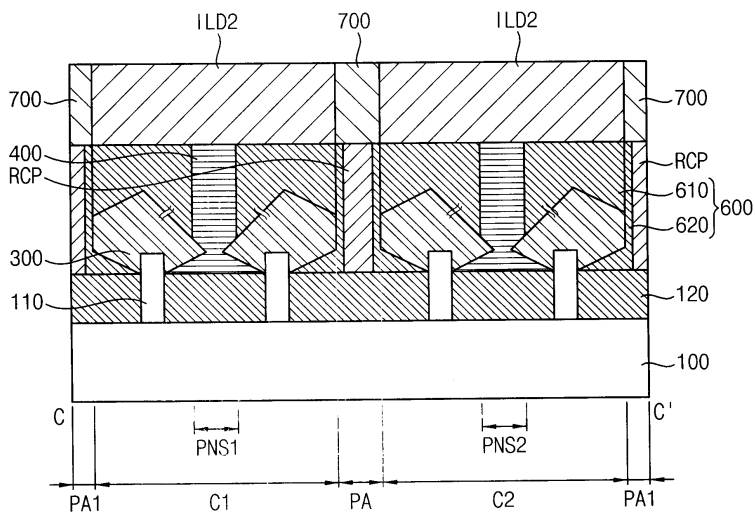
도면32a



도면32b

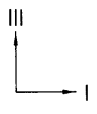
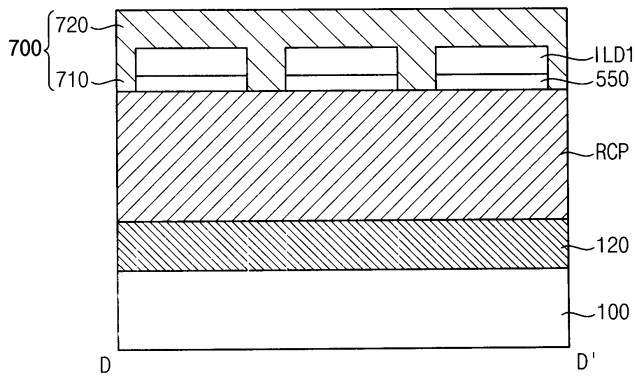


도면32c

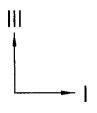
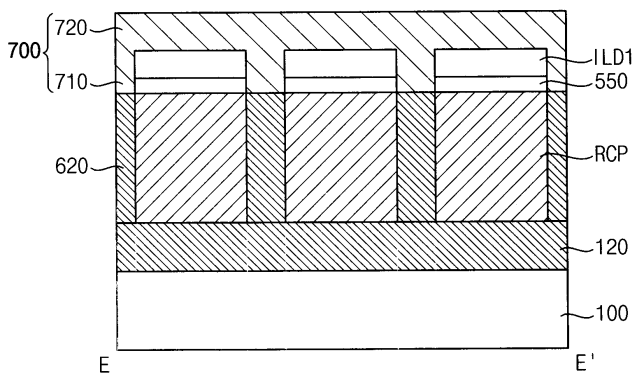


CP2

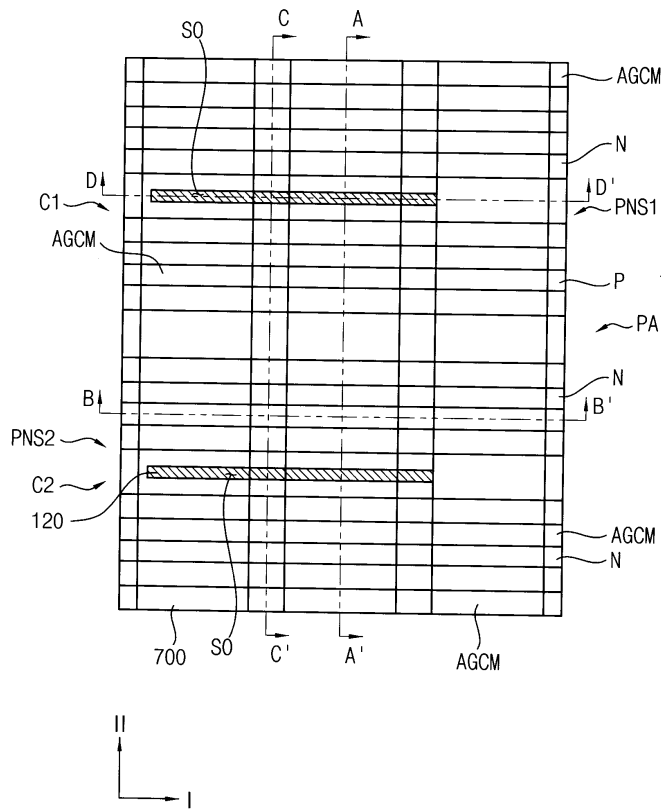
도면32d



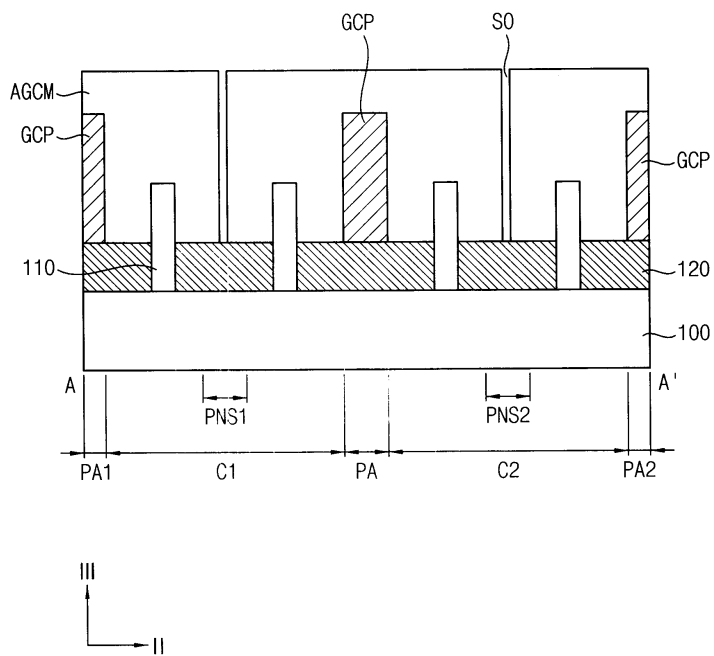
도면32e



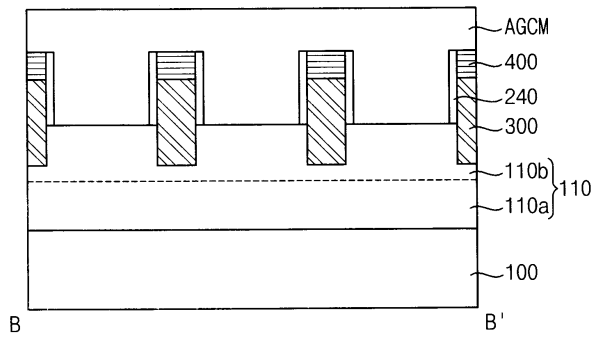
도면33



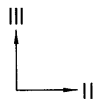
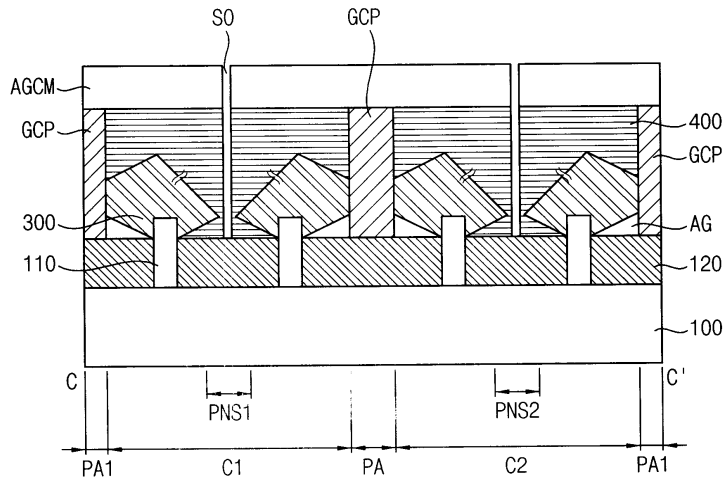
도면34a



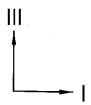
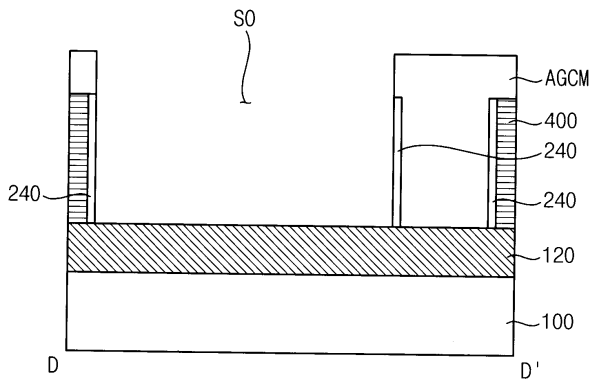
도면34b



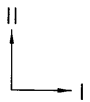
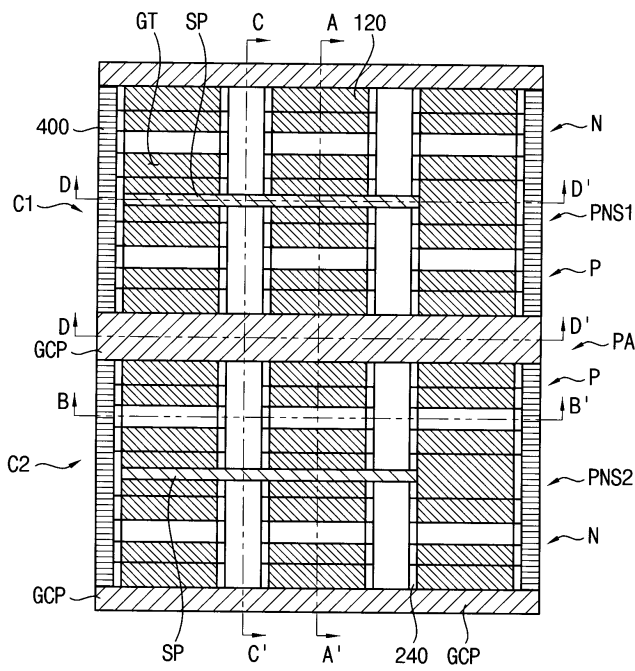
도면34c



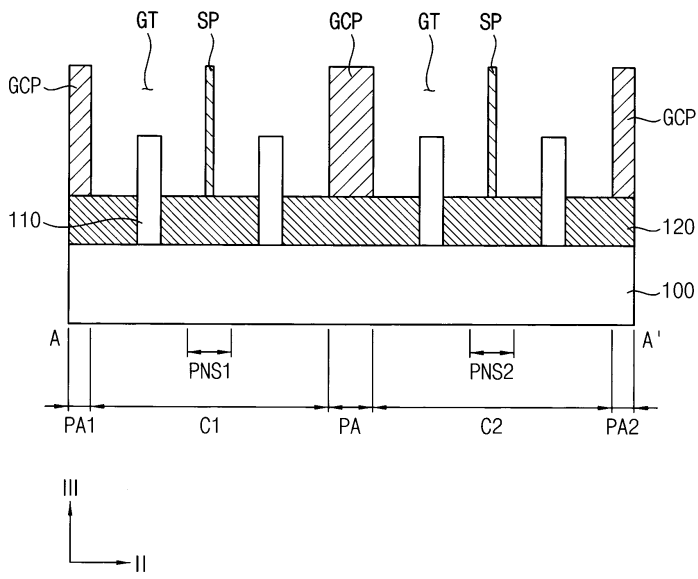
도면34d



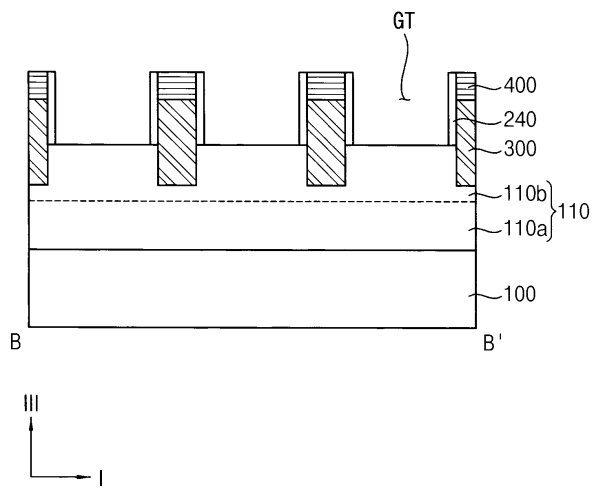
도면35



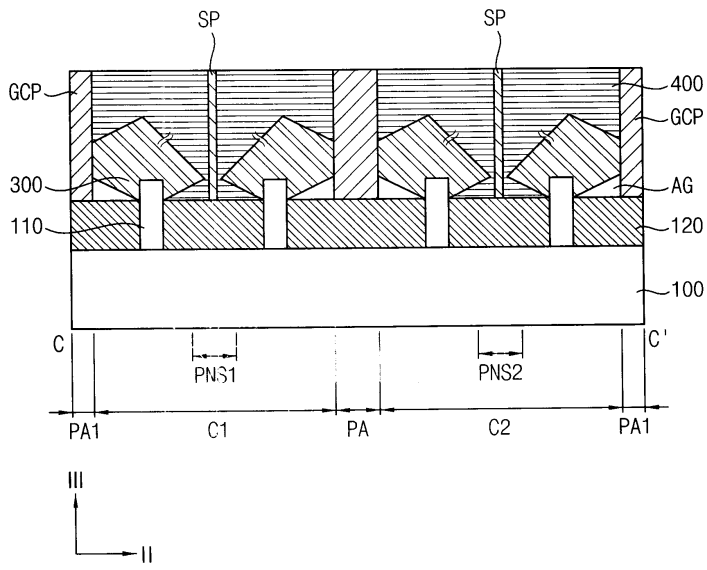
도면36a



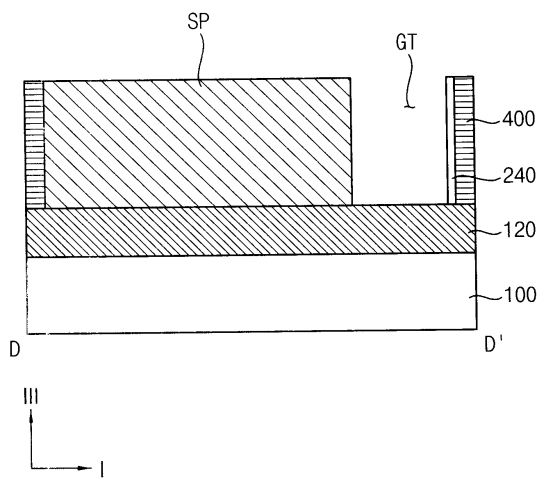
도면36b



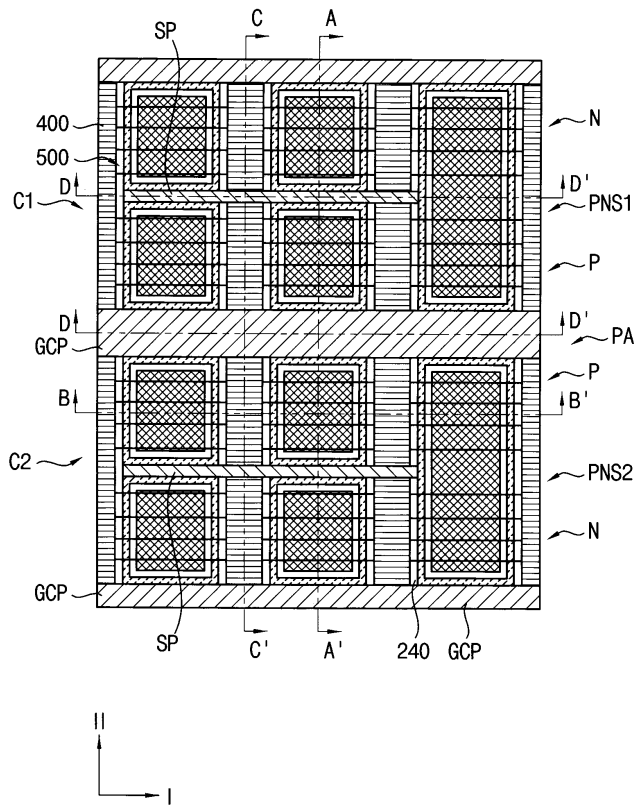
도면36c



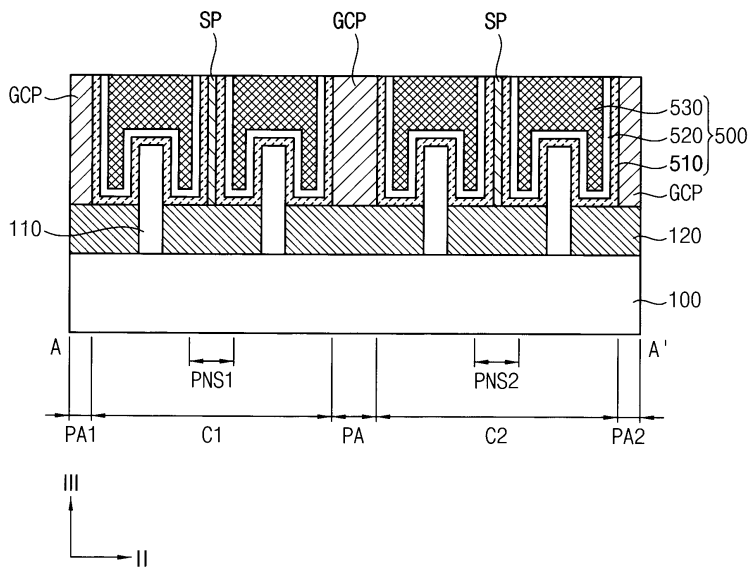
도면36d



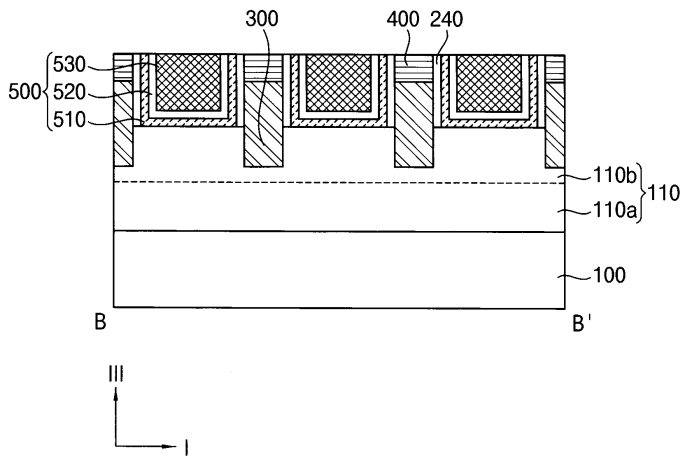
도면37



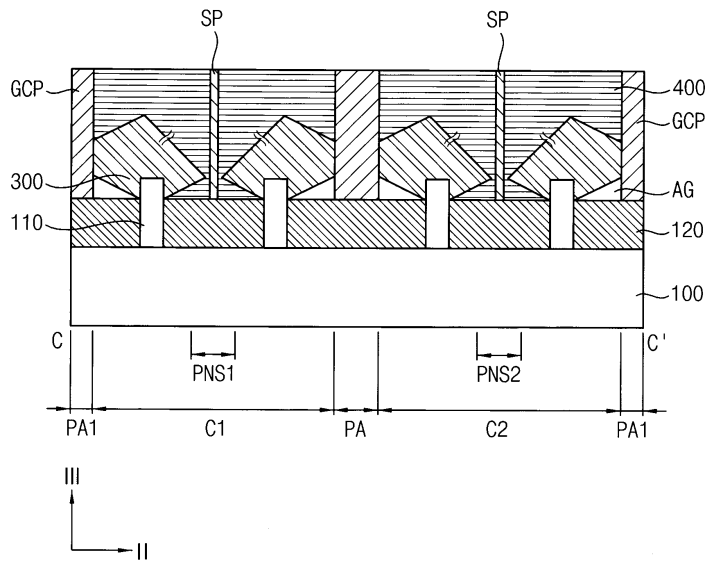
도면38a



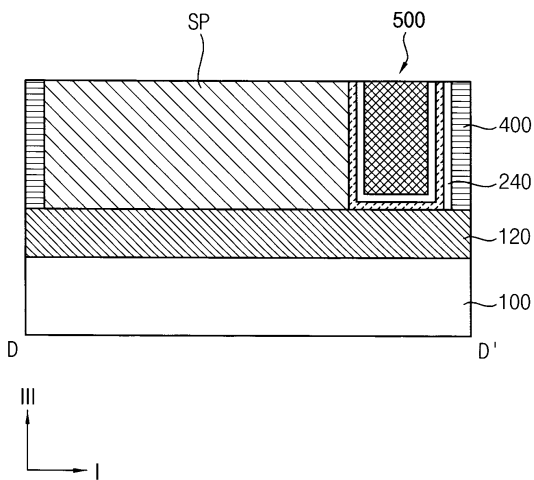
도면38b



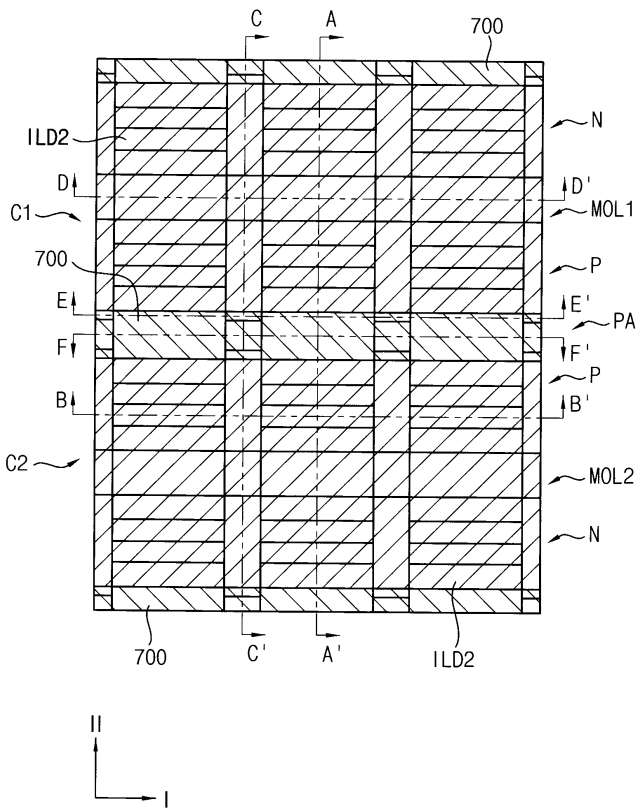
도면38c



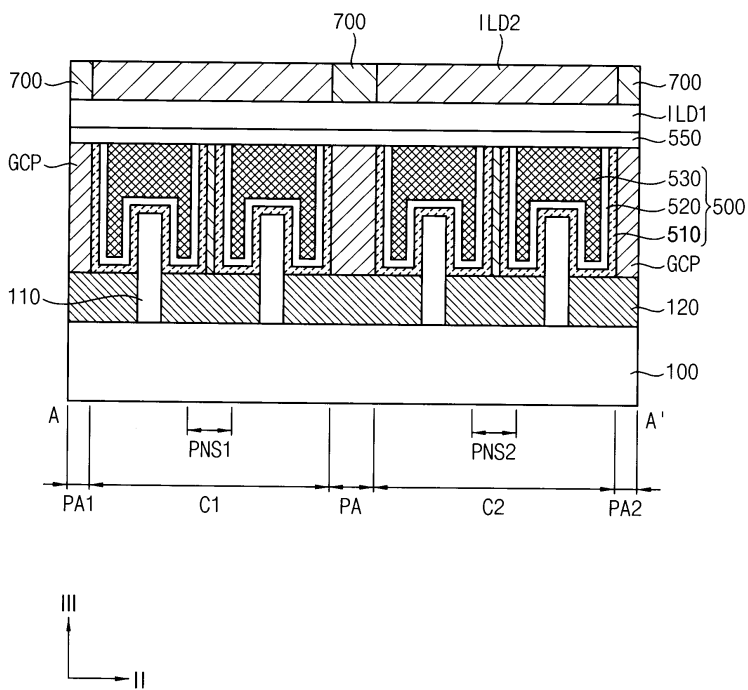
도면38d



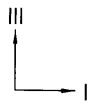
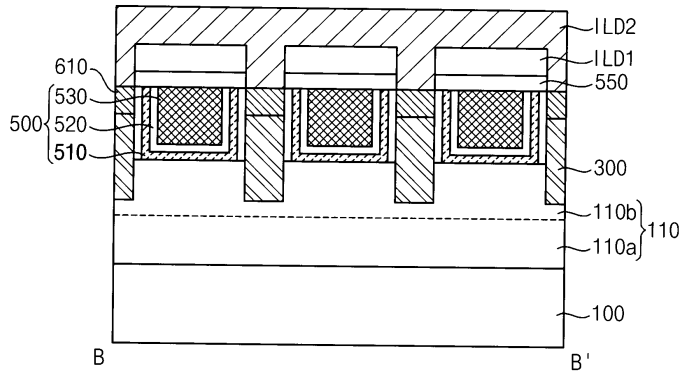
도면39



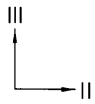
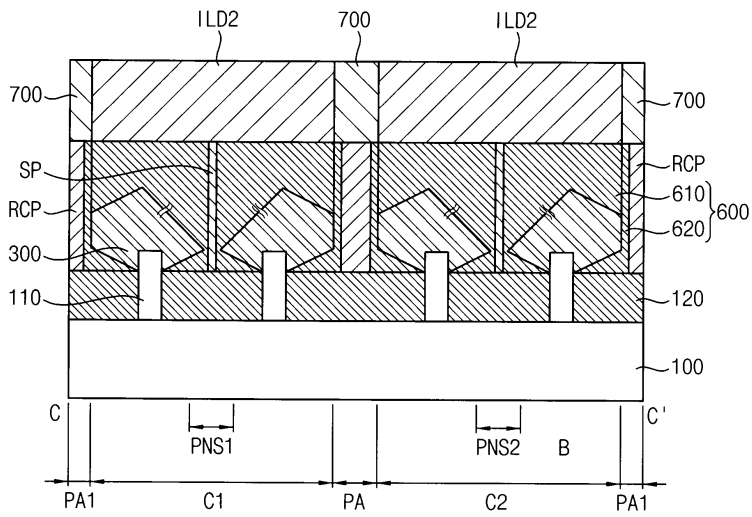
도면40a



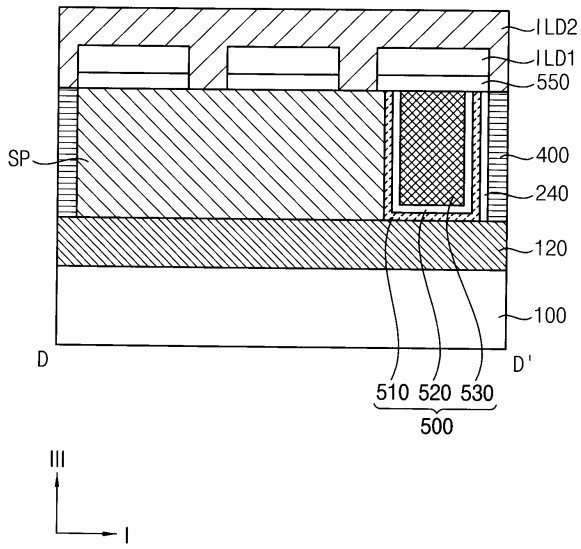
도면40b



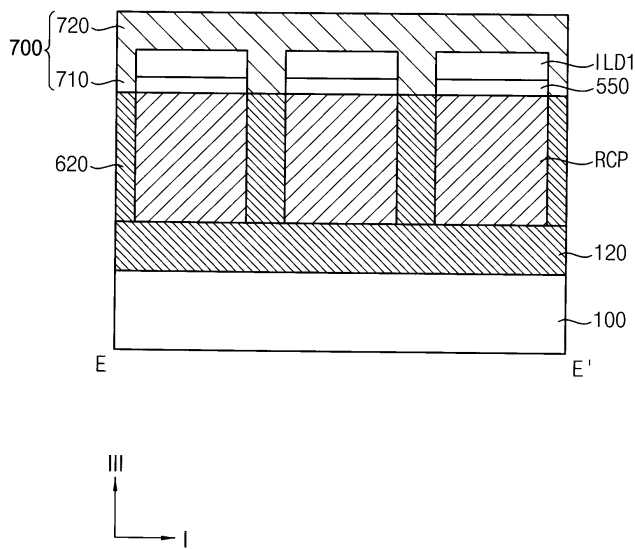
도면40c



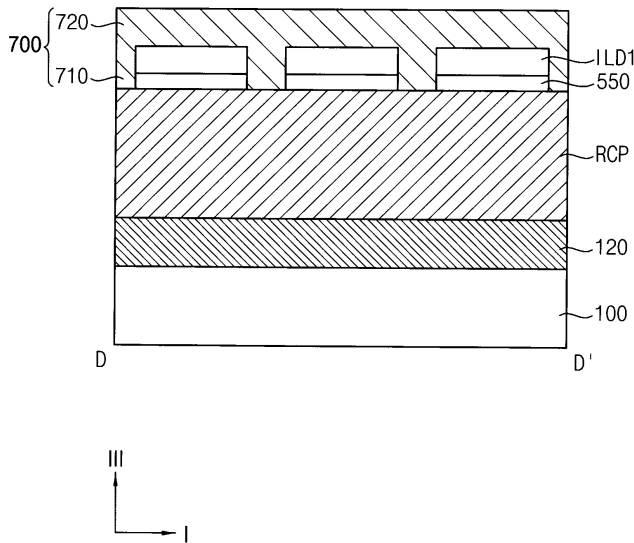
도면40d



도면40e



도면40f



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

파워영역 및 복수 개의 셀 영역들을 구비하는 기관;

상기 파워영역에 의하여 상기 기관의 상면과 평행한 제2 방향으로 이격된 상기 각 셀 영역들 상에 형성되며, 상기 기관 상면과 평행하고 상기 제2 방향과 교차하는 제1 방향으로 연장되는 복수 개의 활성 핀들;

상기 셀 영역들 상에서 각각이 상기 제2 방향을 따라 라인형상으로 연장되고, 서로 상기 제1 방향을 따라 이격되는 게이트 구조물들;

상기 셀 영역들 상에서 에피택시얼 성장 공정을 통해 상기 각 게이트 구조물들과 인접한 상기 각 활성 핀들 부분 상에 형성되고, 상기 제1 방향으로 인접한 상기 게이트 구조물들 사이에서 이들 각각의 상기 제1 방향으로 서로 대향하는 측벽들과 접촉하며, 상기 제2 방향을 따라 서로 이격된 접합층들; 및

상기 파워영역 상에서 상기 제1 방향을 따라 연장되어, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각각 형성된 상기 게이트 구조물들을 상기 셀 영역들 별로 분리하고, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각각 형성된 상기 접합층들을 상기 셀 영역들 별로 분리하는 커팅패턴을 포함하며

상기 각 접합층들은 상기 커팅패턴과 마주보는 평면부 및 상기 평면부와 상기 제2 방향으로 대향하는 단부를 구비하고, 상기 접합층은 상기 커팅패턴에 의해 상기 제2 방향으로의 성장이 저지되므로, 상기 접합층의 상기 평면부는 상기 접합층의 단부에 비해 상대적으로 큰 사이즈를 가지는 반도체 소자.

【변경후】

파워영역 및 복수 개의 셀 영역들을 구비하는 기관;

상기 파워영역에 의하여 상기 기관의 상면과 평행한 제2 방향으로 이격된 각 상기 셀 영역들 상에 형성되며, 상기 기관 상면과 평행하고 상기 제2 방향과 교차하는 제1 방향으로 연장되는 복수 개의 활성 핀들;

상기 셀 영역들 상에서 각각이 상기 제2 방향을 따라 라인형상으로 연장되고, 서로 상기 제1 방향을 따라 이격되는 게이트 구조물들;

상기 셀 영역들 상에서 에피택시얼 성장 공정을 통해 각 상기 게이트 구조물들과 인접한 각 상기 활성 핀들 부분 상에 형성되고, 상기 제1 방향으로 인접한 상기 게이트 구조물들 사이에서 이들 각각의 상기 제1 방향으로 서로 대향하는 측벽들과 접촉하며, 상기 제2 방향을 따라 서로 이격된 접합층들; 및

상기 파워영역 상에서 상기 제1 방향을 따라 연장되어, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각

각 형성된 상기 게이트 구조물들을 상기 셀 영역들 별로 분리하고, 상기 제2 방향으로 서로 이웃하는 상기 셀 영역들에 각각 형성된 상기 접합층들을 상기 셀 영역들 별로 분리하는 커팅패턴을 포함하며

각 상기 접합층들은 상기 커팅패턴과 마주보는 평면부 및 상기 평면부와 상기 제2 방향으로 대향하는 단부를 구비하고, 상기 접합층은 상기 커팅패턴에 의해 상기 제2 방향으로의 성장이 저지되므로, 상기 접합층의 상기 평면부는 상기 접합층의 단부에 비해 상대적으로 큰 사이즈를 가지는 반도체 소자.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

제1항에 있어서, 상기 각 셀 영역들은 각각 서로 다른 도전형을 가지며 상기 제2 방향으로 배치된 피모스 영역 및 엔모스 영역과, 상기 피모스 영역 및 엔모스 영역 사이에서 상기 제1 방향으로 연장되는 분리영역을 포함하고,

상기 분리영역 상에서 상기 제1 방향으로 연장되며, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 게이트 구조물들을 상기 제2 방향으로 분리하고, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 접합층들을 상기 제2 방향으로 분리하는 분리패턴을 더 포함하는 반도체 소자.

【변경후】

제1항에 있어서, 각 상기 셀 영역들은 각각 서로 다른 도전형을 가지며 상기 제2 방향으로 배치된 피모스 영역 및 엔모스 영역과, 상기 피모스 영역 및 엔모스 영역 사이에서 상기 제1 방향으로 연장되는 분리영역을 포함하고,

상기 분리영역 상에서 상기 제1 방향으로 연장되며, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 게이트 구조물들을 상기 제2 방향으로 분리하고, 상기 피모스 영역 및 엔모스 영역에 각각 형성된 상기 접합층들을 상기 제2 방향으로 분리하는 분리패턴을 더 포함하는 반도체 소자.