



(21)申請案號：107121850

(22)申請日：中華民國 107 (2018) 年 06 月 26 日

(51)Int. Cl. : **H01L27/108 (2006.01)****G11C11/4094(2006.01)**

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：任楷 JEN, KAI (TW)；田中義典 TANAKA, YOSHINORI (JP)；張維哲 CHANG, WEI-CHE (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I254417

US 4987470

審查人員：張展溢

申請專利範圍項數：20 項 圖式數：32 共 54 頁

(54)名稱

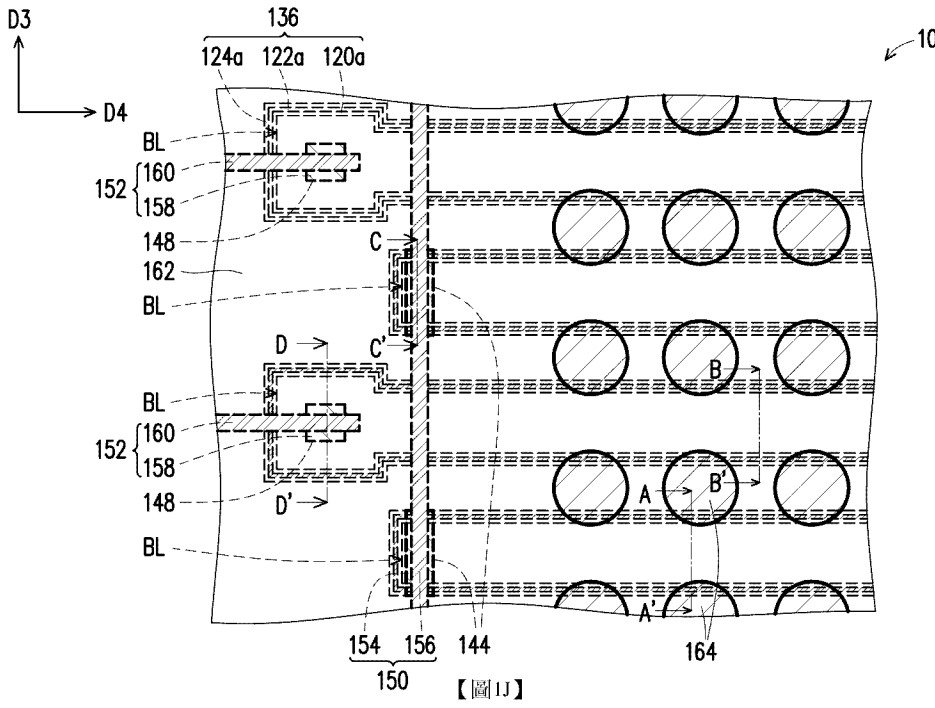
動態隨機存取記憶體及其製造、寫入與讀取方法

(57)摘要

一種動態隨機存取記憶體及其製造、寫入與讀取方法，其中上述動態隨機存取記憶體包括基底、位元線、側壁結構與內連線結構。位元線設置於基底上。側壁結構設置於位元線的側壁上。側壁結構包括第一絕緣層、第二絕緣層與屏蔽導體層。第一絕緣層設置於位元線的側壁上。第二絕緣層設置於第一絕緣層上。屏蔽導體層設置於第一絕緣層與第二絕緣層之間。內連線結構電性連接於屏蔽導體層。上述動態隨機存取記憶體及其製造、寫入與讀取方法可有效地降低位元線的寄生電容。

A dynamic random access memory (DRAM) and methods of manufacturing, reading and writing the same. The DRAM includes a substrate, a bit line, a sidewall structure and an interconnection structure. The bit line is disposed on the substrate. The sidewall structure is disposed on a sidewall of the bit line. The sidewall structure includes a first insulation layer, a second insulation layer, and a shield conductor layer. The first insulation layer is disposed on the sidewall of the bit line. The second insulation layer is disposed on the first insulation layer. The shield conductor layer is disposed between the first insulation layer and the second insulation layer. The interconnection structure is electrically connected to the shield conductor layer. The DRAM and its manufacturing, writing and reading methods can effectively reduce the parasitic capacitance of the bit line.

指定代表圖：



符號簡單說明：

- 10：動態隨機存取記憶體
- 120a、124a：絕緣層
- 122a：屏蔽導體層
- 136：側壁結構
- 144、148：開口
- 150、152：內連線結構
- 154、158：接觸窗
- 156、160：導線
- 162：介電層
- 164：電容結構
- BL：位元線
- D3、D4：方向

【圖11】

【發明說明書】

【中文發明名稱】

動態隨機存取記憶體及其製造、寫入與讀取方法

【英文發明名稱】

DYNAMIC RANDOM ACCESS MEMORY AND METHODS OF MANUFACTURING, READING AND WRITING THE SAME

【技術領域】

【0001】 本發明是有關於一種記憶體及其製造、寫入與讀取方法，且特別是有關於一種動態隨機存取記憶體及其製造、寫入與讀取方法。

【先前技術】

【0002】 隨著動態隨機存取記憶體設計的尺寸不斷縮小，半導體裝置不斷的往高積集度發展，動態隨機存取記憶體的效能會受到位元線的寄生電容的影響。因此，如何有效地降低位元線的寄生電容成為本領域重要的研究課題。

【發明內容】

【0003】 本發明提供一種動態隨機存取記憶體及其製造、寫入與讀取方法，其可有效地降低位元線的寄生電容。

【0004】 本發明提出一種動態隨機存取記憶體，包括基底、位元線、側壁結構與內連線結構。位元線設置於基底上。側壁結構設

置於位元線的側壁上。側壁結構包括第一絕緣層、第二絕緣層與屏蔽導體層。第一絕緣層設置於位元線的側壁上。第二絕緣層設置於第一絕緣層上。屏蔽導體層設置於第一絕緣層與第二絕緣層之間。內連線結構電性連接於屏蔽導體層。

【0005】 本發明提出一種動態隨機存取記憶體的製造方法，包括以下步驟。於基底上形成位元線。於位元線的側壁上形成側壁結構。側壁結構包括第一絕緣層、第二絕緣層與屏蔽導體層。第一絕緣層設置於位元線的側壁上。第二絕緣層設置於第一絕緣層上。屏蔽導體層設置於第一絕緣層與第二絕緣層之間。形成電性連接於屏蔽導體層的內連線結構。

【0006】 本發明提出一種動態隨機存取記憶體的寫入方法。第一邏輯位準的寫入方法包括以下步驟。對屏蔽導體層施加第一屏蔽電壓。對位元線施加位元線高位準電壓。第一屏蔽電壓大於或等於位元線高位準電壓。對字元線施加第一字元線操作電壓。第二邏輯位準的寫入方法包括以下步驟。對屏蔽導體層施加第二屏蔽電壓。對位元線施加位元線低位準電壓。第二屏蔽電壓小於或等於位元線低位準電壓。對字元線施加第二字元線操作電壓。

【0007】 本發明提出一種動態隨機存取記憶體的讀取方法，包括以下步驟。在進行讀取之前，對位元線施加等化電壓，且對屏蔽導體層施加屏蔽電壓，其中等化電壓與屏蔽電壓分別小於位元線高位準電壓且大於位元線低位準電壓。位元線高位準電壓為儲存第一邏輯位準時施加於位元線的電壓。位元線低位準電壓為儲存

第二邏輯位準時施加於位元線的電壓。對字元線施加字元線操作電壓，以對動態隨機存取記憶體進行讀取。

【0008】 基於上述，在本發明所提出的動態隨機存取記憶體及其製造、寫入與讀取方法中，可藉由屏蔽導體層降低位元線的寄生電容，進而可減少電阻電容延遲(RC-delay)的情況，而可具有足夠的感測裕度(sensing margin)。藉此，動態隨機存取記憶體可具有較高的可靠度，且有利於應用在低功率的動態隨機存取記憶體結構中。此外，本發明所提出的動態隨機存取記憶體的製造方法可輕易地與現有製程進行整合。

【0009】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0010】

圖 1A 至圖 1J 為本發明一實施例的動態隨機存取記憶體的製造流程剖面圖。

圖 2A 至圖 2J 為沿著圖 1A 至圖 1J 中的 A-A'剖面線的剖面圖。

圖 3A 至圖 3J 為沿著圖 1A 至圖 1J 中的 B-B'剖面線的剖面圖。

圖 4A 至圖 4J 為沿著圖 1A 至圖 1J 中的 C-C'剖面線的剖面圖。

圖 5A 至圖 5J 為沿著圖 1A 至圖 1J 中的 D-D'剖面線的剖面圖。

圖 6 為本發明一實施例的動態隨機存取記憶體 10 的第一邏輯位準的寫入操作流程圖。

圖 7 為本發明一實施例的動態隨機存取記憶體 10 的第二邏輯位準的寫入操作流程圖。

圖 8 為本發明一實施例的動態隨機存取記憶體 10 的讀取操作流程圖。

【實施方式】

【0011】 圖 1A 至圖 1J 為本發明一實施例的動態隨機存取記憶體的製造流程剖面圖。圖 2A 至圖 2J 為沿著圖 1A 至圖 1J 中的 A-A' 剖面線的剖面圖。圖 3A 至圖 3J 為沿著圖 1A 至圖 1J 中的 B-B' 剖面線的剖面圖。圖 4A 至圖 4J 為沿著圖 1A 至圖 1J 中的 C-C' 剖面線的剖面圖。圖 5A 至圖 5J 為沿著圖 1A 至圖 1J 中的 D-D' 剖面線的剖面圖。在圖 1A 至圖 1J 的上視圖中，為了清楚說明各構件之間的關係，省略圖 2A 至圖 5J 的剖面圖中的部分構件，且僅繪示出側壁結構的部分輪廓。

【0012】 請參照圖 1A、圖 2A、圖 3A、圖 4A 與圖 5A，可於基底 100 中形成多個隔離結構(如隔離結構 102a 與隔離結構 102b)，而定義出多個主動區 AA。基底 100 例如是矽基底。隔離結構 102a 與隔離結構 102b 的材料例如是氧化矽。隔離結構 102a 與隔離結構 102b 例如是藉由淺溝渠隔離結構製程所製作而成。

【0013】 在此實施例中，位於隔離結構 102b 的兩側的主動區 AA 的上視圖案可具有不同的延伸方向，但本發明並不以此為限。舉例來說，位於隔離結構 102b 的一側的主動區 AA 的上視圖案可在

正斜率的方向 D1 上延伸，且位於隔離結構 102b 的另一側的主動區 AA 的上視圖案可在負斜率的方向 D2 上延伸。在另一實施例中，位於隔離結構 102b 的兩側的主動區 AA 的上視圖案亦可具有相同的延伸方向。

【0014】 接著，可形成字元線 WL。字元線 WL 例如是形成在基底 100 中的埋入式字元線，但本發明並不以此為限。字元線 WL 可沿著方向 D3 延伸。此外，字元線 WL 可藉由介電層(未示出)與基底 100 電性絕緣。字元線 WL 的材料例如是鎢、鋁、銅或其組合。

【0015】 然後，在主動區 AA 中，於字元線 WL 的一側與另一側的基底 100 中分別形成摻雜區 104 與摻雜區 106。摻雜區 104 與摻雜區 106 的形成方法例如是離子植入法。

【0016】 接下來，於基底 100 上形成介電層 108。介電層 108 的材料例如是氧化矽。介電層 108 的形成方法例如是化學氣相沉積法。

【0017】 之後，於介電層 108 中形成暴露出摻雜區 104 的開口 110。開口 110 的形成方法例如是對介電層 108 進行微影製程與蝕刻製程。

【0018】 請參照圖 1B、圖 2B、圖 3B、圖 4B 與圖 5B，於基底 100 上形成位元線 BL，如位元線 BL 可形成在介電層 108 上。位元線 BL 可沿著方向 D4 延伸，而使得字元線 WL 與位元線 BL 可彼此相交。此外，字元線 WL 與位元線 BL 可藉由介電材料(如，介電層 108)而彼此電性絕緣。位元線 BL 可為單層結構或多層結構。在此實施例中，位元線 BL 是以多層結構為例來進行說明。位元線

BL 可包括導體層 112 與導體層 114。導體層 112 例如是摻雜多晶矽層。導體層 114 例如是鎢/氮化鈦/鈦(W/TiN/Ti)的組合層。

【0019】 位元線 BL 電性連接於摻雜區 104。舉例來說，部分位元線 BL 可填入開口 110 中，而電性連接於摻雜區 104。亦即，填入開口 110 中的位元線 BL 可以作為接觸窗，但本發明並不以此為限。在其他實施例中，亦可另外形成用以電性連接位元線 BL 與摻雜區 104 的接觸窗。此外，可於位元線 BL 上依序形成硬罩幕層 116 與頂蓋層 118。硬罩幕層 116 的材料例如是氮化矽。頂蓋層 118 的材料例如是氧化矽。

【0020】 舉例來說，導體層 112、導體層 114、硬罩幕層 116 與頂蓋層 118 的形成方法可包括以下步驟。於介電層 108 上依序形成第一導體材料層(未示出)、第二導體材料層(未示出)、硬罩幕材料層(未示出)與頂蓋材料層(未示出)。接著，對頂蓋材料層、硬罩幕材料層、第二導體材料層與第一導體材料層進行微影與蝕刻製程。

【0021】 以下，在圖 1C 至圖 1J 中，除了需要進行說明的構件之外，省略被其他膜層所覆蓋的構件。

【0022】 請參照圖 1C、圖 2C、圖 3C、圖 4C 與圖 5C，可依序於位元線 BL 上共形地形成絕緣材料層 120 與屏蔽導體材料層 122。絕緣材料層 120 的材料例如是氮化矽。絕緣材料層 120 的形成方法例如是化學氣相沉積法。屏蔽導體材料層 122 的材料例如是金屬或摻雜多晶矽。在此實施例中，屏蔽導體材料層 122 的材料是以氮化鈦為例來進行說明。屏蔽導體材料層 122 的形成方法例如

是化學氣相沉積法或物理氣相沉積法。

【0023】 請參照圖 1D、圖 2D、圖 3D、圖 4D 與圖 5D，對屏蔽導體材料層 122 與絕緣材料層 120 進行回蝕刻製程，而分別形成屏蔽導體層 122a 與絕緣層 120a。此外，在上述回蝕刻製程中，可同時移除部分或全部頂蓋層 118。回蝕刻製程例如是乾式蝕刻製程。

【0024】 接著，可於位元線 BL 上共形地形成覆蓋屏蔽導體層 122a 與絕緣層 120a 的絕緣材料層 124。絕緣材料層 124 的材料例如是氮化矽。絕緣材料層 124 的形成方法例如是化學氣相沉積法。

【0025】 然後，可於位元線 BL 兩側的絕緣材料層 124 上形成介電層 126。介電層 126 的材料例如是氧化矽。在一實施例中，介電層 126 的形成方法可包括以下步驟。首先，可藉由旋轉塗佈法形成覆蓋絕緣材料層 124 的介電材料層(未示出)，且可對介電材料層進行回火製程。接著，可利用位於位元線 BL 上方的絕緣材料層 124 作為研磨終止層，對介電材料層進行化學機械研磨製程。

【0026】 接下來，可形成覆蓋絕緣材料層 124 與介電層 126 的頂蓋層 128。頂蓋層 128 的材料例如是氧化矽。頂蓋層 128 的形成方法例如是化學氣相沉積法。

【0027】 請參照圖 1E、圖 2E、圖 3E、圖 4E 與圖 5E，於頂蓋層 128 上形成圖案化光阻層 130。圖案化光阻層 130 可暴露出位於摻雜區 106 上方的部分頂蓋層 128。圖案化光阻層 130 例如是藉由進行微影製程而形成。

【0028】 接著，可移除圖案化光阻層 130 所暴露出的頂蓋層 128、

介電層 126、絕緣材料層 124 與介電層 108，而形成暴露出摻雜區 106 的開口 132。此外，在形成開口 132 的過程中，可能會移除部分摻雜區 106。

【0029】 請參照圖 1F、圖 2F、圖 3F、圖 4F 與圖 5F，移除圖案化光阻層 130。接著，於開口 132 中形成導體層 134。導體層 134 的材料例如是摻雜多晶矽或金屬。在此實施例中，導體層 134 的材料是以摻雜多晶矽為例來進行說明。導體層 134 的形成方法例如是先形成填滿開口 132 的導體材料層(未示出)，再藉由化學機械研磨製程移除開口 132 以外的導體材料層。此外，在移除部分導體材料層的製程中，可同時移除部分絕緣材料層 124 而形成絕緣層 124a，且可同時移除頂蓋層 128、部分介電層 126、頂蓋層 118、部分屏蔽導體層 122a 與部分絕緣層 120a。此外，在移除部分導體材料層的製程中，可能會移除部分硬罩幕層 116。

【0030】 藉此，於位元線 BL 的側壁上形成側壁結構 136。側壁結構 136 包括絕緣層 120a、絕緣層 124a 與屏蔽導體層 122a。絕緣層 120a 設置於位元線 BL 的側壁上。絕緣層 124a 設置於絕緣層 120a 上。屏蔽導體層 122a 設置於絕緣層 120a 與絕緣層 124a 之間。在此實施例中，雖然側壁結構 136 是以上述方法形成，但本發明並不以此為限。

【0031】 請參照圖 1G、圖 2G、圖 3G、圖 4G 與圖 5G，可對導體層 134 進行回蝕刻製程，以移除部分導體層 134。回蝕刻製程例如是乾式蝕刻製程。

【0032】 接著，可於導體層 134 上形成間隙壁 138。間隙壁 138 的材料例如是氮化矽。間隙壁 138 的形成方法例如是先於導體層 134 上共形地形成間隙壁層(未示出)，再對間隙壁層進行回蝕刻製程。間隙壁層的形成方法例如是化學氣相沉積法。回蝕刻製程例如是乾式蝕刻製程。然後，可利用間隙壁 138 作為罩幕，移除未被間隙壁 138 所覆蓋的導體層 134，而形成接觸窗 134a。部分導體層 134 的移除方法例如是乾式蝕刻法。

【0033】 請參照圖 1H、圖 2H、圖 3H、圖 4H 與圖 5H，可於側壁結構 136、硬罩幕層 116 與接觸窗 134a 上依序形成硬罩幕層 140 與圖案化光阻層 142。圖案化光阻層 142 例如是藉由進行微影製程而形成。硬罩幕層 140 的材料例如是氮化矽。硬罩幕層 140 的形成方法例如是化學氣相沉積法。

【0034】 接著，可利用圖案化光阻層 142 作為罩幕，移除位於位元線 BL 的末端位置的部分硬罩幕層 140，而形成暴露出遮蔽導體層 122a 的開口 144。在移除部分硬罩幕層 140 的製程中，可同時移除部分硬罩幕層 116 與部分側壁結構 136。部分硬罩幕層 140 的移除方法例如是乾式蝕刻法。

【0035】 請參照圖 1I、圖 2I、圖 3I、圖 4I 與圖 5I，移除圖案化光阻層 142。接著，可於側壁結構 136、硬罩幕層 116 與接觸窗 134a 上形成圖案化光阻層 146，且圖案化光阻層 146 填入開口 144 中。圖案化光阻層 146 例如是藉由進行微影製程而形成。

【0036】 接著，可利用圖案化光阻層 146 作為罩幕，移除位於位

元線 BL 的另一末端位置的部分硬罩幕層 140，而形成開口 148。部分硬罩幕層 140 的移除方法例如是乾式蝕刻法。開口 148 與開口 144 可沿著方向 D3 交錯排列。然後，可利用圖案化光阻層 146 作為罩幕，移除部分硬罩幕層 116，而使得開口 148 暴露出位元線 BL。部分硬罩幕層 116 的移除方法例如是乾式蝕刻法。

【0037】 請參照圖 1J、圖 2J、圖 3J、圖 4J 與圖 5J，移除圖案化光阻層 146。接著，可形成電性連接於屏蔽導體層 122a 的內連線結構 150，且可形成電性連接於位元線 BL 的內連線結構 152。內連線結構 150 與位元線 BL 可藉由介電材料(如，硬罩幕層 116)而彼此電性絕緣。內連線結構 150 的形成方法例如是在位元線 BL 的末端位置，進行金屬內連線製程。內連線結構 152 的形成方法例如是在位元線 BL 的另一末端位置，進行金屬內連線製程。

【0038】 內連線結構 150 可包括接觸窗 154 與導線 156。接觸窗 154 設置於開口 144 中，且導線 156 設置於接觸窗 154 上。內連線結構 152 可包括接觸窗 158 與導線 160。接觸窗 158 設置於開口 148 中，且導線 160 設置於接觸窗 158 上。接觸窗 154 與接觸窗 158 可沿著方向 D3 交錯排列。接觸窗 154 與接觸窗 158 可分別位於同一條位元線 BL 的一末端與另一末端。導線 156 與導線 160 可分別沿著方向 D3 與方向 D4 延伸。接觸窗 154 與接觸窗 158 例如是鎢/氮化鈦(W/TiN)的組合層。導線 156 與導線 160 例如是鎢/氮化鎢(W/WN)的組合層。

【0039】 然後，可於硬罩幕層 140 上形成覆蓋內連線結構 152 的

介電層 162。介電層 162 的材料例如是氧化矽。介電層 162 的形成方法例如是化學氣相沉積法。

【0040】 接下來，可於介電層 162 中形成電性連接於摻雜區 106 的電容結構 164。電容結構 164 可藉由接觸窗 134a 而電性連接於摻雜區 106。在形成電容結構 164 的製程中，會移除部分硬罩幕層 140 與間隙壁 138。在此實施例中，電容結構 164 僅為示意性的繪示，本發明並不以此為限。所屬技術領域具有通常知識者可依據實際需求對電容結構 164 進行設計與調整。舉例來說，電容結構 164 可為 U 形，且電容結構 164 可藉由連接墊(landing pad)電性連接至接觸窗 134a。

【0041】 以下，藉由圖 1B、圖 1J、圖 2J、圖 3J、圖 4J 與圖 5J 來說明上述實施例的動態隨機存取記憶體 10。

【0042】 請參照圖 1B、圖 1J、圖 2H、圖 3H、圖 4H 與圖 5H，動態隨機存取記憶體 10 包括基底 100、位元線 BL、側壁結構 136 與內連線結構 150，且更可包括多個隔離結構(如隔離結構 102a 與隔離結構 102b)、字元線 WL、摻雜區 104、摻雜區 106、電容結構 164 與內連線結構 152 中的至少一者。位元線 BL 設置於基底 100 上。側壁結構 136 設置於位元線 BL 的側壁上。側壁結構 136 包括絕緣層 120a、絕緣層 124a 與屏蔽導體層 122a。屏蔽導體層 122a 的材料例如是金屬或摻雜多晶矽。絕緣層 120a 設置於位元線 BL 的側壁上。絕緣層 124a 設置於絕緣層 120a 上。屏蔽導體層 122a 設置於絕緣層 120a 與絕緣層 124a 之間。內連線結構 150 電性連

接於屏蔽導體層 122a。內連線結構 150 與屏蔽導體層 122a 可在位元線 BL 的末端位置進行電性連接。內連線結構 150 與位元線 BL 可彼此電性絕緣。隔離結構 102a 與隔離結構 102b 設置於基底 100 中，而定義出多個主動區 AA。字元線 WL 與位元線 BL 可彼此相交且彼此電性絕緣。摻雜區 104 與摻雜區 106 分別位於字元線 WL 的一側與另一側的基底 100 中。位元線 BL 電性連接於摻雜區 104。電容結構 164 可藉由接觸窗 134a 而電性連接於摻雜區 106。

【0043】此外，動態隨機存取記憶體 10 中各構件的材料、形成方法與功效等，已於上述實施例中進行說明，於此不再重複說明。

【0044】基於上述實施例可知，動態隨機存取記憶體 10 可藉由屏蔽導體層 122a 降低位元線 BL 的寄生電容，進而可減少電阻電容延遲 (RC-delay) 的情況，而可具有足夠的感測裕度 (sensing margin)。藉此，動態隨機存取記憶體 10 可具有較高的可靠度，且有利於應用在低功率的動態隨機存取記憶體結構中。此外，本發明所提出的動態隨機存取記憶體 10 的製造方法可輕易地與現有製程進行整合。

【0045】圖 6 為本發明一實施例的動態隨機存取記憶體 10 的第一邏輯位準的寫入操作流程圖。在此實施例中，第一邏輯位準是以邏輯 1 為例來進行說明。

【0046】請參照圖 6，進行步驟 S100，對屏蔽導體層 122a 施加屏蔽電壓 (V_s)。進行步驟 S102，對位元線 BL 施加位元線高位準電壓 (V_{BLH})。屏蔽電壓 (V_s) 大於或等於位元線高位準電壓 (V_{BLH})。進行

步驟 S104，對字元線 WL 施加字元線操作電壓(V_{WL})。

【0047】圖 7 為本發明一實施例的動態隨機存取記憶體 10 的第二邏輯位準的寫入操作流程圖。在此實施例中，第二邏輯位準是以邏輯 0 為例來進行說明。

【0048】請參照圖 7，進行步驟 S200，對屏蔽導體層 122a 施加屏蔽電壓(V_S)。進行步驟 S202，對位元線 BL 施加位元線低位準電壓(V_{BLL})。屏蔽電壓(V_S)小於或等於位元線低位準電壓(V_{BLL})。進行步驟 S204，對字元線 WL 施加字元線操作電壓(V_{WL})。

【0049】圖 8 為本發明一實施例的動態隨機存取記憶體 10 的讀取操作流程圖。在此實施例中，第一邏輯位準是以邏輯 1 為例來進行說明，且第二邏輯位準是以邏輯 0 為例來進行說明。

【0050】請參照圖 8，進行步驟 S300，在進行讀取之前，對位元線 BL 施加等化電壓(V_{BLEQ})，且對屏蔽導體層 122a 施加屏蔽電壓(V_S)，其中等化電壓(V_{BLEQ})與屏蔽電壓(V_S)分別小於位元線高位準電壓(V_{BLH})且大於位元線低位準電壓(V_{BLL})。等化電壓(V_{BLEQ})與屏蔽電壓(V_S)可為相同或不同的電壓。位元線高位準電壓(V_{BLH})為儲存第一邏輯位準時施加於位元線 BL 的電壓。位元線低位準電壓(V_{BLL})為儲存第二邏輯位準時施加於位元線 BL 的電壓。等化電壓(V_{BLEQ})例如是位元線高位準電壓(V_{BLH})與位元線低位準電壓(V_{BLL})的和的一半。屏蔽電壓(V_S)例如是位元線高位準電壓(V_{BLH})與位元線低位準電壓(V_{BLL})的和的一半。進行步驟 S302，對字元線 WL 施加字元線操作電壓(V_{WL})，以對動態隨機存取記憶體 10 進行讀

取。此外，在對位元線 BL 施加等化電壓(V_{BLEQ})之後，可經過一段等待時間，再對字元線 WL 施加字元線操作電壓(V_{WL})。

【0051】 [實例]

【0052】 在下表 1 中，記載本發明一實例的動態隨機存取記憶體 10 的寫入操作與讀取操作的電壓，但本發明並不以此為限。

【0053】 表 1

	寫入邏輯 1	寫入邏輯 0	讀取
字元線電壓	2.6V	2.6V	2.6V
位元線電壓	1V	0V	0.5V
屏蔽電壓	1V	0V	0.5V

【0054】 綜上所述，在上述實施例的動態隨機存取記憶體及其製造、寫入與讀取方法中，可藉由屏蔽導體層降低位元線的寄生電容，進而可減少電阻電容延遲的情況，而可具有足夠的感測裕度。藉此，動態隨機存取記憶體可具有較高的可靠度，且有利於應用在低功率的動態隨機存取記憶體結構中。此外，上述實施例的動態隨機存取記憶體的製造方法可輕易地與現有製程進行整合。

【0055】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0056】

10：動態隨機存取記憶體	130、142、146：圖案化光阻層
100：基底	134a、154、158：接觸窗
102a、102b：隔離結構	136：側壁結構
104、106：摻雜區	138：間隙壁
108、126、162：介電層	150、152：內連線結構
110、132、144、148：開口	156、160：導線
112、114、134：導體層	164：電容結構
116、140：硬罩幕層	AA：主動區
118、128：頂蓋層	BL：位元線
120：絕緣材料層	D1、D2、D3、D4：方向
120a、124a：絕緣層	S100、S102、S104、S200、S202、
122：屏蔽導體材料層	S204、S300、S302：步驟
122a：屏蔽導體層	WL：字元線
124：絕緣材料層	



I683418

【發明摘要】

【中文發明名稱】

動態隨機存取記憶體及其製造、寫入與讀取方法

【英文發明名稱】

DYNAMIC RANDOM ACCESS MEMORY AND METHODS OF
MANUFACTURING, READING AND WRITING THE SAME

【中文】

一種動態隨機存取記憶體及其製造、寫入與讀取方法，其中上述動態隨機存取記憶體包括基底、位元線、側壁結構與內連線結構。位元線設置於基底上。側壁結構設置於位元線的側壁上。側壁結構包括第一絕緣層、第二絕緣層與屏蔽導體層。第一絕緣層設置於位元線的側壁上。第二絕緣層設置於第一絕緣層上。屏蔽導體層設置於第一絕緣層與第二絕緣層之間。內連線結構電性連接於屏蔽導體層。上述動態隨機存取記憶體及其製造、寫入與讀取方法可有效地降低位元線的寄生電容。

【英文】

A dynamic random access memory (DRAM) and methods of manufacturing, reading and writing the same. The DRAM includes a substrate, a bit line, a sidewall structure and an interconnection structure. The bit line is disposed on the substrate. The sidewall

structure is disposed on a sidewall of the bit line. The sidewall structure includes a first insulation layer, a second insulation layer, and a shield conductor layer. The first insulation layer is disposed on the sidewall of the bit line. The second insulation layer is disposed on the first insulation layer. The shield conductor layer is disposed between the first insulation layer and the second insulation layer. The interconnection structure is electrically connected to the shield conductor layer. The DRAM and its manufacturing, writing and reading methods can effectively reduce the parasitic capacitance of the bit line.

【指定代表圖】圖 1J。

【代表圖之符號簡單說明】

10：動態隨機存取記憶體	154、158：接觸窗
120a、124a：絕緣層	156、160：導線
122a：屏蔽導體層	162：介電層
136：側壁結構	164：電容結構
144、148：開口	BL：位元線
150、152：內連線結構	D3、D4：方向

【特徵化學式】

無。

【發明申請專利範圍】

【第1項】 一種動態隨機存取記憶體，包括：

基底；

位元線，設置於所述基底的頂面上；

側壁結構，設置於所述位元線的側壁上，且包括：

第一絕緣層，設置於所述位元線的側壁上；

第二絕緣層，設置於所述第一絕緣層上；以及

屏蔽導體層，設置於所述第一絕緣層與所述第二絕緣層之間；以及

內連線結構，電性連接於所述屏蔽導體層。

【第2項】 如申請專利範圍第1項所述的動態隨機存取記憶體，其中所述屏蔽導體層的材料包括金屬或摻雜多晶矽。

【第3項】 如申請專利範圍第1項所述的動態隨機存取記憶體，其中所述內連線結構與所述位元線彼此電性絕緣。

【第4項】 如申請專利範圍第1項所述的動態隨機存取記憶體，其中所述內連線結構與所述屏蔽導體層在所述位元線的末端位置進行電性連接。

【第5項】 如申請專利範圍第1項所述的動態隨機存取記憶體，更包括多個隔離結構，其中所述多個隔離結構設置於所述基底中，而定義出多個主動區。

【第6項】如申請專利範圍第1項所述的動態隨機存取記憶體，更包括字元線，其中所述字元線與所述位元線彼此相交且彼此電性絕緣。

【第7項】如申請專利範圍第1項所述的動態隨機存取記憶體，更包括第一摻雜區與第二摻雜區，其中所述第一摻雜區與所述第二摻雜區分別位於所述字元線的一側與另一側的所述基底中，其中所述位元線電性連接於所述第一摻雜區。

【第8項】如申請專利範圍第7項所述的動態隨機存取記憶體，更包括電容結構，其中所述電容結構電性連接於所述第二摻雜區。

【第9項】一種動態隨機存取記憶體的製造方法，包括：

於基底的頂面上形成位元線；

於所述位元線的側壁上形成側壁結構，其中所述側壁結構包括：

第一絕緣層，設置於所述位元線的側壁上；

第二絕緣層，設置於所述第一絕緣層上；以及

屏蔽導體層，設置於所述第一絕緣層與所述第二絕緣層之間；以及

形成電性連接於所述屏蔽導體層的內連線結構。

【第10項】如申請專利範圍第9項所述的動態隨機存取記憶體的製造方法，其中所述側壁結構的形成方法包括：

依序於所述位元線上共形地形成第一絕緣材料層與屏蔽導體材料層；

對所述屏蔽導體材料層與所述第一絕緣材料層進行回蝕刻製程，而分別形成所述屏蔽導體層與所述第一絕緣層；

於所述位元線上共形地形成覆蓋所述屏蔽導體層與所述第一絕緣層的第二絕緣材料層；以及

移除部分所述第二絕緣材料層，而形成所述第二絕緣層。

【第11項】如申請專利範圍第9項所述的動態隨機存取記憶體的製造方法，其中所述內連線結構的形成方法包括在所述位元線的末端位置，進行金屬內連線製程。

【第12項】如申請專利範圍第9項所述的動態隨機存取記憶體的製造方法，更包括於所述基底中形成多個隔離結構，而定義出多個主動區。

【第13項】如申請專利範圍第9項所述的動態隨機存取記憶體的製造方法，更包括形成字元線，其中所述字元線與所述位元線彼此相交且彼此電性絕緣。

【第14項】如申請專利範圍第9項所述的動態隨機存取記憶體的製造方法，更包括於所述字元線的一側與另一側的所述基底中分別形成第一摻雜區與第二摻雜區，其中所述位元線電性連接於所述第一摻雜區。

【第15項】如申請專利範圍第14項所述的動態隨機存取記憶體的製造方法，更包括形成電性連接於所述第二摻雜區的電容結構。

【第16項】一種如申請專利範圍第6項所述的動態隨機存取記憶體的寫入方法，其中

第一邏輯位準的寫入方法，包括：

對所述屏蔽導體層施加第一屏蔽電壓；

對所述位元線施加位元線高位準電壓，其中所述第一屏蔽電壓大於或等於所述位元線高位準電壓；以及

對所述字元線施加第一字元線操作電壓，且

第二邏輯位準的寫入方法，包括：

對所述屏蔽導體層施加第二屏蔽電壓；

對所述位元線施加位元線低位準電壓，其中所述第二屏蔽電壓小於或等於所述位元線低位準電壓；以及

對所述字元線施加第二字元線操作電壓。

【第17項】 一種如申請專利範圍第6項所述的動態隨機存取記憶體的讀取方法，包括：

在進行讀取之前，對所述位元線施加等化電壓，且對所述屏蔽導體層施加屏蔽電壓，其中所述等化電壓與所述屏蔽電壓分別小於位元線高位準電壓且大於位元線低位準電壓，所述位元線高位準電壓為儲存第一邏輯位準時施加於所述位元線的電壓，且所述位元線低位準電壓為儲存第二邏輯位準時施加於所述位元線的電壓；以及

對所述字元線施加字元線操作電壓，以對所述動態隨機存取記憶體進行讀取。

【第18項】 如申請專利範圍第17項所述的動態隨機存取記憶體的讀取方法，其中在對所述位元線施加所述等化電壓之後，經過一段等待時間，再對所述字元線施加所述字元線操作電壓。

【第19項】 如申請專利範圍第17項所述的動態隨機存取記憶體的讀取方法，其中所述等化電壓為所述位元線高位準電壓與所述位元線低位準電壓的和的一半。

【第20項】 如申請專利範圍第17項所述的動態隨機存取記憶體的讀取方法，其中所述屏蔽電壓為所述位元線高位準電壓與所述位元線低位準電壓的和的一半。