

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-129828  
(P2007-129828A)

(43) 公開日 平成19年5月24日(2007.5.24)

|                       |            |             |
|-----------------------|------------|-------------|
| (51) Int. Cl.         | F I        | テーマコード (参考) |
| HO2M 3/07 (2006.01)   | HO2M 3/07  | 5F038       |
| HO1L 21/822 (2006.01) | HO1L 27/04 | 5H730       |
| HO1L 27/04 (2006.01)  | G          |             |

審査請求 未請求 請求項の数 3 O L (全 8 頁)

|           |                              |          |  |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2005-320272 (P2005-320272) | (71) 出願人 | 000001889<br>三洋電機株式会社<br>大阪府守口市京阪本通2丁目5番5号   |
| (22) 出願日  | 平成17年11月4日(2005.11.4)        | (74) 代理人 | 100075258<br>弁理士 吉田 研二   |
|           |                              | (74) 代理人 | 100096976<br>弁理士 石田 純  |
|           |                              | (72) 発明者 | 谷本 孝司<br>大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内   |
|           |                              | Fターム(参考) | 5F038 AV06 BE01 BG05 CD06 CD16<br>EZ20<br>5H730 AA15 AS04 AS05 BB02 BB03<br>BB83 BB88 DD04 DD32 FG01 |

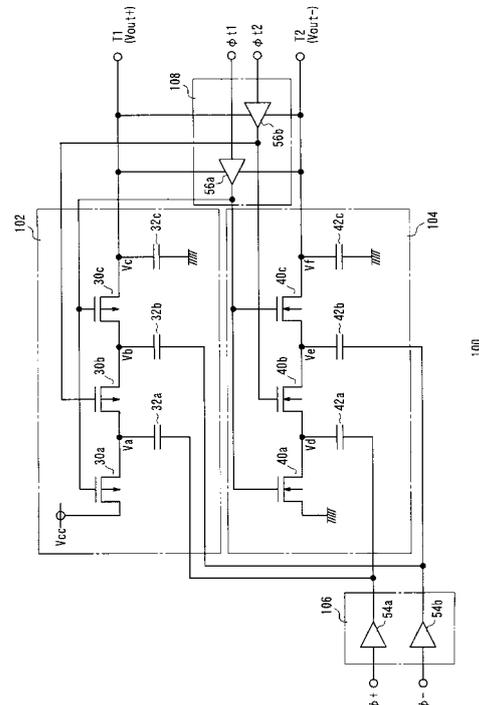
(54) 【発明の名称】 チャージポンプ回路

(57) 【要約】

【課題】 基準電圧と異なる2つの電圧を出力するチャージポンプ回路の回路規模を小さくする。

【解決手段】 第1の電圧Vout+を生成する第1のチャージポンプ回路部102と、第2の電圧Vout-を生成する第2のチャージポンプ回路部104と、第1のチャージポンプ回路部102と第2のチャージポンプ回路部104とに備えられるスイッチング素子30a~30c, 40a~40cに接続され、スイッチング素子30a~30c, 40a~40cを駆動する駆動パルスを供給するバッファ素子56a, 56bを含む駆動パルス供給部108と、コンデンサ32a~32c, 42a~42cを介して第1のチャージポンプ回路部102及び第2のチャージポンプ回路部104に接続され、コンデンサ32a~32c, 42a~42cを充電するクロックパルスを生成する充電パルス供給部106と、を備えることにより上記課題を解決することができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基準電位と異なった第 1 の電圧と、前記基準電位及び前記第 1 の電圧と異なる第 2 の電圧とを生成するチャージポンプ回路であって、

コンデンサに接続され、複数のスイッチング素子を含んで構成され、前記第 1 の電圧を生成する第 1 のチャージポンプ回路部と、

コンデンサに接続され、複数のスイッチング素子を含んで構成され、前記第 2 の電圧を生成する第 2 のチャージポンプ回路部と、

前記第 1 のチャージポンプ回路部と前記第 2 のチャージポンプ回路部とに備えられる前記スイッチング素子に接続され、前記スイッチング素子を駆動する駆動パルスを提供するバッファ素子を含む駆動パルス供給部と、

前記コンデンサを介して前記第 1 のチャージポンプ回路部及び前記第 2 のチャージポンプ回路部に接続され、前記コンデンサを充電するクロックパルスを生成する充電パルス供給部と、

を備えることを特徴とするチャージポンプ回路。

10

## 【請求項 2】

請求項 1 に記載のチャージポンプ回路において、

前記第 1 のチャージポンプ回路部は昇圧型チャージポンプ回路であり、前記第 2 のチャージポンプ回路部は降圧型チャージポンプ回路であり、

前記第 1 の電圧は前記基準電圧よりも高く昇圧された電圧であり、前記第 2 の電圧は前記基準電圧よりも低く降圧された電圧であることを特徴とするチャージポンプ回路。

20

## 【請求項 3】

請求項 2 に記載のチャージポンプ回路において、

前記駆動パルス供給部に含まれる前記バッファ素子は、前記第 1 のチャージポンプ回路部で生成された基準電位より高い前記第 1 の電圧と、前記第 2 のチャージポンプ回路部で生成された基準電位より低い前記第 2 の電圧と、を電源としていることを特徴とするチャージポンプ回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、基準電圧と異なる 2 つの電圧、例えば、正及び負の電位を出力するチャージポンプ回路に関する。

30

## 【背景技術】

## 【0002】

コンデンサとスイッチング素子との組を複数組み合わせ、電圧を昇圧又は降圧して出力するチャージポンプ回路が広く用いられている。

## 【0003】

例えば、電圧を昇圧するチャージポンプ回路は、図 3 に示すように、スイッチング素子 10 a ~ 10 c、コンデンサ 12 a ~ 12 c、バッファ素子 14 a, 14 b、バッファ素子 16 a ~ 16 c を含んで構成される。スイッチング素子 10 a ~ 10 c としては電界効果型トランジスタ (MOSFET) を用いている。

40

## 【0004】

図 3 に示すチャージポンプ回路において、クロックパルス + と - とは逆位相で変化する。また、クロックパルス + がハイレベルの時にクロックパルス t1, t3 がハイレベルとなり、クロックパルス + がローレベルの時にクロックパルス t1, t3 もローレベルとなる。なお、クロックパルス + 及び - のパルス高さは共に電圧 Vcc であるとする。これによって、図 4 に示すように、電圧 Va, Vb, Vc と順に電圧が昇圧されて、出力電圧 Vout は電源電圧 Vcc より 2Vcc 高い電圧となる。なお、図 4 では、横軸が時間、縦軸が電位を示し、縦軸の上に向かうに従って高い電圧を示している。

50

## 【0005】

また、電圧を降圧するチャージポンプ回路は、図5に示すように、スイッチング素子20a~20c、コンデンサ22a~22c、バッファ素子24a, 24b、バッファ素子26a~26cを含んで構成される。スイッチング素子20a~20cとしては電界効果型トランジスタ(MOSFET)を用いている。

## 【0006】

図5に示すチャージポンプ回路において、クロックパルス+と-とは逆位相で変化する。また、クロックパルス+がハイレベルの時にクロックパルス $t$ もハイレベルとなり、クロックパルス+がローレベルの時にクロックパルス $t$ もローレベルとなる。なお、クロックパルス+及び-のパルス高さは共に電圧 $V_{cc}$ であるとする。これによって、図6に示すように、電圧 $V_a, V_b, V_c$ と順に電圧が降圧されて、出力電圧 $V_{out}$ は基準電圧(接地電位)より $2V_{cc}$ 低い電圧となる。なお、図6では、横軸が時間、縦軸が電位を示し、縦軸の上に向かうに従って高い電圧を示している。

10

## 【0007】

【特許文献1】特開2005-102375号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0008】

上記従来技術では、基準電位(接地電位)に対して正の電圧を昇圧して出力するチャージポンプ回路と、基準電位(接地電位)に対して負の電圧を降圧して出力するチャージポンプ回路とが別の回路として提供されている。そのため、正及び負の両方の電圧を必要とする場合には二つのチャージポンプ回路を設ける必要があり、回路規模が大きくなり、製造コストが増大する問題がある。

20

## 【0009】

また、チャージポンプ回路の各段のスイッチング素子とされるMOSFETを制御するバッファ素子に供給される電源として各段のコンデンサの蓄積電圧が印加されている。したがって、バッファ素子から出力可能なパルスの振幅が小さく、スイッチング素子となるMOSFETの駆動能力も小さくなり、スイッチング素子での損失が大きくなる。その結果、出力能力が低くなってしまいう問題がある。

## 【0010】

そこで、本発明は、上記従来の問題の少なくとも1つを解決することができる基準電圧とは異なる2つ電圧、例えば、正及び負の電位を出力するチャージポンプ回路を提供することを目的とする。

30

【課題を解決するための手段】

## 【0011】

本発明は、基準電位と異なった第1の電圧と、前記基準電位及び前記第1の電圧と異なる第2の電圧とを生成するチャージポンプ回路であって、コンデンサに接続され、複数のスイッチング素子を含んで構成され、前記第1の電圧を生成する第1のチャージポンプ回路部と、コンデンサに接続され、複数のスイッチング素子を含んで構成され、前記第2の電圧を生成する第2のチャージポンプ回路部と、前記第1のチャージポンプ回路部と前記第2のチャージポンプ回路部とに備えられる前記スイッチング素子に接続され、前記スイッチング素子を駆動する駆動パルスを提供するバッファ素子を含む駆動パルス供給部と、前記コンデンサを介して前記第1のチャージポンプ回路部及び前記第2のチャージポンプ回路部に接続され、前記コンデンサを充電するクロックパルスを生成する充電パルス供給部と、を備えることを特徴とする。

40

## 【0012】

具体的には、前記昇圧型チャージポンプ回路部及び前記降圧型チャージポンプ回路部では、スイッチング素子として電界効果型トランジスタ(MOSFET)を適用することが好適である。この場合、前記駆動パルス供給部は、MOSFETのゲートに対してゲートパルスを出力する。

50

## 【0013】

このように、本発明の実施の形態では、駆動パルスを出力する駆動パルス供給部が昇圧型チャージポンプ回路部及び降圧型チャージポンプ回路部に共通に設けられているので、基準電位（接地電位）に対して正及び負の電圧を出力するチャージポンプ回路の構成を簡素化することができる。その結果、チャージポンプ回路をICチップ化したときの外部ピンの本数を低減できると共に、回路の製造の歩留まりを高め、製造コストを低減することができる。

## 【0014】

ここで、前記第1のチャージポンプ回路部は昇圧型チャージポンプ回路であり、前記第2のチャージポンプ回路部は降圧型チャージポンプ回路であり、前記第1の電圧は前記基準電圧よりも高く昇圧された電圧であり、前記第2の電圧は前記基準電圧よりも低く降圧された電圧であることが好適である。

10

## 【0015】

さらに、前記駆動パルス供給部に含まれる前記バッファ素子は、前記第1のチャージポンプ回路部で生成された基準電位より高い前記第1の電圧と、前記第2のチャージポンプ回路部で生成された基準電位より低い前記第2の電圧と、を電源としていることが好適である。

## 【0016】

このように、駆動パルス供給部に含まれるバッファ素子の電源として前記昇圧型チャージポンプ回路部及び前記降圧型チャージポンプ回路部で昇圧又は降圧された電圧を用いることによって、バッファ素子の出力電圧を従来よりも広い範囲で変化させることができる。したがって、前記昇圧型チャージポンプ回路部及び前記降圧型チャージポンプ回路部が含まれるスイッチング素子に対して高い駆動能力（電流能力）を得ることができる。その結果、チャージポンプ回路の損失を低減でき、出力効率を高めることができる。

20

## 【発明の効果】

## 【0017】

本発明によれば、基準電圧とは異なる2つの電圧、例えば、正及び負の電位を出力するチャージポンプ回路の回路規模を小さくすることができる。また、チャージポンプ回路の損失を低減し、出力を高めることができる。

## 【発明を実施するための最良の形態】

30

## 【0018】

本発明の実施の形態におけるチャージポンプ回路100は、図1に示すように、昇圧型チャージポンプ回路部102、降圧型チャージポンプ回路部104、充電パルス供給部106及び駆動パルス供給部108を含んで構成される。

## 【0019】

昇圧型チャージポンプ回路部102は、電界効果トランジスタ(MOSFET)30a~30c、コンデンサ32a~32cを含んで構成される。降圧型チャージポンプ回路部104は、電界効果トランジスタ(MOSFET)40a~40c、コンデンサ42a~42cを含んで構成される。充電パルス供給部106は、バッファ素子54a, 54bを含んで構成される。また、駆動パルス供給部108は、バッファ素子56a, 56bを含んで構成される。

40

## 【0020】

昇圧型チャージポンプ回路部102では、P型のMOSFET30a~30cをスイッチング素子として用いている。MOSFET30aのドレインは電源に接続され、電圧Vccに保持されている。MOSFET30aのソースとMOSFET30bのドレインとが接続され、その接続点にコンデンサ32aの一端が接続される。コンデンサ32aの他端は、充電パルス供給部106のバッファ素子54aの出力端に接続される。また、MOSFET30bのソースとMOSFET30cのドレインとが接続され、その接続点にコンデンサ32bの一端が接続される。コンデンサ32bの他端は、充電パルス供給部106のバッファ素子54bの出力端に接続される。MOSFET30cのソースは、コンデ

50

ンサ32cを介して接地されると共に第1の出力端子T1となる。

【0021】

降圧型チャージポンプ回路部104では、N型のMOSFET40a~40cをスイッチング素子として用いている。MOSFET40aのドレインは接地され、基準電位(ここでは、接地電位GND)に保持されている。MOSFET40aのソースとMOSFET40bのドレインとが接続され、その接続点にコンデンサ42aの一端が接続される。コンデンサ42aの他端は、充電パルス供給部106のバッファ素子54aの出力端に接続される。また、MOSFET40bのソースとMOSFET40cのドレインとが接続され、その接続点にコンデンサ42bの一端が接続される。コンデンサ42bの他端は、充電パルス供給部106のバッファ素子54bの出力端に接続される。MOSFET40

10

【0022】

バッファ素子54aの入力端には充電用のクロックパルス+が印加され、バッファ素子54bの入力端には充電用のクロックパルス-が印加される。一方、バッファ素子56aの入力端には駆動用パルス $t_1$ が印加され、バッファ素子56bの入力端には駆動用パルス $t_2$ が印加される。駆動用パルス $t_1$ と $t_2$ とは互いに異なるタイミングで変化するパルスとする。バッファ素子56aの出力端はMOSFET30a, 30c, 40a, 40cのゲートに接続され、バッファ素子56bの出力端はMOSFET30b, 40bのゲートに接続される。なお、バッファ素子56a, 56bの正及び負の電源端子は共に第1の出力端子T1及び第2の出力端子T2に接続され、バッファ素子56a,

20

【0023】

図2に、本実施の形態におけるチャージポンプ回路100の作用を説明するタイミングチャートを示す。図2において、横軸は時間を示し、縦軸は電位を示し、縦軸の上に向かって高い電位を示している。

【0024】

クロックパルス+とクロックパルス-とは所定の周期で互いに逆位相を有するように変化する。また、駆動パルス $t_1$ はクロックパルス+と同相で変化し、駆動パルス $t_2$ はクロックパルス-と同相で変化する。なお、ここでは説明を簡単にするために

30

【0025】

昇圧型チャージポンプ回路部102では、クロックパルス+がローレベル及びクロックパルス-がハイレベルとなるタイミングでMOSFET30a, 30cがオン状態、MOSFET30bがオフ状態となる。これによって、コンデンサ32aの一端の電位 $V_a$ は電源電圧 $V_{cc}$ に等しくなり、コンデンサ32aの他端はクロックパルス+のローレベルに等しくなる。次に、クロックパルス+がハイレベル及びクロックパルス-がローレベルに変化するタイミングでMOSFET30a, 30cがオフ状態となり、MOSFET30bがオン状態となる。クロックパルス+がハイレベルになることによって、コンデンサ32aの一端の電位 $V_a$ は、電源電圧 $V_{cc}$ よりクロックパルス+のパルス振幅分(= $V_{cc}$ )高く持ち上げられ、基準電位(接地電位)を基準として電源電圧 $V_{cc}$ の2倍高い電位となる。MOSFET30bがオン状態であるので、コンデンサ32

bの一端の電位 $V_b$ は電位 $V_a$ と等しくなり、コンデンサ32bの他端はクロックパルス-のローレベルと等しくなる。次に、クロックパルス+がローレベル及びクロックパルス-がハイレベルに変化するタイミングでMOSFET30a, 30cがオン状態に戻り、MOSFET30bがオフ状態に戻る。クロックパルス-がハイレベルになることによって、コンデンサ32bの一端の電位 $V_b$ は、基準電位(接地電位)を基準として電源電圧 $V_{cc}$ の3倍高い電位に持ち上げられる。MOSFET30cがオン状態であるので、コンデンサ32cの一端の電位 $V_c$ は電位 $V_b$ に等しくなる。すなわち、基準電位(接地電位)と電位 $V_c$ の電位差 $3V_{cc}$ が第1の出力電圧 $V_{out+}$ となる。このよ

40

50

うにして、昇圧型チャージポンプ回路部 102 からは基準電位（接地電位 GND）に対して電位差  $3V_{cc}$  だけ昇圧された電圧が出力される。

【0026】

降圧型チャージポンプ回路部 104 では、クロックパルス  $\phi_+$  がハイレベル及びクロックパルス  $\phi_-$  がローレベルとなるタイミングで MOSFET 40a, 40c がオン状態、MOSFET 40b がオフ状態となる。これによって、コンデンサ 42a の一端の電位  $V_d$  は基準電位（接地電位）と等しくなり、コンデンサ 42a の他端はクロックパルス  $\phi_+$  のハイレベルに等しくなる。次に、クロックパルス  $\phi_+$  がローレベル及びクロックパルス  $\phi_-$  がハイレベルに変化するタイミングで MOSFET 40a, 40c がオフ状態となり、MOSFET 40b がオン状態となる。クロックパルス  $\phi_+$  がローレベルになることによって、コンデンサ 42a の一端の電位  $V_d$  は基準電位（接地電位）に対して電源電圧  $V_{cc}$  分降圧される。MOSFET 40b がオン状態であるので、コンデンサ 42b の一端の電位  $V_e$  は電位  $V_d$  と等しくなり、コンデンサ 42b の他端の電位はクロックパルス  $\phi_-$  のハイレベルに等しくなる。次に、クロックパルス  $\phi_+$  がハイレベル及びクロックパルス  $\phi_-$  がローレベルに変化するタイミングで MOSFET 40a, 40c がオン状態に戻り、MOSFET 40b がオフ状態に戻る。クロックパルス  $\phi_-$  がローレベルになることによって、コンデンサ 42b の一端の電位  $V_b$  は、基準電位（ここでは接地電位 GND）に対して電源電圧  $V_{cc}$  の 2 倍低い電位に降圧される。MOSFET 40c がオン状態であるので、コンデンサ 42c の一端の電位  $V_f$  は電位  $V_e$  と等しくなる。すなわち、基準電位（接地電位）に対して電位差  $2V_{cc}$  低い電位が第 2 の出力電圧  $V_{out+}$  となる。このようにして、降圧型チャージポンプ回路部 104 からは基準電位（接地電位 GND）に対して電位差  $2V_{cc}$  だけ降圧された電圧が出力される。

10

20

【0027】

このように、本発明の実施の形態では、駆動パルス  $t_1$ ,  $t_2$  を出力する駆動パルス供給部 108 が昇圧型チャージポンプ回路部 102 及び降圧型チャージポンプ回路部 104 に共通に設けられているので、基準電位（接地電位）に対して正及び負の電圧を出力するチャージポンプ回路 100 の構成を簡素化することができる。その結果、チャージポンプ回路 100 を IC チップ化したときの外部ピンの本数を低減できると共に、回路の製造の歩留まりを高め、製造コストを低減することができる。

【0028】

さらに、駆動パルス供給部 108 に含まれるバッファ素子 56a, 56b の電源として出力電圧  $V_{out+}$  と出力電圧  $V_{out-}$  とを用いることによって、バッファ素子 56a, 56b の出力電圧を従来よりも広い範囲で変化させることができ、昇圧型チャージポンプ回路部 102 及び降圧型チャージポンプ回路部 104 に含まれる MOSFET 30a ~ 30c, 40a ~ 40c（スイッチング素子）に対して高い駆動能力（電流能力）を得ることができる。その結果、MOSFET 30a ~ 30c, 40a ~ 40c（スイッチング素子）における損失を低減でき、チャージポンプ回路 100 の出力効率を高めることができる。

30

【0029】

なお、本実施の形態では、昇圧型チャージポンプ回路部 102 及び降圧型チャージポンプ回路部 104 の各々を 3 段のスイッチング素子の直列回路で構成したが、これに限定されるものではなく、スイッチング素子の段数を変更してもよい。また、駆動パルス供給部 108 に含まれるバッファ素子 56a, 56b の電源として昇圧型チャージポンプ回路部 102 及び降圧型チャージポンプ回路部 104 の最終段の出力を用いたが、必要な駆動能力に応じて昇圧型チャージポンプ回路部 102 及び降圧型チャージポンプ回路部 104 の中間の充電電圧を用いてもよい。

40

【0030】

また、本実施の形態では、2 つのチャージポンプ回路はそれぞれ昇圧型チャージポンプ回路と降圧型チャージポンプ回路で構成したが、これに限定されるものではなく、2 つの昇圧型チャージポンプ回路で構成することもできるし、又は、2 つの降圧型チャージポン

50

ブ回路で構成することもできる。同じ極性で電位の異なる2つの電圧を生成する場合であって、2つの電圧の電位差が大きい場合には、2つの電圧それぞれに応じて独立でチャージポンプ回路を設けることで、昇圧型又は降圧型のチャージポンプ回路を含む電源回路での消費電力を低減することができる。

【図面の簡単な説明】

【0031】

【図1】本発明の実施の形態におけるチャージポンプ回路の構成を示す図である。

【図2】本発明の実施の形態におけるチャージポンプ回路の作用を説明するタイミングチャートである。

【図3】従来のチャージポンプ回路の構成を示す図である。

10

【図4】従来のチャージポンプ回路の作用を説明するタイミングチャートである。

【図5】従来のチャージポンプ回路の構成を示す図である。

【図6】従来のチャージポンプ回路の作用を説明するタイミングチャートである。

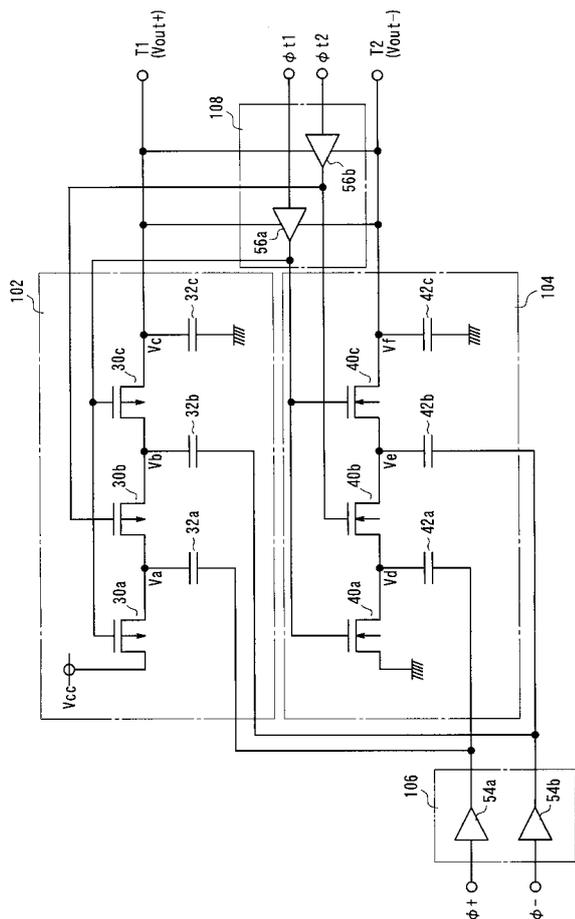
【符号の説明】

【0032】

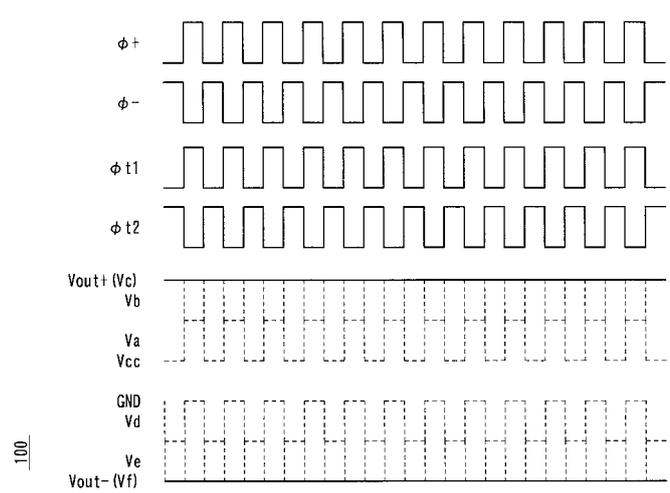
10a-10c, 20a-20c, 30a-30c, 40a-40c スwitching素子、12a-12c, 22a-22c, 32a-32c, 42a-42c コンデンサ、24a, 24b, 54a, 54b バッファ素子、14a, 14b, 16a-16c, 26a-26c, 56a, 56b バッファ素子、100 チャージポンプ回路、102 昇圧型チャージポンプ回路部、104 降圧型チャージポンプ回路部、106 充電パルス供給部、108 駆動パルス供給部。

20

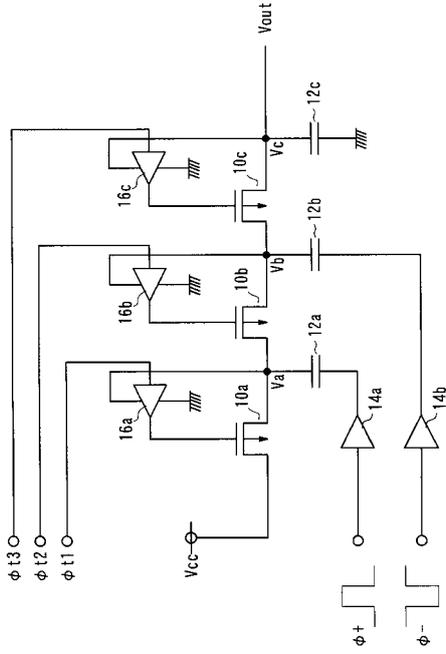
【図1】



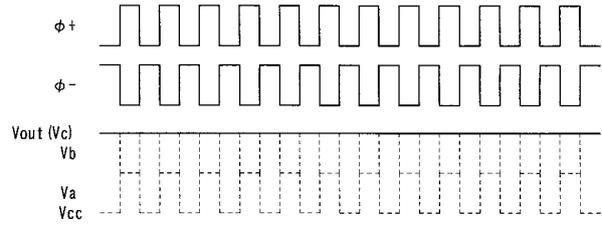
【図2】



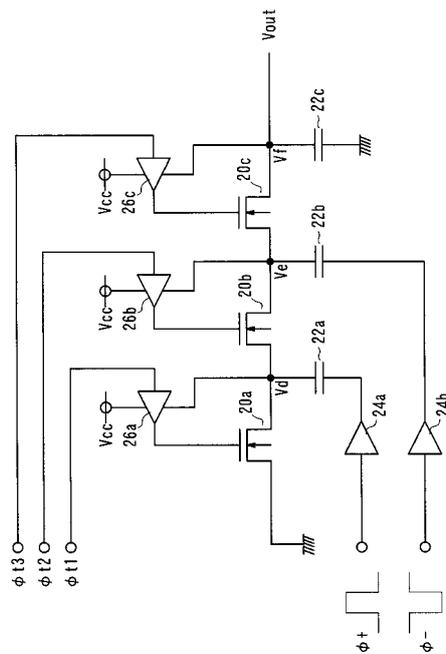
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

