



(12) 发明专利

(10) 授权公告号 CN 109074315 B

(45) 授权公告日 2023. 10. 13

(21) 申请号 201780028021.6

B·J·里德

(22) 申请日 2017.04.07

(74) 专利代理机构 北京市金杜律师事务所

(65) 同一申请的已公布的文献号

11256

申请公布号 CN 109074315 A

专利代理师 王茂华

(43) 申请公布日 2018.12.21

(51) Int.Cl.

(30) 优先权数据

G06F 12/0895 (2006.01)

15/155,076 2016.05.16 US

G11C 15/04 (2006.01)

G11C 7/10 (2006.01)

(85) PCT国际申请进入国家阶段日

2018.11.06

(56) 对比文件

(86) PCT国际申请的申请数据

PCT/US2017/026605 2017.04.07

US 5448523 A, 1995.09.05

US 5218246 A, 1993.06.08

US 4907189 A, 1990.03.06

(87) PCT国际申请的公布数据

W02017/200657 EN 2017.11.23

US 2003117170 A1, 2003.06.26

CN 105493188 A, 2016.04.13

CN 201422077 Y, 2010.03.10

CN 1647210 A, 2005.07.27

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

审查员 宋佳璇

(72) 发明人 D·P·霍夫 S·E·李莱斯

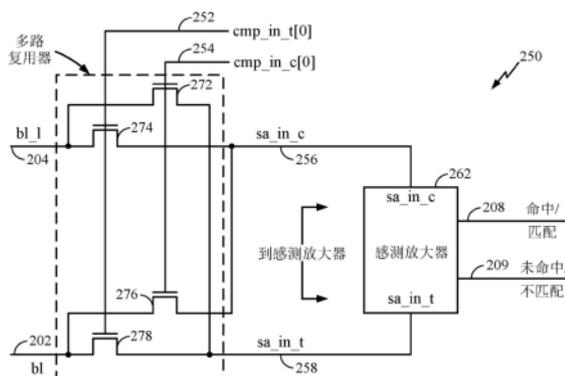
权利要求书2页 说明书8页 附图5页

(54) 发明名称

有效比较操作

(57) 摘要

系统和方法涉及存储器阵列中的存储器操作。使用感测放大器执行比较操作。搜索位的真实和互补版本与存储在所述存储器阵列的数据行中的数据位的真实和互补版本进行比较以产生真实和互补感测放大器输入。所述真实和互补感测放大器输入在所述感测放大器中被放大以产生单端匹配信号。所述单端匹配信号可以与所述数据行中的其它单端匹配信号汇总以确定是否存在用于在所述整个数据行上的比较操作的命中或未命中。



1. 一种在存储器阵列中执行存储器操作的方法,所述方法包括:

提供第一单个搜索位的真实和互补版本与存储在所述存储器阵列的数据行中的第一数据位的真实和互补版本以作为到比较电路的输入,所述比较电路包括由两对传递晶体管构成的多路复用器;

在所述第一数据位的真实版本和互补版本的任何放大之前,比较第一单个搜索位的所述真实和互补版本与存储在所述存储器阵列的数据行中的第一数据位的真实和互补版本,其中所述比较包括:仅使所述多路复用器的两对传递晶体管中的一对传递晶体管能够分别产生被用作真实和互补感测放大器输入的第一输出和第二输出;以及

在感测放大器中放大所述真实和互补感测放大器输入以产生第一单端匹配信号,以及
在与非门中汇总所述第一单端匹配信号与来自比较两个或大于两个搜索位与所述数据行中的两个或大于两个数据位的两个或大于两个其它单端匹配信号,以产生用于所述数据行的命中或未命中指示。

2. 根据权利要求1所述的方法,其包括在静态逻辑门中执行所述汇总的步骤。

3. 根据权利要求1所述的方法,其包括执行所述汇总的步骤,方法是将所述第一单端匹配信号和所述两个或大于两个其它单端匹配信号耦合到多个单层级下拉晶体管、从所述多个单层级下拉晶体管的输出中产生动态命中信号,并且汇总所述动态命中信号。

4. 根据权利要求1所述的方法,其包括使用为真的所述第一单个搜索位和所述第一数据位的逻辑值的异或函数执行所述比较的步骤。

5. 一种电子设备,其包括:

逻辑,其经配置以提供第一单个搜索位的真实和互补版本与存储在所述存储器阵列的数据行中的第一数据位的真实和互补版本以作为到比较电路的输入,所述比较电路包括由两对晶体管构成的多路复用器;

逻辑,其经配置以在所述第一数据位的真实版本和互补版本的任何放大之前,比较第一单个搜索位的所述真实和互补版本与存储在存储器阵列的数据行中的第一数据位的真实和互补版本,其中所述比较包括:仅使所述多路复用器的两对传递晶体管中的一对传递晶体管能够分别产生被用作真实和互补感测放大器输入的第一输出和第二输出;

感测放大器,其经配置以放大所述真实和互补感测放大器输入以产生第一单端匹配信号;以及

进一步包括:汇总逻辑,其包括与非门,所述与非门经配置以汇总所述第一单端匹配信号与来自比较两个或大于两个搜索位与所述数据行中的两个或大于两个数据位的两个或大于两个其它单端匹配信号,以产生用于所述数据行的命中或未命中指示。

6. 根据权利要求5所述的设备,其中所述汇总逻辑包括静态逻辑门。

7. 根据权利要求5所述的设备,其包括耦合到所述第一单端匹配信号和所述两个或大于两个其它单端匹配信号并且经配置以产生动态命中信号的多个单层级下拉晶体管,其中所述汇总逻辑经配置以汇总所述多个单层级下拉晶体管的输出。

8. 根据权利要求5所述的设备,其中所述逻辑包括经配置以执行为真的所述第一单个搜索位和所述第一数据位的逻辑值的异或函数的异或逻辑。

9. 根据权利要求5所述的设备,其集成到选自由以下项组成的装置中:机顶盒、音乐播放器、视频播放器、娱乐单元、导航装置、个人数字助理PDA、固定位置数据单元、计算机、膝

上型计算机、平板计算机、通信装置、服务器和移动电话。

10. 一种电子设备,其包括:

用于提供第一单个搜索位的真实和互补版本与存储在所述存储器阵列的数据行中的第一数据位的真实和互补版本以作为到比较电路的输入的装置,所述比较电路包括由两对传递晶体管构成的多路复用器;

用于在所述第一数据位的真实版本和互补版本的任何放大之前,比较第一单个搜索位的所述真实和互补版本与存储在存储器阵列的数据行中的第一数据位的真实和互补版本的装置,其中所述比较包括:仅使所述多路复用器的两对传递晶体管中的一对传递晶体管能够分别产生被用作真实和互补输入的第一输出和第二输出;

用于放大所述真实和互补输入以用于产生第一单端匹配信号的装置;以及

用于在与非门中汇总所述第一单端匹配信号与来自比较两个或大于两个搜索位与所述数据行中的两个或大于两个数据位的两个或大于两个其它单端匹配信号,以用于产生用于所述数据行的命中或未命中指示的装置。

11. 根据权利要求10所述的设备,其中所述用于汇总的装置包括静态逻辑门。

12. 根据权利要求10所述的设备,其中所述用于汇总的装置包括动态逻辑门。

13. 根据权利要求10所述的设备,其中所述用于比较的装置包括用于执行为真的所述第一单个搜索位和所述第一数据位的逻辑值的异或函数的装置。

14. 根据权利要求10所述的设备,其集成到选自由以下项组成的装置中:机顶盒、音乐播放器、视频播放器、娱乐单元、导航装置、个人数字助理PDA、固定位置数据单元、计算机、膝上型计算机、平板计算机、通信装置、服务器和移动电话。

有效比较操作

技术领域

[0001] 所公开的方面涉及包括存储器的处理系统。更确切地说, 示例性方面涉及减少涉及比较操作的存储器操作中的延迟和复杂度。

背景技术

[0002] 处理系统包含经配置以存储数据、指令等的存储器系统。例如与处理器相关联的高速缓冲存储器的存储器可以包含例如数据阵列。对于存取操作(例如, 读取/写入), 数据阵列可以得到存取并且可以执行搜索以确定数据阵列的任何行是否保留处理器所期望的数据。所述数据可以通过所属领域中已知的多种方式(例如, 直接映射、集合关联等)来组织。

[0003] 搜索高速缓冲存储器中的所期望的数据可以涉及从存取地址中获得索引(例如, 与存取操作相关联的地址的一或多个位)并且搜索对应于索引的高速缓冲存储器中的位置以确定高速缓冲存储器是否保留对应于地址的数据。举例来说, 标记阵列可以保留包括对应于存储在其中的数据的地址的至少一部分的标记并且搜索高速缓冲存储器可以涉及比较存取地址的位(例如, 用于按位匹配)与在编索引位置处的标记。如果存在匹配, 那么确定高速缓冲存储器命中并且可以从编索引位置中读出数据。

[0004] 用于确定是否存在匹配的按位比较可以涉及读出标记的位(或更一般化地, 存储的行), 并且随后比较读出的每个位与存取地址的对应的位(或更一般化地, 搜索词)。用于每个位的按位比较的结果(即, 匹配或不匹配)可随后与跨越所有位的比较的结果汇总以确定搜索词与所存储的行的整体命中/未命中或匹配/不匹配指示。

[0005] 在涉及搜索的常规存储器存取操作中, 上述步骤, 即, 按位读取随后是按位比较随后是跨越存储的行的多个所有位的汇总是序列化的。因此搜索可以涉及相当大的延迟。通过对高性能计算的不断增大的需求, 需要改进的存储器存取速度, 以及用于减少涉及常规搜索操作的延迟的对应的需要。

发明内容

[0006] 本发明的示例性实施例涉及与存储器阵列中的存储器操作有关的系统和方法。使用感测放大器执行比较操作。搜索位的真实和互补版本与存储在存储器阵列的数据行中的数据位的真实和互补版本进行比较以产生真实和互补感测放大器输入。真实和互补感测放大器输入在感测放大器中被放大以产生单端匹配信号。单端匹配信号可以与数据行中的两个或大于两个其它单端匹配信号汇总以确定是否存在用于在整个数据行上的比较操作的命中或未命中。

[0007] 举例来说, 示例性方面涉及在存储器阵列中执行存储器操作的方法, 所述方法包括: 比较第一搜索位的真实和互补版本与存储在存储器阵列的数据行中的第一数据位的真实和互补版本以产生真实和互补感测放大器输入; 以及在感测放大器中放大真实和互补感测放大器输入以产生第一单端匹配信号。

[0008] 另一示例性方面涉及一种设备,其包括:逻辑,其经配置以比较第一搜索位的真实和互补版本与存储在存储器阵列的数据行中的第一数据位的真实和互补版本以产生真实和互补感测放大器输入;以及感测放大器,其经配置以放大真实和互补感测放大器输入以产生第一单端匹配信号。

[0009] 又一示例性方面涉及一种设备,其包括:用于比较第一搜索位的真实和互补版本与存储在存储器阵列的数据行中的第一数据位的真实和互补版本以产生真实和互补输入的装置;以及用于放大真实和互补输入以用于产生第一单端匹配信号的装置。

附图说明

[0010] 呈现附图以辅助描述本发明的实施例,且提供所述附图仅用于说明实施例而非对实施例加以限制。

[0011] 图1A到B说明常规比较电路的实施方案。

[0012] 图2A到B说明根据本发明的示例性方面的单位比较电路的实施方案。

[0013] 图3A到B说明根据本发明的示例性方面的多位比较电路的实施方案。

[0014] 图4说明根据本发明的示例性方面与执行存储器操作的方法有关的流程图。

[0015] 图5描绘了其中可以有利地采用本发明的方面的示例性计算装置。

具体实施方式

[0016] 在以下针对本发明的特定实施例的描述和相关图式中公开本发明的方面。可在不脱离本发明的范围的情况下设计替代实施例。另外,将不会详细描述或将省略本发明的众所周知的元件以免混淆本发明的相关细节。

[0017] 词语“示例性”在本文中用于意味着“充当实例、例子或说明”。在本文中被描述为“示例性”的任何实施例未必被理解为比其它实施例优选或有利。类似地,术语“本发明的实施例”并不要求本发明的所有实施例包含所论述特征、优点或操作模式。

[0018] 本文中所使用的术语仅仅是出于描述具体实施例的目的,且并不意图限制本发明的实施例。如本文中所使用,除非上下文另外明确地指示,否则单数形式“一(a/an)”和“所述”也意图包含复数形式。应进一步理解,术语“包括”和/或“包含”当在本文中使用指定所叙述的特征、整数、步骤、操作、元件和/或组件的存在,但并不排除一或多个其它特征、整数、步骤、操作、元件、组件和/或其群组的存在或添加。

[0019] 另外,许多实施例是依据待由(例如)计算装置的元件执行的动作的顺序来描述的。将认识到,本文中所描述的各种动作可由具体电路(例如,专用集成电路(ASIC)),由正由一或多个处理器执行的程序指令或由两者的组合来执行。另外,本文中所描述的这些动作的顺序可被视为全部在任何形式的计算机可读存储媒体内实施,在所述计算机可读存储媒体中存储有对应的计算机指令集,所述计算机指令在执行时将使得相关联的处理器执行本文中所描述的功能性。因此,本发明的各方面可以许多不同形式来实施,预期所有形式属于所主张的标的物的范围内。另外,对于本文中所描述的实施例中的每一个来说,任何此类实施例的对应的形式可在本文中被描述为例如“经配置以(执行所描述的动作)的逻辑”。

[0020] 本发明的示例性方面涉及有效的存储器存取操作。更确切地说,示例性方面涉及减少与搜索操作相关联的延迟,例如,通过减少其中涉及的步骤以及随附逻辑和延迟。为了

解释示例性方面,考虑包括构建在众所周知的六晶体管(6T)配置中的标准静态随机存取存储器(SRAM)的实例存储器阵列(记住在不偏离本发明的范围的情况下例如8T、10T等位单元的其它已知的配置同样是可能的)。

[0021] 如所属领域中已知的,对于读取存储在SRAM位单元中的数据位,感测放大器可用于放大针对所存储的数据位读出的真实和互补值。在示例性方面中,搜索操作(例如,涉及数据位与搜索输入的比较)的速度通过首先比较数据位的真实和互补值与搜索输入的真实和互补值并且随后在感测放大器中放大比较的结果得到改进。相应地,感测放大器的输出提供在搜索输入与数据位之间是否存在匹配或不匹配的指示。通过合计来自存储器阵列的行中的所有感测放大器的匹配输出,可以获得用于比较包括两个或大于两个搜索位的搜索词与行的对应的两个或大于两个数据位的命中/未命中指示。

[0022] 因而,在示例性搜索操作中,在比较操作开始之前读取操作并未完成(例如,通过感测放大器的读取数据的放大并未开始)。实际上,比较在感测放大阶段之前执行并且比较被提供到感测放大器,这允许感测放大器的输出直接地提供用于每个搜索的位的匹配/不匹配指示。在以下章节中将描述这些和其它示例性方面。

[0023] 首先参考图1A到B,将解释常规比较操作。更确切地说,图1A说明表示为比较电路100的第一常规比较电路的示意性表示。比较电路100可以提供用于搜索存储器阵列(未示出)的编索引位置,例如,用于确定在搜索词的n位与在编索引位置处的数据行的n位之间是否存在按位匹配。考虑单个数据位,例如,数据行的位[0],位[0]可以存储在标准SRAM位单元(未示出)中,例如,实施为六晶体管(6T)SRAM位单元配置。读取位[0]涉及读出6T SRAM位单元的真实和互补分支并且使用感测放大器来放大真实和互补分支之间的差异以产生稳定的真实和互补值。如图所示,感测放大器102可用于产生对应于存储在位[0]中的值的真实和互补值的数据_t 104和data_c 106。

[0024] 搜索词的对应的搜索位的真实和互补值分别示出为输入cmp_in_t 108和cmp_in_c 110,它们可以是动态信号(例如,低有效信号)。搜索位与位[0]进行比较,例如,通过使用异或函数或异或逻辑,所述异或函数或异或逻辑使用“与非”门112实施以“与非”搜索位的互补值、cmp_in_c 110与位[0]的真实值、data_t 104和“与非”门114以“与非”搜索位的真实值、cmp_in_t 108与位[0]的互补值、data_c 106,并且在“与非”门130中执行“与非”门112和114的输出的“与非”。“与非”门112的输出示出为miss_t 116的倒数值,如果cmp_in_c 110和data_t 104都较高,那么该值较低,否则的话该值较高。“与非”门114的输出示出为miss_c 118的倒数值,如果cmp_in_t 108和data_c 106都较高,那么该值较低,否则的话该值较高。输出“与非”门130(如先前所提及,它是“与非”门112和114的输出的“与非”)提供用于搜索位与位[0]之间的比较的未命中指示,示出为未命中[0]132。如果“与非”门112和114的输出中的至多一个较高,那么未命中[0]132较高,并且否则的话较低。相应地,如果在搜索位与位[0]之间存在不匹配,那么未命中[0]132较高。类似地,未命中指示是针对剩余的n-1位获得的,如通过图1A中的总线未命中[n:1]126所示。针对所有n位的未命中指示随后汇总在示出为静态比较逻辑120的逻辑块中(例如,针对所有n位实施未命中指示的n位“与非”函数,未命中[n:0])以确定整体命中122为比较电路100的输出(例如,如果针对所有n位的未命中指示-未命中[n:0]较低,那么同样是动态信号(例如,高效信号)的命中122将较高)。

[0025] 相应地,通过静态比较逻辑120实施方案,比较电路100涉及三个连续阶段:首先,从感测放大器102的输出中产生data_t 104和data_c 106;其次,基于位[0]与搜索位的比较确定未命中[0]132,例如,如上文所描述的通过使用“与非”门112、114和130;以及第三,在静态比较逻辑120中汇总未命中[0]132与未命中[n:1]126以产生命中122。

[0026] 图1B说明表示为比较电路150的第二常规比较电路的示意性图示。比较电路150可用于获得与图1A的比较电路100相同的结果,但是在实施方案中具有微小差异,如将在以下章节中论述的。类似于比较电路100,比较电路150同样涉及三个阶段,其中在第一阶段中,感测放大器152提供在存储器阵列的行(未示出)中的对应于数据位[0]的读取操作的真实和互补输出data_t 154和data_c 156。在第二阶段中,搜索位的真实和互补版本cmp_in_t 158和cmp_in_c 160被分别提供到n沟道场效应晶体管(NFET)下拉堆叠164和162(应注意下拉堆叠162和164中的每一个包含串联的2个NFET,其中分别地一个NFET的门受data_t 154/data_c 156控制并且一个NFET的门受cmp_in_c160/cmp_in_t 158控制,以在动态逻辑中实施异或函数或比较函数)。在预充电阶段期间信号hit_dynamic 170最初通过预充电或上拉晶体管174预充电到较高状态,并且一旦预充电阶段结束,那么上拉晶体管174关闭并且如果在搜索位和位[0]之间存在未命中或不匹配,那么输出信号hit_dynamic 170降低,或者如果存在命中或匹配,那么hit_dynamic170保持较高。类似地,来自数据字的剩余的n-1位的真实和互补数据信号(一起示出为data_t/c[n:1]166)以及对应的n-1真实和互补搜索位(一起示出为cmp_in_t/c[n:1]168)是使用NFET或下拉堆叠(未示出)比较的,并且在第三阶段中来自所有n位的hit_dynamic信号汇总在“与非”门180中以产生命中172。相应地,在比较电路150中跨越所有n位以产生命中172的汇总比较的动态逻辑实施方案同样涉及如上文所描述三个阶段。

[0027] 在本发明的示例性方面中,比较操作中所涉及的阶段的数目是收缩的。更确切地说,用于读取存储在存储器中的数据 and 比较所述数据与搜索数据的过程可以在单个阶段内实施以提供比较,所述比较可以通过感测放大器放大,使得在比较的情况下,感测放大器输出直接地提供比较的结果。举例来说,对于单个位比较,搜索位被用作对照以选择数据位的真实或互补版本。选择通过感测放大器被放大,使得感测放大器的输出指示在数据位与搜索位之间存在匹配或不匹配。此外,尽管感测放大器可以输出比较的结果的真实和互补版本(例如,匹配输出及其互补的不匹配输出),仅感测放大器的单端输出可以用于跨越在一些方面中搜索的所有位汇总。来自感测放大器的单端输出的使用简化汇总逻辑以用于在针对n位数据字的整体命中/未命中确定中进行确定。现在将在以下章节中解释使用静态和动态逻辑的示例性比较电路的实施方案。

[0028] 首先,参考图2A,说明电路200以示出在示例性的单个位比较操作中实施的功能性。信号b1 202和b1_1 204可以是数据位的值的真实和互补版本,例如,存储在数据行中的位[0]。示出为cmp_data[0]206的信号可以表示待与位[0]进行比较的搜索词的对应的位的值(被称作cmp_data)(为简单起见,在此视图中未示出cmp_data[0]206的真实和互补版本)。cmp_data[0]206与位[0]的比较可以被视为通过多路复用器(mux)210实施,所述多路复用器选择位[0]的真实值,即,如果cmp_data[0]206是“1”,那么b1 202,并且如果cmp_data[0]是“0”,那么互补b1_1 204(更详细地说,如果cmp_data[0]206的值是“1”,那么对应于mux 210的“1”输入的b1 202将被选择为mux 210的输出,即,匹配201,其中如果b1 202是

“0”，那么存在不匹配（因为cmp_data[0]206是“1”）并且因此匹配201将产生为逻辑“0”，但是如果b1_202是“1”，那么存在匹配并且因此匹配201将产生为逻辑“1”。另一方面，如果cmp_data[0]206的值是逻辑“0”，那么对应于mux_210的“0”输入的b1_1_204将被选择为匹配201，其中如果b1_1_204的值是逻辑“1”，那么存在匹配（因为cmp_data[0]206是“0”），并且因此匹配201将是逻辑“1”，但是如果b1_1_304是逻辑“0”，那么存在不匹配并且因此匹配201将是逻辑“0”。以另一方式来看电路200可以被视为实施cmp_data[0]206和位[0]的异或函数以产生匹配201，其中如果cmp_data[0]206与位[0]匹配，那么匹配201较高，否则，存在不匹配且匹配201较低。

[0029] 记住电路200的上述功能性，现在将参考图2B论述用于实施示例性单位比较操作的比较电路250。在图2B中，搜索位（例如，cmp_data[0]206）的真实和互补版本（即，cmp_in_t[0]252和cmp_in_c[0]254）被接收作为到比较电路250的输入。再一次，位[0]的真实和互补版本（即，b1_202和b1_1_204）同样被接收作为输入。图2A的mux_210的功能性可以使用图2B中的传递晶体管272和274、276和278实施。

[0030] 更详细地说，如果cmp_in_t[0]252较高或是逻辑“1”（即，互补cmp_in_c[0]254较低或是逻辑“0”），那么传递晶体管278和274开启以将b1_202和b1_1_204分别作为真实互补输入sa_in_t_258和sa_in_c_256提供到感测放大器262（同时传递晶体管272和276和关闭）。因此，如果b1_202在此情况下也较高，那么存在匹配并且sa_in_t_258是“1”，这使得感测放大器262产生命中（或匹配）208作为“1”（或未命中/不匹配309作为“0”）。信号命中208或未命中209中的任一者可被用作感测放大器262的单端输出以用于取决于所选择的特定实施方案汇总数据字的剩余的n-1位的匹配结果（如将参考图3A到B所解释）。类似地，如果b1_202较低或是“0”，那么存在不匹配并且sa_in_c_256是“1”，这使得感测放大器262产生未命中209作为“1”或命中208作为“0”。

[0031] 另一方面，如果cmp_in_t[0]252较低或是逻辑“0”，即，互补cmp_in_c[0]254较高或是逻辑“1”，那么传递晶体管274和278将关闭，并且传递晶体管276和272将开启以将b1_202和b1_1_204分别作为输入sa_in_c_256和sa_in_t_258提供到感测放大器262（如上文所描述，当cmp_in_t[0]是“1”时，所述情况的相反或“调配连接”）。相对应地，如果b1_202是“1”，那么存在不匹配并且sa_in_c_256是“1”，使得感测放大器262产生未命中209作为“1”或命中208作为“0”；以及如果b1_202较低或是“0”，那么存在匹配并且sa_in_t_358是“1”，使得感测放大器262产生命中208作为“1”或未命中209作为“0”。

[0032] 现在参考图3A到B，举例来说，示出了使用图2B的比较电路250的多位比较操作的实施方案。首先参考图3A，示出了比较电路300，其可以在例如确定存储在存储器阵列（未示出）的编索引位置中的数据行是否具有与搜索词的按位匹配中使用。举例来说，比较电路300可以用于比较是否存在用于搜索词的n位与行的n位的按位匹配。考虑参考图2A到B所论述的位[0]（具有真实和互补信号b1_202和b1_1_204）是数据行的n位中的一个，并且cmp_in_t[0]252和cmp_in_c[0]254是n位搜索词的对应的搜索位（例如，cmp_data[0]206）的真实和互补版本，输入sa_in_t_258和sa_in_c_256被提供到感测放大器262，如参考图2B所论述。类似于图2B，单端输出命中208示出为通过感测放大器262产生，并且在图3A中表示为命中[0]以对应于数据[0]与搜索词的对应的位之间的匹配指示。

[0033] 类似地，用于剩余的n-1位的按位比较的单端输出可以提供在说明为命中[n:1]

302的总线上。用于n位的所有命中信号可随后汇总在静态比较逻辑304中(例如,使用例如n位“与”门的静态逻辑门实施)以产生整体命中306以用于在包括n位的整个数据字上的搜索操作。

[0034] 现在参考图3B,举例来说,使用图2B的比较电路250的多位比较操作的另一实施方案是参考比较电路350示出的。类似于图3A的比较电路300,图3B的比较电路350也经配置以在感测放大器262的输出处产生比较位[0]和cmp_data[0]206(参见图2A)的结果。更确切地说,输入sa_in_t 258和sa_in_c 256被再一次提供到感测放大器262,如参考图2B所论述,并且在此情况下,单端输出(未命中209)在设计中使用,并且被表示为未命中[0]209。如在此情况中所示,未命中[0]256可以被提供到示出为耦合在动态命中信号hit_dynamic 366与地面之间的NFET 364的单层级下拉晶体管。Hit_dynamic 366可以最初经由预充电晶体管362预充电,所述预充电晶体管是在预充电阶段期间预充电的。一旦预充电阶段完成,那么如果未命中[0]209较高,那么hit_dynamic 366可以被拉低,以指示用于比较的不匹配;否则,hit_dynamic 366可以保持较高以指示匹配。来自剩余的n-1位的类似匹配指示可以通过总线命中[n:1]352提供,并且由多个单层级下拉晶体管的输出产生所有n匹配可以汇总或合并并在“与非”门368中以提供命中356,所述命中是用于与n位搜索词进行比较的n位的整个数据行的命中/未命中指示。应理解,虽然n输入“与非”门368如图所示可用于一些实施方案中以合并匹配结果,但是在一些实施方案中,同样可能的是通过在例如hit_dynamic 366的一或多个信号上的按位比较操作的n个匹配结果中的两个或大于两个上执行点操作来合并匹配结果(例如,通过使用类似于NFET 364的两个或大于两个NFET门以用于下拉hit_dynamic 366以用于两个或大于两个按位比较的对应的不匹配指示)。

[0035] 可以看出,在图3A到B的电路300和350中的多位搜索操作可以通过减小数目的阶段实施,并且相对应地通过改进的时延实施。在第一阶段中,每个搜索位与对应的数据位的比较是在感测放大器的输出处确定和提供的,并且在第二阶段中来自对应于多个类似按位比较的多个感测放大器的输出经汇总以提供多位搜索结果。汇总可以使用来自多个感测放大器的单端输出来执行,这引起减小的时延和开销。

[0036] 将了解,示例性方面包含用于执行本文中所公开的过程、功能和/或算法的各种方法。举例来说,如图4中所说明,示例性方面可包含在存储器阵列中执行存储器操作的方法(400),如下文进一步论述。

[0037] 框402可包括比较第一搜索位的真实和互补版本(例如,分别是cmp_in_t[0]252和cmp_in_c[0]254)与存储在存储器阵列的数据行中的第一数据位的真实和互补版本(例如,分别是b1 202和b1_1 204)以产生真实和互补感测放大器输入(例如,sa_in_t 258和sa_in_c 256)。

[0038] 框404可包括在感测放大器(例如,感测放大器262)中放大真实和互补感测放大器输入以产生第一单端匹配信号(例如,命中208或未命中209)。

[0039] 现在将参考图5论述可以利用本发明的示例性方面的实例设备。图5示出了计算装置500的框图。计算装置500的方面可经配置以执行图4的方法400。在图4的描述中,计算装置500示出为包含处理器502、高速缓冲存储器504、高速缓冲存储器控制器506和存储器510。高速缓冲存储器504可以包括如上文所论述的SRAM存储器,包括待搜索的数据行并且高速缓冲存储器控制器506可以包含根据示例性方面配置的多位比较电路300或350以用于

确定在高速缓冲存储器504的编索引位置处的数据行是否具有与搜索词的按位匹配。在图5中,处理器502是示例性示出为通过其间的高速缓冲存储器504的一个层级耦合到存储器510的,但是应理解计算装置500也可以支持所属领域中已知的其它存储器配置。

[0040] 图5还示出了耦合到处理器502且耦合到显示器528的显示控制器526。在一些情况下,计算装置500可以用于无线通信并且图5还以虚线示出了任选的框,例如,耦合到处理器502的译码器/解码器(编解码器)534(例如,音频和/或语音编解码器)和耦合到编解码器534的扬声器536和麦克风538;以及耦合到无线控制器540的无线天线542,所述无线控制器耦合到处理器502。在这些任选框中的一或多个存在的情况下,在特定方面中,处理器502、显示器控制器526、高速缓冲存储器504、高速缓冲存储器控制器506、存储器510和无线控制器540包含在封装内系统或芯片上系统装置522中。

[0041] 相应地,特定的方面,输入装置530和电源544耦合到芯片上系统装置522。此外,在特定方面中,如图5中所说明,在一或多个任选框存在的情况下,显示器528、输入装置530、扬声器536、麦克风538、无线天线542,以及电源544在芯片上系统装置522的外部。然而,显示器528、输入装置530、扬声器536、麦克风538、无线天线542和电源544中的每一个可以耦合到芯片上系统装置522的组件,例如,接口或控制器。

[0042] 应注意虽然图5大体上描绘了计算装置、处理器502和存储器510,但是它们也可以集成到机顶盒、音乐播放器、视频播放器、娱乐单元、导航装置、个人数字助理(PDA)、固定位置数据单元、计算机、膝上型计算机、平板计算机、通信装置、移动电话、服务器或其它类似装置中。

[0043] 所属领域的技术人员将了解,可使用多种不同技术和技艺中的任一个来表示信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和芯片。

[0044] 另外,所属领域的技术人员将了解,结合本文中公开的实施例而描述的各种说明性逻辑块、模块、电路和算法步骤可实施为电子硬件、计算机软件或两者的组合。为了清晰地说明硬件与软件的此可互换性,上文已大体就其功能性而言描述了各种说明性组件、块、模块、电路和步骤。此类功能性是实施为硬件还是软件取决于特定应用及强加于整个系统的设计约束。所属领域的技术人员可针对每一特定应用以不同方式来实施所描述的功能性,但这样的实施决策不应被解释为会引起脱离本发明的范围。

[0045] 结合本文中公开的实施例而描述的方法、顺序和/或算法可直接以硬件、以由处理器执行的软件模块,或以两者的组合来实施。软件模块可以驻留在RAM存储器、快闪存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动磁盘、CD-ROM,或所属领域中已知的任何其它形式的存储媒体中。示例性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息和将信息写入到存储媒体。在替代方案中,存储媒体可集成到处理器。

[0046] 相应地,本发明的实施例可包含实施用于根据本发明的各方面执行存储器操作的方法的计算机可读媒体。相应地,本发明不限于所说明的实例,且任何用于执行本文中所描述的功能性的装置包含在本发明的实施例中。

[0047] 虽然上述公开内容示出了本发明的说明性实施例,但应注意,在不脱离如所附权利要求书定义的本发明的范围的情况下,可在其中做出各种改变和修改。无需按任何特定次序来执行根据本文中所述的本发明的实施例的方法权利要求项的功能、步骤和/或动作。

此外,虽然可能以单数形式描述或主张本发明的元件,但除非明确陈述限于单数形式,否则也涵盖复数形式。

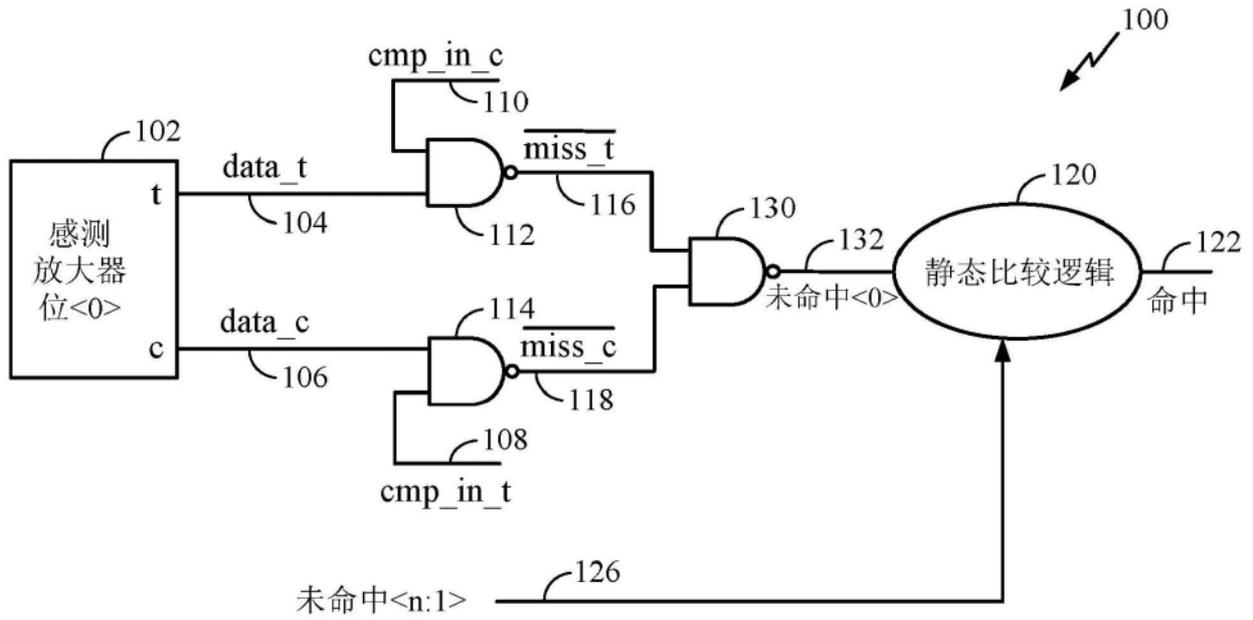


图1A

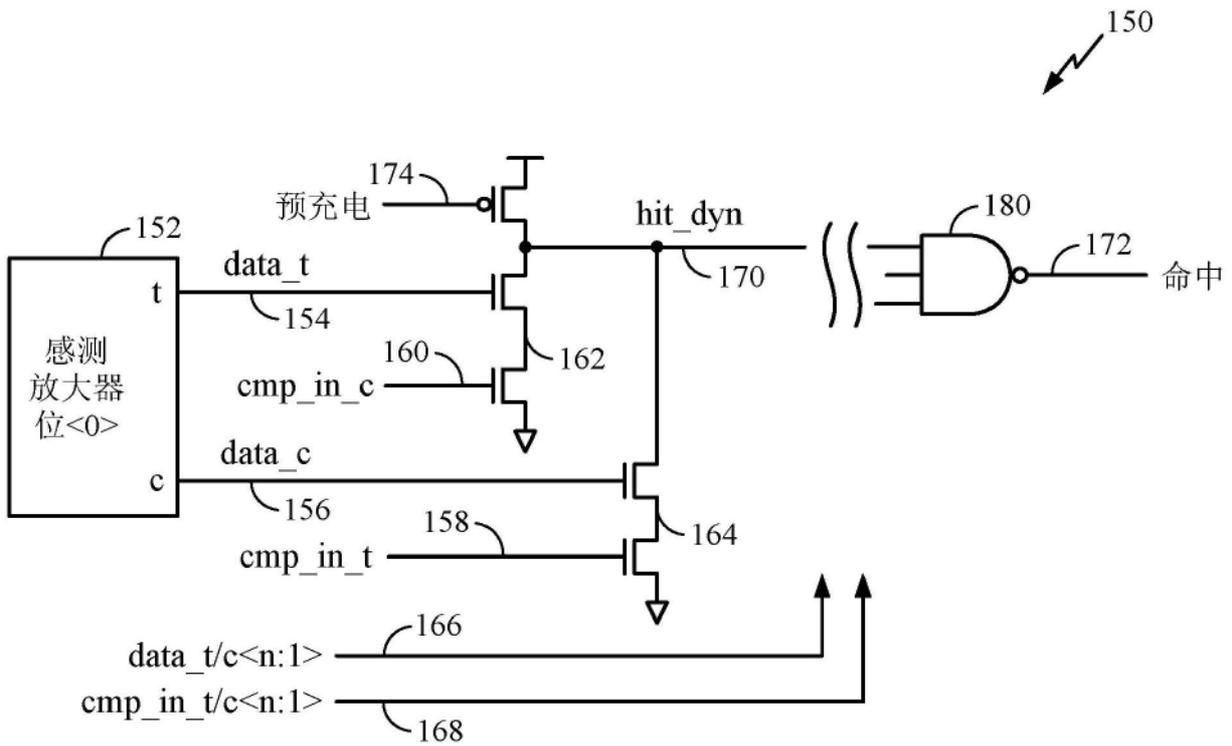


图1B

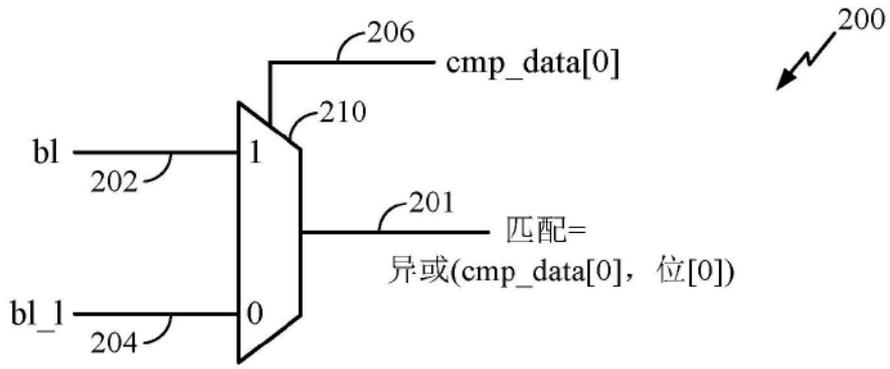


图2A

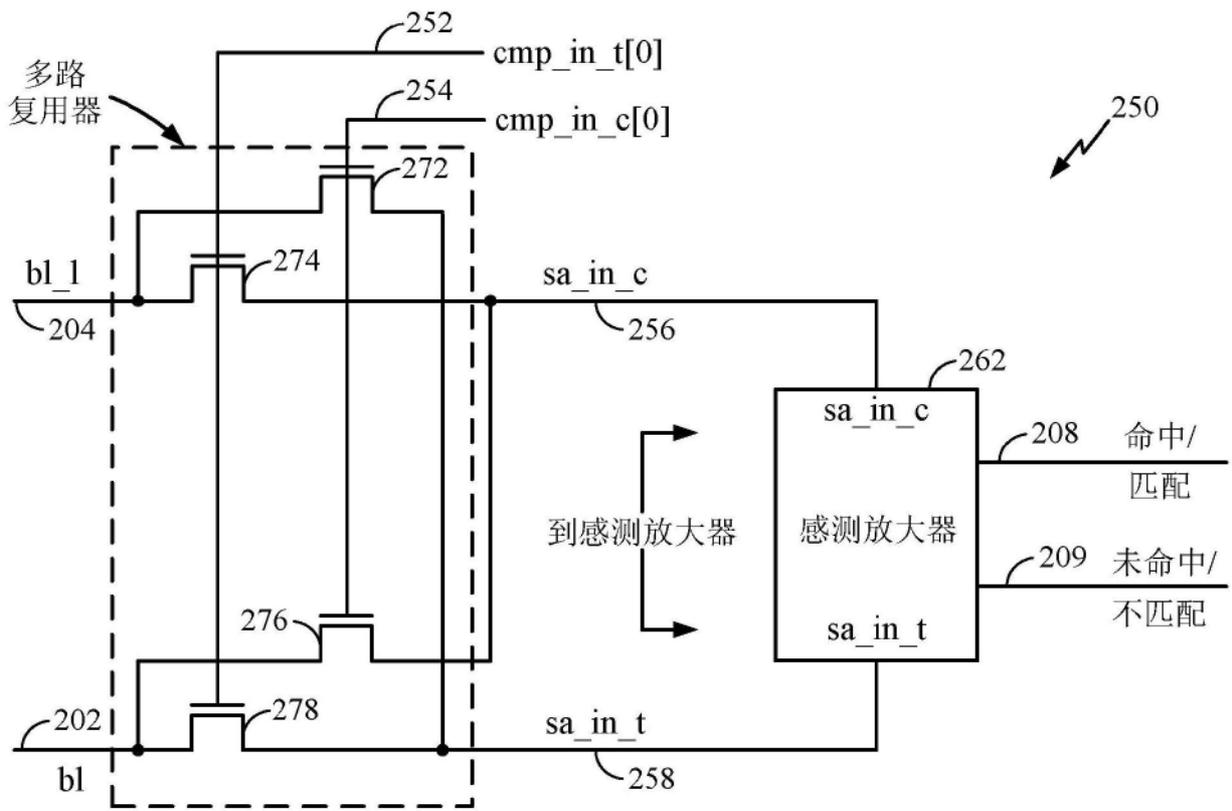


图2B

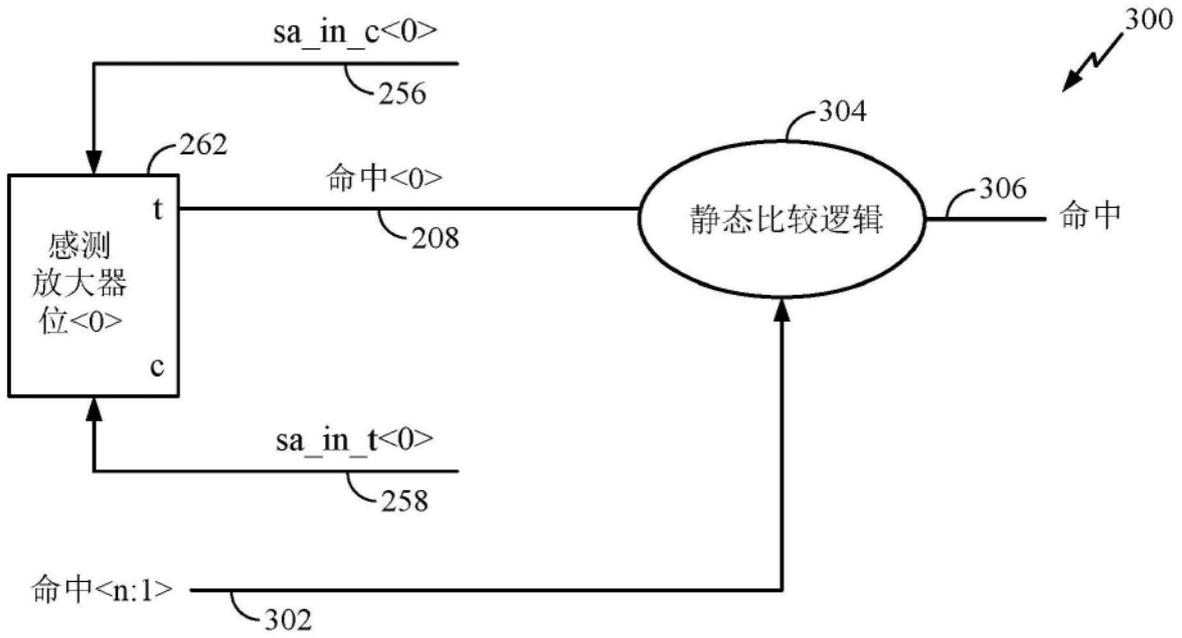


图3A

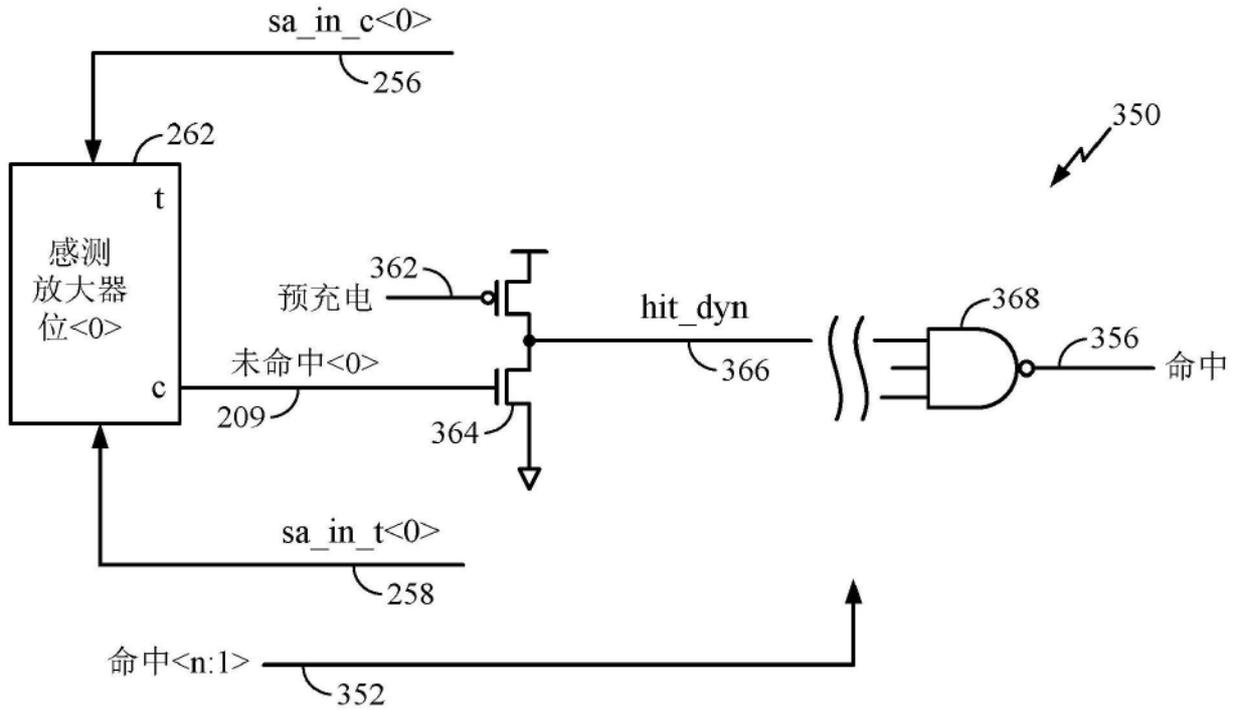


图3B

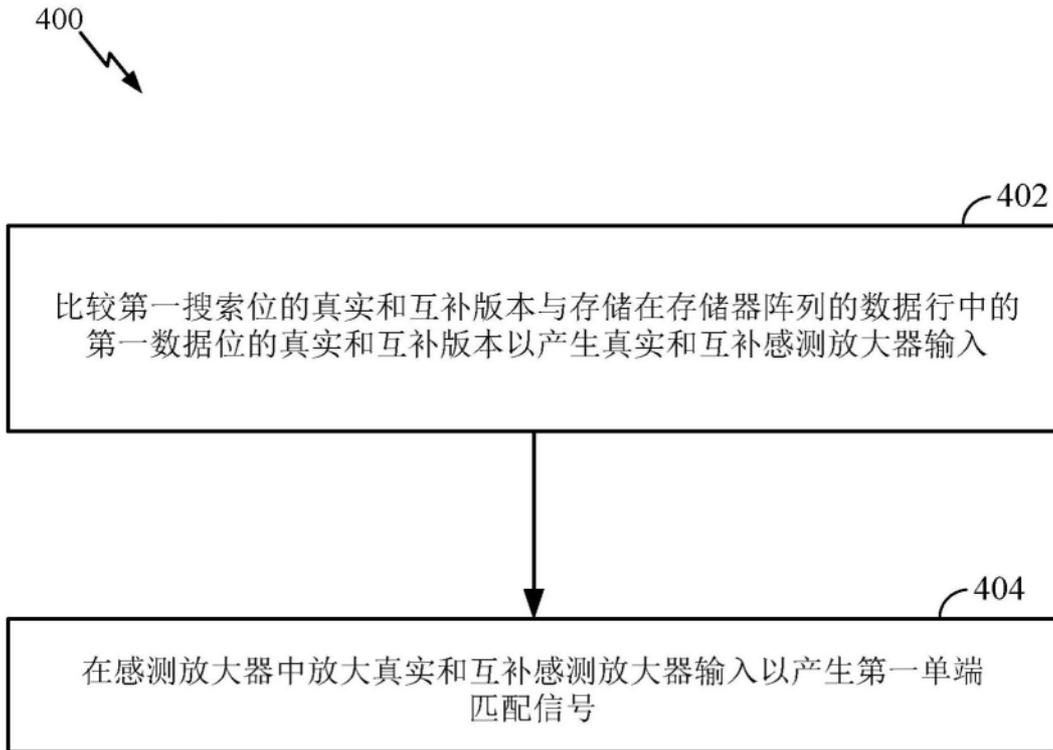


图4

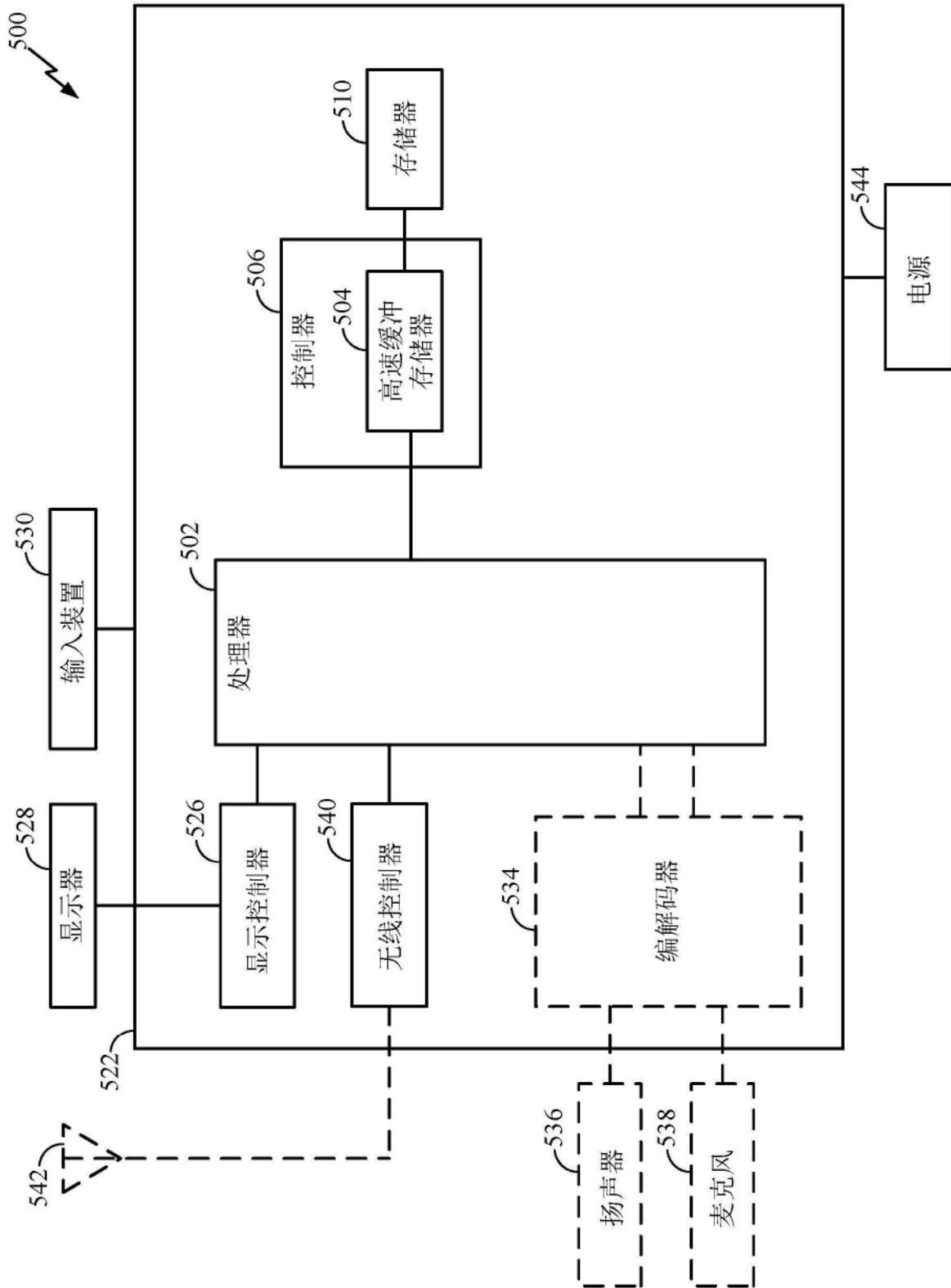


图5