

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-47337
(P2020-47337A)

(43) 公開日 令和2年3月26日(2020.3.26)

(51) Int.Cl.			F I			テーマコード (参考)
G 1 1 C	16/26	(2006.01)	G 1 1 C	16/26	1 0 0	5 B 2 2 5
G 1 1 C	11/56	(2006.01)	G 1 1 C	11/56	2 2 0	5 F 0 8 3
G 1 1 C	16/04	(2006.01)	G 1 1 C	16/04	1 7 0	5 F 1 0 1
H O 1 L	21/336	(2006.01)	H O 1 L	29/78	3 7 1	
H O 1 L	29/788	(2006.01)	H O 1 L	27/11573		

審査請求 未請求 請求項の数 9 O L (全 36 頁) 最終頁に続く

(21) 出願番号 特願2018-174146 (P2018-174146)
(22) 出願日 平成30年9月18日 (2018.9.18)

(71) 出願人 318010018
キオクシア株式会社
東京都港区芝浦三丁目1番21号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100103034
弁理士 野河 信久
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100153051
弁理士 河野 直樹
(74) 代理人 100189913
弁理士 鶴飼 健

最終頁に続く

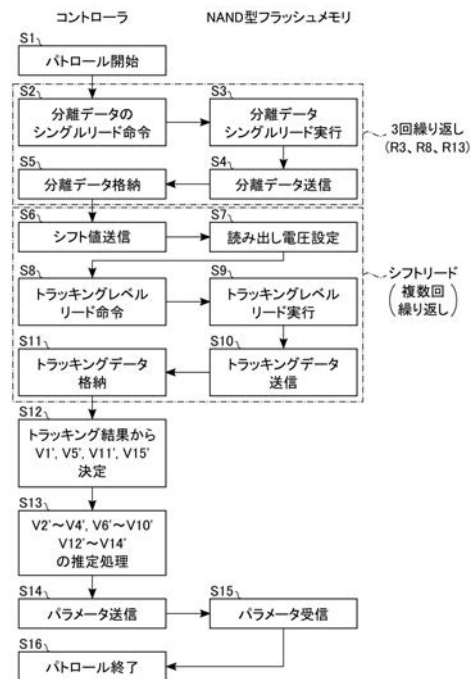
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】 処理能力を向上する。

【解決手段】 実施形態によれば、メモリシステムは、半導体記憶装置100と、コントローラ200とを含む。半導体記憶装置100は、少なくとも第1乃至第3データを記憶可能な複数のメモリセルMCと、ワード線WLとを含む。第1データは、第1読み出しレベルを含む第1読み出し動作により確定され、第2データは、第2読み出しレベルを含む第2読み出し動作により確定され、第3データは、第3読み出しレベルを含む第3読み出し動作により確定される。コントローラ200は、第1乃至第3読み出しレベルにそれぞれ対応する第1乃至第3読み出し電圧の探索動作において、半導体記憶装置100に第1及び第2読み出しレベルを含む第4読み出し動作を実行させる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体記憶装置と、
前記半導体記憶装置を制御可能なコントローラと
を備え、前記半導体記憶装置は、
少なくとも第 1 乃至第 3 データを記憶可能な複数のメモリセルと、
前記複数のメモリセルに接続されたワード線と
を含み、
前記第 1 データは、第 1 読み出しレベルを含む第 1 読み出し動作により確定され、
前記第 2 データは、第 2 読み出しレベルを含む第 2 読み出し動作により確定され、
前記第 3 データは、第 3 読み出しレベルを含む第 3 読み出し動作により確定され、
前記コントローラは、前記第 1 乃至第 3 読み出しレベルにそれぞれ対応する第 1 乃至第
3 読み出し電圧の探索動作において、前記半導体記憶装置に前記第 1 及び第 2 読み出しレ
ベルを含む第 4 読み出し動作を実行させる、
メモリシステム。

10

【請求項 2】

前記複数のメモリセルの各々は、 n ビットのデータ (n は 3 以上の整数) を記憶でき、
前記コントローラは、電圧の低い順に領域が定義された第 1 から第 2^n までの 2^n 個の
閾値電圧領域に前記 n ビットのデータを対応させてデータを記憶させ、
前記第 1 読み出しレベルは、前記第 1 の閾値電圧領域と前記第 2 の閾値電圧領域の間の
レベルであり、
前記第 2 読み出しレベルは、前記第 $(2^n - 1)$ の閾値電圧領域と前記第 2^n の閾値電
圧領域の間のレベルである、
請求項 1 に記載のメモリシステム。

20

【請求項 3】

前記第 3 読み出しレベルは、前記コントローラが前記探索動作において前記半導体記憶
装置に実行させる前記第 4 読み出し動作に含まれない、
請求項 1 または 2 に記載のメモリシステム。

【請求項 4】

前記第 1 データは、第 4 読み出しレベルを更に含む前記第 1 読み出し動作により確定さ
れ、
前記第 2 データは、第 5 読み出しレベルを更に含む前記第 2 読み出し動作により確定さ
れ、
前記第 3 データは、第 6 読み出しレベルを更に含む前記第 3 読み出し動作により確定さ
れる、
請求項 1 に記載のメモリシステム。

30

【請求項 5】

前記第 1 乃至第 6 読み出しレベルにそれぞれ対応する第 1 乃至第 6 閾値電圧において、
第 1 閾値電圧が最も低く、第 2 閾値電圧が最も高い、
請求項 4 に記載のメモリシステム。

40

【請求項 6】

前記コントローラは、前記第 4 読み出し動作の結果に基づいて前記第 1 及び第 2 読み出
し電圧を算出し、前記第 1 及び第 2 読み出し電圧を用いて前記第 3 読み出し電圧を算出す
る、
請求項 1 乃至 5 のいずれか一項に記載のメモリシステム。

【請求項 7】

前記探索動作において、前記半導体記憶装置は、前記ワード線に印加される、前記第 1
読み出しレベルに対応する第 1 電圧及び前記第 3 読み出しレベルに対応する第 2 電圧をシ
フトさせながら、前記第 4 読み出し動作を 2 回以上繰り返す、
請求項 1 乃至 6 のいずれか一項に記載のメモリシステム。

50

【請求項 8】

前記第 4 読み出し動作は、前記第 1 読み出しレベルに対応して、前記ワード線に少なくとも第 1 及び第 2 電圧を順に印加して少なくとも 2 回の読み出し動作を行う第 5 読み出し動作と、前記第 2 読み出しレベルに対応して、前記ワード線に少なくとも第 3 及び第 4 電圧を順に印加して少なくとも 2 回の読み出し動作を行う第 6 読み出し動作とを含む、

請求項 1 乃至 6 のいずれか一項に記載のメモリシステム。

【請求項 9】

前記半導体記憶装置は、前記第 5 読み出し動作の結果に基づいて前記第 1 読み出し電圧を算出し、前記第 6 読み出し動作の結果に基づいて前記第 2 読み出し電圧を算出する、

請求項 8 に記載のメモリシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、メモリシステムに関する。

【背景技術】

【0002】

例えば、半導体記憶装置として、NAND型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献 1】米国特許第 9 8 5 2 0 6 5 号明細書

【特許文献 2】米国特許第 9 6 7 2 9 4 2 号明細書

【特許文献 3】米国特許公開 2 0 1 7 / 0 1 2 5 0 8 9 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

処理能力を向上できるメモリシステムを提供する。

【課題を解決するための手段】

【0005】

実施形態に係るメモリシステムは、半導体記憶装置と、半導体記憶装置を制御可能なコントローラとを含む。半導体記憶装置は、少なくとも第 1 乃至第 3 データを記憶可能な複数のメモリセルと、複数のメモリセルに接続されたワード線とを含む。第 1 データは、第 1 読み出しレベルを含む第 1 読み出し動作により確定され、第 2 データは、第 2 読み出しレベルを含む第 2 読み出し動作により確定され、第 3 データは、第 3 読み出しレベルを含む第 3 読み出し動作により確定される。コントローラは、第 1 乃至第 3 読み出しレベルにそれぞれ対応する第 1 乃至第 3 読み出し電圧の探索動作において、半導体記憶装置に第 1 及び第 2 読み出しレベルを含む第 4 読み出し動作を実行させる。

30

【図面の簡単な説明】

【0006】

【図 1】図 1 は、第 1 実施形態に係るメモリシステムのブロック図である。

40

【図 2】図 2 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置のブロック図である。

【図 3】図 3 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるメモリセルアレイの回路図である。

【図 4】図 4 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるメモリセルアレイの断面図である。

【図 5】図 5 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるメモリセルトランジスタの閾値分布図である。

【図 6】図 6 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるメモリセルトランジスタの閾値分布のシフトを示す図である。

50

【図 7】図 7 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるオンセル数の変化を示す図である。

【図 8】図 8 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置におけるトラッキング動作を示す概念図である。

【図 9】図 9 は、第 1 実施形態に係るメモリシステムにおいてパトロール動作におけるシフトリードを示す概念図である。

【図 10】図 10 は、第 1 実施形態に係るメモリシステムにおいてシフトリードにより読み出されたデータのレベル分離を示すテーブルである。

【図 11】図 11 は、第 1 実施形態に係るメモリシステムにおけるパトロール動作のフローチャートである。

10

【図 12】図 12 は、第 1 実施形態に係るメモリシステムにおけるパトロール動作のコマンドシーケンスである。

【図 13】図 13 は、第 1 実施形態に係るメモリシステムの備える半導体記憶装置においてパトロール動作時の選択ワード線の電圧を示すタイミングチャートである。

【図 14】図 14 は、第 2 実施形態に係るメモリシステムの備える半導体記憶装置におけるオンチップトラッキング時の選択ワード線の電圧を示すタイミングチャートである。

【図 15】図 15 は、第 2 実施形態に係るメモリシステムにおけるパトロール動作のフローチャートである。

【図 16】図 16 は、第 2 実施形態に係るメモリシステムにおけるパトロール動作のコマンドシーケンスである。

20

【図 17】図 17 は、第 2 実施形態に係るメモリシステムの備える半導体記憶装置においてパトロール動作時の選択ワード線の電圧を示すタイミングチャートである。

【図 18】図 18 は、第 3 実施形態に係るメモリシステムにおけるパトロール動作のフローチャートである。

【図 19】図 19 は、第 3 実施形態に係るメモリシステムにおけるパトロール動作のコマンドシーケンスである。

【図 20】図 20 は、第 3 実施形態に係るメモリシステムの備える半導体記憶装置においてパトロール動作時の選択ワード線の電圧を示すタイミングチャートである。

【発明を実施するための形態】

【0007】

30

以下、実施形態につき図面を参照して説明する。この説明に際し、略同一の機能及び構成を有する構成要素については、同一符号を付す。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、実施形態の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。実施形態の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0008】

1. 第 1 実施形態

第 1 実施形態に係るメモリシステムについて説明する。以下では半導体記憶装置として、メモリセルトランジスタが半導体基板上方に積層された三次元積層型 NAND 型フラッシュメモリを例に挙げて説明する。

40

【0009】

1.1 構成

1.1.1 メモリシステムの構成

まず、メモリシステム 1 の全体構成について、図 1 を用いて説明する。

【0010】

図 1 に示すように、メモリシステム 1 は、複数の NAND 型フラッシュメモリ 100 (100a、100b、...) 及びコントローラ 200 を含み、外部のホスト機器 2 に接続される。以下、NAND 型フラッシュメモリ 100a、100b、... のそれぞれを限定しない場合は、NAND 型フラッシュメモリ 100 と表記する。コントローラ 200 と NAN

50

D型フラッシュメモリ100とは、例えばそれらの組み合わせにより一つの半導体記憶装置を構成してもよく、その例としてはSD^TMカードのようなメモリカードや、SSD (solid state drive) 等が挙げられる。

【0011】

NAND型フラッシュメモリ100は、データを不揮発に記憶することが可能な不揮発性メモリである。複数のNAND型フラッシュメモリ100は、それぞれ独立して動作することができる。なお、メモリシステム1が備えるNAND型フラッシュメモリ100の個数は任意であり、1個以上あればよい。

【0012】

コントローラ200は、ホスト機器2からの要求(命令)に回答して、NAND型フラッシュメモリ100に対してデータの読み出し動作、書き込み動作、及び消去動作等を命令する。コントローラ200は、NAND型フラッシュメモリ100における読み出し電圧の探索動作(以下、「パトロール動作」と表記する)を実行可能である。パトロール動作は、例えばホスト機器2からの命令によらず、予め設定された期間(以下、「パトロール期間」と表記する)内にNAND型フラッシュメモリ100に対して実行される動作である。パトロール動作は、例えばメモリシステム1の空き時間(例えばホスト機器2から命令を受信していないスタンバイ状態)に実行される。パトロール動作の詳細については後述する。また、コントローラ200は、NAND型フラッシュメモリ100のメモリ空間を管理する。なお、コントローラ200の各機能は専用回路で実現されてもよいし、プロセッサがファームウェアを実行することにより実現されてもよい。本実施形態では、コントローラ200内に専用回路が設けられている場合について説明する。

【0013】

コントローラ200は、ホストインターフェイス回路210、内蔵メモリ(RAM)220、プロセッサ(CPU; central processing unit)230、バッファメモリ240、NANDインターフェイス回路250、ECC回路260、及びタイマ270を含む。

【0014】

ホストインターフェイス回路210は、ホストバスによってホスト機器2と接続され、ホスト機器2との通信を司る。例えば、ホストインターフェイス回路210は、ホスト機器2から受信した命令及びデータをそれぞれ、CPU230及びバッファメモリ240に転送する。またホストインターフェイス回路210は、CPU230の命令に回答して、バッファメモリ240内のデータをホスト機器2に転送する。

【0015】

RAM220は、例えば、DRAM等の半導体メモリであり、NAND型フラッシュメモリ100を管理するためのファームウェアや、各種の管理テーブル等を保持する。また、RAM220は、CPU230の作業領域として使用される。

【0016】

CPU230は、コントローラ200全体の動作を制御する。例えば、CPU230は、ホスト機器2から受信した書き込み命令に回答して、NANDインターフェイス回路250に対して書き込みコマンドを発行する。この動作は、読み出し命令及び消去命令の場合についても同様である。CPU230は、タイマ270のカウントに基づいたパトロール期間内におけるパトロール動作を制御する。また、CPU230は、ウェアレベリング等、NAND型フラッシュメモリ100のメモリ空間を管理するための様々な処理を実行する。

【0017】

バッファメモリ240は、コントローラ200がNAND型フラッシュメモリ100から受信した読み出しデータや、ホスト機器2から受信した書き込みデータ等を一時的に保持する。

【0018】

ECC回路260は、データのエラー訂正(ECC: error checking and correcting)処理を行う。具体的には、ECC回路260は、データの書き込み時に書き込みデータ

10

20

30

40

50

に基づいてパリティを生成する。そして、ECC回路260は、データの読み出し時にパリティからシンドロームを生成してエラーを検出し、検出したエラーを訂正する。

【0019】

NANDインターフェイス回路250は、NANDバスによってNAND型フラッシュメモリ100と接続され、NAND型フラッシュメモリ100との通信を司る。例えば、NANDインターフェイス回路250は、CPU230から受信した命令に基づいて各種制御信号をNAND型フラッシュメモリ100に送信し、レディ/ビジー信号R_{Bn}をNAND型フラッシュメモリ100から受信し、信号DQをNAND型フラッシュメモリ100との間で送受信する。

【0020】

レディ/ビジー信号R_{Bn}は、NAND型フラッシュメモリ100がコントローラ200からの命令を受信することが可能かどうかを通知する信号である。レディ/ビジー信号R_{Bn}は、例えばNAND型フラッシュメモリ100がコントローラ200からの命令を受信可能なレディ状態の場合にHigh(“H”)レベルとされ、受信不可能なビジー状態の場合にLow(“L”)レベルとされる。

【0021】

信号DQは、例えば8ビットの信号であり、コマンド、アドレス、及びデータ等を含む。より具体的には、例えば、書き込み動作時において、NAND型フラッシュメモリ100に転送される信号DQは、CPU230が発行した書き込みコマンド、アドレス、及びバッファメモリ240内の書き込みデータを含む。また、読み出し動作時において、NAND型フラッシュメモリ100に転送される信号DQは、CPU230が発行した読み出しコマンド及びアドレスを含み、コントローラ200に転送される信号DQは、読み出しデータを含む。

【0022】

タイマ270は、メモリシステム1の各種動作に関連する時間を計測する。例えば、タイマ270は、各NAND型フラッシュメモリ100に対してパトロール期間を計測する。

【0023】

1.1.2 NAND型フラッシュメモリの構成

次に、NAND型フラッシュメモリ100の構成について、図2を用いて説明する。なお、図2の例では、NAND型フラッシュメモリ100aが示されているが、他のNAND型フラッシュメモリ100も同様である。また、各ブロック間の接続の一部を矢印線により示しているが、各ブロック間の接続はこれに限定されない。

【0024】

図2に示すように、NAND型フラッシュメモリ100は、入出力回路10、ロジック制御回路11、ステータスレジスタ12、アドレスレジスタ13、コマンドレジスタ14、シーケンサ15、レディ/ビジー回路16、電圧発生回路17、メモリセルアレイ18、ロウデコーダ19、センスアンプ20、データレジスタ21、並びにカラムデコーダ22を含む。

【0025】

入出力回路10は、コントローラ200との信号DQ[7:0]の入出力を制御する。より具体的には、入出力回路10は、入力回路と出力回路を備える。入力回路は、コントローラ200から受信したデータDAT(書き込みデータWD)を、データレジスタ21に送信し、アドレスADDをアドレスレジスタ13に送信し、コマンドCMDをコマンドレジスタ14に送信する。出力回路は、ステータスレジスタ12から受信したステータス情報STS、データレジスタ21から受信したデータDAT(読み出しデータRD)、及びアドレスレジスタ13から受信したアドレスADDをコントローラ200に送信する。入出力回路10とデータレジスタ21とは、データバスを介して接続される。

【0026】

ロジック制御回路11は、コントローラ200から制御信号を受信する。制御信号には

10

20

30

40

50

、例えばチップイネーブル信号C E n、コマンドラッチイネーブル信号C L E、アドレスラッチイネーブル信号A L E、ライトイネーブル信号W E n、及びリードイネーブル信号R E nが含まれる。そしてロジック制御回路11は、受信した信号に応じて、入出力回路10及びシーケンサ15を制御する。

【0027】

チップイネーブル信号C E nは、NAND型フラッシュメモリ100をイネーブルにするための信号であり、例えば“L”レベルでアサートされる。コマンドラッチイネーブル信号C L Eは、信号D Qがコマンドであることを示す信号であり、例えば“H”レベルでアサートされる。アドレスラッチイネーブル信号A L Eは、信号D Qがアドレスであることを示す信号であり、例えば“H”レベルでアサートされる。ライトイネーブル信号W E nは、受信した信号をNAND型フラッシュメモリ100内へ取り込むための信号であり、コントローラ200よりコマンド、アドレス、及びデータ等を受信する度に、例えば“L”レベルでアサートされる。よって、W E nがトグルされる度に、信号D QがNAND型フラッシュメモリ100に取り込まれる。リードイネーブル信号R E nは、コントローラ200が、NAND型フラッシュメモリ100からデータを読み出すための信号である。リードイネーブル信号R E nは、例えば“L”レベルでアサートされる。

10

【0028】

ステータスレジスタ12は、例えばデータの書き込み動作、読み出し動作、及び消去動作において、シーケンサ15から受信したステータス情報S T Sを一時的に保持し、コントローラ200に動作が正常に終了したか否かを通知する。

20

【0029】

アドレスレジスタ13は、入出力回路10を介してコントローラ200から受信したアドレスA D Dを一時的に保持する。そして、アドレスレジスタ13は、例えば、ロウアドレスR A（ブロックアドレス及びページアドレスを含む）をロウデコーダに転送し、カラムアドレスC Aをカラムデコーダ22に転送する。

【0030】

コマンドレジスタ14は、入出力回路10を介してコントローラ200から受信したコマンドC M Dを一時的に保存し、シーケンサ15に転送する。

【0031】

シーケンサ15は、NAND型フラッシュメモリ100全体の動作を制御する。より具体的には、シーケンサ15は、コマンドレジスタ14が保持するコマンドC M Dに応じて、例えばステータスレジスタ12、レディ/ビジー回路16、電圧発生回路17、ロウデコーダ19、センスアンプ20、データレジスタ21、並びにカラムデコーダ22等を制御し、書き込み動作、読み出し動作、及び消去動作等を実行する。

30

【0032】

レディ/ビジー回路16は、シーケンサ15の制御に応じて、レディ/ビジー信号R B nをコントローラ200に送信する。

【0033】

電圧発生回路17は、シーケンサ15の制御に応じて、書き込み動作、読み出し動作、及び消去動作に必要な電圧を発生させ、この発生した電圧を例えばメモリセルアレイ18、ロウデコーダ19、並びにセンスアンプ20等に供給する。

40

【0034】

メモリセルアレイ18は、ロウ及びカラムに対応付けられた不揮発性のメモリセルトランジスタ（以下、メモリセルとも表記する）を含む例えば4つのブロックB L K 0 ~ B L K 3を備えている。なお、メモリセルアレイ18内のブロックB L Kの個数は任意である。メモリセルアレイ18の構成の詳細については後述する。

【0035】

メモリセルアレイ18は、メモリの空間領域としてユーザ領域及び管理領域を含み、例えば、複数のブロックB L Kがユーザ領域と管理領域とにそれぞれ割り当てられる。ユーザ領域は、ホスト機器2から受信したユーザデータの書き込み動作及び読み出し動作に使

50

用される領域である。管理領域は、例えば、制御プログラム、または各種設定パラメータ等の管理用データが保存される領域である。例えば、管理領域には、読み出し電圧のパラメータ情報が格納される。

【0036】

ロウデコーダ19は、各ブロックBLKにおいて、ロウ方向に沿って配置された配線（例えば、ワード線及び選択ゲート線）に接続される。そして、ロウデコーダ19は、選択したブロックBLKの配線に、書き込み動作、読み出し動作、及び消去動作に必要な電圧を印加する。

【0037】

センスアンプ20は、読み出し動作のときには、メモリセルアレイ18から読み出されたデータをセンスする。そして、センスアンプ20は、読み出しデータRDをデータレジスタ21に送信する。また、センスアンプ20は、書き込み動作のときには、書き込みデータWDをメモリセルアレイ18に送信する。

10

【0038】

データレジスタ21は、複数のラッチ回路を備える。ラッチ回路は、書き込みデータWD及び読み出しデータRDを保持する。例えば、書き込み動作において、データレジスタ21は、入出力回路10から受信した書き込みデータWDを一時的に保持し、センスアンプ20に送信する。また、例えば、読み出し動作において、データレジスタ21は、センスアンプ20から受信した読み出しデータRDを一時的に保持し、入出力回路10に送信する。

20

【0039】

カラムデコーダ22は、例えば書き込み動作、読み出し動作、及び消去動作の際、カラムアドレスCAをデコードし、デコード結果に応じてデータレジスタ21内のラッチ回路を選択する。

【0040】

1.1.3 メモリセルアレイの回路構成

次に、メモリセルアレイ18の回路構成について、図3を用いて説明する。図3は、1つのブロックBLKにおけるメモリセルアレイ18の回路図を示している。

【0041】

図3に示すように、ブロックBLKは、例えば4つのストリングユニットSU0～SU3を含む。なお、ブロックBLK内のストリングユニットSUの個数は任意である。各々のストリングユニットSUは、複数のNANDストリングNSを含む。以下、ストリングユニットSU0～SU3のそれぞれを限定しない場合は、ストリングユニットSUと表記する。

30

【0042】

NANDストリングNSは、例えば8個のメモリセルトランジスタMC0～MC7、並びに選択トランジスタST1及びST2を含んでいる。以下、メモリセルトランジスタMC0～MC7のそれぞれを限定しない場合は、メモリセルトランジスタMCと表記する。

【0043】

メモリセルトランジスタMCは、制御ゲートと電荷蓄積層とを備え、データを不揮発に保持する。なお、メモリセルトランジスタMCは、電荷蓄積層に絶縁層を用いたMONOS型であってもよいし、電荷蓄積層に導電層を用いたFG型であってもよい。以下、本実施形態では、MONOS型を例として説明する。また、NANDストリングNSの各々に含まれるメモリセルトランジスタMCの個数は、16個、32個、48個、64個、96個、または128個等であってもよく、その数は限定されるものではない。更に、NANDストリングNSの各々に含まれる選択トランジスタST1及びST2の個数は任意であり、それぞれ1個以上あればよい。

40

【0044】

メモリセルトランジスタMC0～MC7は、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に直列接続されている。より具体的には、メモリセル

50

トランジスタMC0～MC7は、その電流経路が直列に接続される。そしてメモリセルトランジスタMC7のドレインは、選択トランジスタST1のソースに接続され、メモリセルトランジスタMC0のソースは、選択トランジスタST2のドレインに接続されている。

【0045】

ストリングユニットSU0～SU3の各々における選択トランジスタST1のゲートは、選択ゲート線SGD0～SGD3にそれぞれ接続される。また、ストリングユニットSU0～SU3の各々における選択トランジスタST2のゲートは、選択ゲート線SGSに共通に接続される。以下、選択ゲート線SGD0～SGD3のそれぞれを限定しない場合は、選択ゲート線SGDと表記する。なお、ストリングユニットSU0～SU3の各々における選択トランジスタST2のゲートは、選択ゲート線SGS0～SGS3にそれぞれ接続されてもよい。

10

【0046】

ブロックBLK内にあるメモリセルトランジスタMC0～MC7の制御ゲートは、それぞれワード線WL0～WL7に共通接続される。以下、ワード線WL0～WL7のそれぞれを限定しない場合は、ワード線WLと表記する。

【0047】

ストリングユニットSU内にある各NANDストリングNSの選択トランジスタST1のドレインは、それぞれ異なるビット線BL0～BL(L-1)(Lは2以上の整数)に接続される。以下、ビット線BL0～BL(L-1)を限定しない場合は、ビット線BLと表記する。各ビット線BLは、複数のブロックBLK間で各ストリングユニットSU内にある1つのNANDストリングNSを共通に接続する。更に、複数の選択トランジスタST2のソースは、ソース線SLに共通に接続されている。つまり、ストリングユニットSUは、異なるビット線BLに接続され、且つ同一の選択ゲート線SGDに接続されたNANDストリングNSの集合体である。またブロックBLKは、ワード線WLを共通にする複数のストリングユニットSUの集合体である。そしてメモリセルアレイ18は、ビット線BLを共通にする複数のブロックBLKの集合体である。

20

【0048】

データの書き込み動作及び読み出し動作は、いずれかのストリングユニットSUにおけるいずれかのワード線WLに接続されたメモリセルトランジスタMCに対して、一括して行われる。以下、データの書き込み及び読み出しの際、一括して選択されるメモリセルトランジスタMCの群を「メモリセルグループMCG」と呼ぶ。そして、1つのメモリセルグループMCGに書き込まれる、または読み出される1ビットのデータの集まりを「ページ」と呼ぶ。

30

【0049】

更に、メモリセルアレイ18の構成は、他の構成であっても良い。すなわちメモリセルアレイ18の構成については、例えば、“三次元積層不揮発性半導体メモリ(THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)”という2009年3月19日出願された米国特許出願12/407,403号に記載されている。また、“三次元積層不揮発性半導体メモリ(THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)”という2009年3月18日出願された米国特許出願12/406,524号、“不揮発性半導体記憶装置及びその製造方法(NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME)”という2010年3月25日出願された米国特許出願12/679,991号“半導体メモリ及びその製造方法(SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING SAME)”という2009年3月23日出願された米国特許出願12/532,030号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

40

【0050】

1.1.4 メモリセルアレイの断面構成

次に、メモリセルアレイ18の断面構成について、図4を用いて説明する。図4の例は

50

、1つのNANDストリングNSの断面を示している。なお、図4において、一部の層間絶縁膜は省略されている。

【0051】

図4に示すように、半導体基板30上には、絶縁層31が形成されている。絶縁層31には、例えばシリコン酸化膜(SiO_2)が用いられる。なお、絶縁層31が形成されている領域、すなわち半導体基板30と配線層32との間には、ロウデコーダ19またはセンスアンプ20等の回路が設けられていてもよい。

【0052】

絶縁層31上には、ソース線SLとして機能する配線層32が形成されている。配線層32は導電材料により構成され、例えば不純物を添加された半導体材料、または金属材料が用いられる。

10

【0053】

配線層32の上方には、選択ゲート線SGS、ワード線WL0~WL7、及び選択ゲート線SGDとして機能する例えば10層の配線層33が、それぞれ図示せぬ層間絶縁膜を介して順次積層されている。

【0054】

配線層33は導電材料により構成され、例えば不純物を添加された半導体材料または金属材料が用いられる。例えば、配線層33として、窒化チタン(TiN)/タンゲステン(W)の積層構造が用いられる。TiNは、例えばCVD(chemical vapor deposition)によりWを成膜する際、Wと SiO_2 との反応を防止するためのバリア層、あるいはWの密着性を向上させるための密着層としての機能を有する。

20

【0055】

そして、10層の配線層33を貫通して配線層32に達するメモリピラーMPが形成されている。1つのメモリピラーMPが1つのNANDストリングNSに対応する。メモリピラーMPは、ブロック絶縁膜34、電荷蓄積層35、トンネル絶縁膜36、半導体層37、コア層38、及びキャップ層39を含む。

【0056】

より具体的には、配線層33を貫通して、底面が配線層32に達するように、メモリピラーMPに対応するホールが形成されている。ホールの側面にはブロック絶縁膜34、電荷蓄積層35、及びトンネル絶縁膜36が順次積層されている。そして側面がトンネル絶縁膜36に接し、底面が配線層32に接するように半導体層37が形成されている。半導体層37は、メモリセルトランジスタMC並びに選択トランジスタST1及びST2のチャンネルが形成される領域である。よって、半導体層37は、選択トランジスタST2、メモリセルトランジスタMC0~MC7、及び選択トランジスタST1の電流経路を接続する信号線として機能する。半導体層37内にはコア層38が設けられている。そして半導体層37及びコア層38上には、側面がトンネル絶縁膜36に接するキャップ層39が形成されている。

30

【0057】

ブロック絶縁膜34、トンネル絶縁膜36、及びコア層38には、例えば SiO_2 が用いられる。電荷蓄積層35には、例えばシリコン窒化膜(SiN)が用いられる。半導体層37及びキャップ層39には、例えばポリシリコンが用いられる。

40

【0058】

キャップ層39上には、コンタクトプラグ40が形成され、コンタクトプラグ40上には、ビット線BLとして機能する配線層41が形成されている。コンタクトプラグ40及び配線層41は導電材料により構成され、例えば、チタン(Ti)/TiN/Wの積層構造等が用いられる。

【0059】

なお、図4の例では、選択ゲート線SGD及びSGSとして機能する配線層33は、それぞれ1層設けられているが、複数層設けられてもよい。

【0060】

50

メモリピラーMPと、ワード線WL0～WL7としてそれぞれ機能する8層の配線層33とにより、メモリセルトランジスタMC0～MC7がそれぞれ構成される。同様に、メモリピラーMPと、選択ゲート線SGD及びSGSとしてそれぞれ機能する2層の配線層33とにより、選択トランジスタST1及びST2がそれぞれ構成される。

【0061】

1.2 メモリセルトランジスタの閾値分布

次に、メモリセルトランジスタMCの閾値分布（閾値電圧領域とも表記する）について、図5を用いて説明する。図5は、各メモリセルトランジスタMCの取り得るデータ、閾値分布、及び読み出し動作時に用いる電圧を示している。

【0062】

図5に示すように、本実施形態では、1つのメモリセルトランジスタMCが4ビットデータを保持することができる。すなわち、本実施形態におけるメモリセルトランジスタMCは、4ビットのデータを保持するQLC（quad level cell）である。QLCの場合、その閾値電圧の分布は16個に分けられる。この16個の閾値分布を、閾値電圧が低いものから順に“S0”レベル～“S15”レベルと表記する。なお、本実施形態は、3ビット以上のデータを保持可能なメモリセルトランジスタMCに適用できる。すなわち、メモリセルトランジスタMCはnビット（nは3以上の整数）のデータを保持可能であり、この場合、閾値電圧の分布は、 2^n 個に分けられる。

【0063】

また、図5に示す電圧V1～V15は、それぞれ、書き込み動作時における“S0”レベル～“S15”レベルのペリファイに用いられる。電圧VREADは、読み出し動作時において非選択ワード線に印加される電圧である。メモリセルトランジスタMCは、ゲートに電圧VREADが印加されると保持するデータに依らずにオン状態になる。これらの電圧値の関係は、 $V1 < V2 < V3 < V4 < V5 < V6 < V7 < V8 < V9 < V10 < V11 < V12 < V13 < V14 < V15 < VREAD$ である。

【0064】

上述した閾値分布のうち“S0”レベルは、メモリセルトランジスタMCの消去状態に相当する。“S0”レベルにおける閾値電圧は、電圧V1未満である。“S1”レベルにおける閾値電圧は、電圧V1以上且つ電圧V2未満である。“S2”レベルにおける閾値電圧は、電圧V2以上且つ電圧V3未満である。“S3”レベルにおける閾値電圧は、電圧V3以上且つ電圧V4未満である。“S4”レベルにおける閾値電圧は、電圧V4以上且つ電圧V5未満である。“S5”レベルにおける閾値電圧は、電圧V5以上且つ電圧V6未満である。“S6”レベルにおける閾値電圧は、電圧V6以上且つ電圧V7未満である。“S7”レベルにおける閾値電圧は、電圧V7以上且つ電圧V8未満である。“S8”レベルにおける閾値電圧は、電圧V8以上且つ電圧V9未満である。“S9”レベルにおける閾値電圧は、電圧V9以上且つ電圧V10未満である。“S10”レベルにおける閾値電圧は、電圧V10以上且つ電圧V11未満である。“S11”レベルにおける閾値電圧は、電圧V11以上且つ電圧V12未満である。“S12”レベルにおける閾値電圧は、電圧V12以上且つ電圧V13未満である。“S13”レベルにおける閾値電圧は、電圧V13以上且つV14未満である。“S14”レベルにおける閾値電圧は、電圧V14以上且つV15未満である。“S15”レベルにおける閾値電圧は、電圧V15以上且つ電圧VREAD未満である。すなわち、“S0”～“S15”レベルは、閾値電圧の低い順に領域が定義された16個の閾値電圧領域である。

【0065】

本実施形態における読み出し動作では、説明を簡略化するため、ペリファイ電圧を読み出し電圧VCGRVとして使用した場合を一例として説明する。以下に、電圧V1～V15を用いた読み出し動作のことをそれぞれ、R1～R15リードと表記する。R1リードは、メモリセルトランジスタMCの閾値電圧が電圧V1未満か否かを判定する。R2リードは、メモリセルトランジスタMCの閾値電圧が電圧V2未満か否かを判定する。R3リードは、メモリセルトランジスタMCの閾値電圧が電圧V3未満か否かを判定する。以下

10

20

30

40

50

、同様である。

【0066】

また、上述した16個の閾値分布は、Lowerビット、Middleビット、Upperビット、及びTopビットからなる4ビットデータを書き込むことで形成される。そして16個の閾値分布が、それぞれ異なる4ビットデータに対応する。本実施形態では、各レベルに含まれるメモリセルトランジスタMCに対して、“Topビット/Upperビット/Middleビット/Lowerビット”に以下に示すようにデータを割り付ける。

【0067】

“S0”レベルに含まれるメモリセルトランジスタMCは、“1111”データを保持する。“S1”レベルに含まれるメモリセルトランジスタMCは、“1110”データを保持する。“S2”レベルに含まれるメモリセルトランジスタMCは、“1010”データを保持する。“S3”レベルに含まれるメモリセルトランジスタMCは、“1000”データを保持する。“S4”レベルに含まれるメモリセルトランジスタMCは、“1001”データを保持する。“S5”レベルに含まれるメモリセルトランジスタMCは、“0001”データを保持する。“S6”レベルに含まれるメモリセルトランジスタMCは、“0000”データを保持する。“S7”レベルに含まれるメモリセルトランジスタMCは、“0010”データを保持する。“S8”レベルに含まれるメモリセルトランジスタMCは、“0110”データを保持する。“S9”レベルに含まれるメモリセルトランジスタMCは、“0100”データを保持する。“S10”レベルに含まれるメモリセルトランジスタMCは、“1100”データを保持する。“S11”レベルに含まれるメモリセルトランジスタMCは、“1101”データを保持する。“S12”レベルに含まれるメモリセルトランジスタMCは、“0101”データを保持する。“S13”レベルに含まれるメモリセルトランジスタMCは、“0111”データを保持する。“S14”レベルに含まれるメモリセルトランジスタMCは、“0011”データを保持する。“S15”レベルに含まれるメモリセルトランジスタMCは、“1011”データを保持する。なお、各レベルに割り付けるデータはこれに限定されない。

【0068】

このように割り付けられたデータを読み出す場合、Lowerビットは、“S1”、“S4”、“S6”、及び“S11”レベルを含む読み出し動作、すなわち、R1、R4、R6、及びR11リードによって確定する。Middleビットは“S3”、“S7”、“S9”、及び“S13”レベルを含む読み出し動作、すなわち、R3、R7、R9、及びR13リードによって確定する。Upperビットは、“S2”、“S8”、及び“S14”レベルを含む読み出し動作、すなわち、R2、R8、及びR14リードによって確定する。Topビットは、“S5”、“S10”、“S12”、及び“S15”レベルを含む読み出し動作、すなわち、R5、R10、R12、及びR15リードによって確定する。つまりLowerビット、Middleビット、Upperビット、及びTopビットの値はそれぞれ、4回、4回、3回、及び4回の読み出し動作によって確定する。以下、このような割り付けを4-4-3-4コードと表記する。

【0069】

1.3 読み出し電圧のトラッキング動作

次に、読み出し電圧のトラッキング動作について説明する。トラッキング動作は、隣り合う閾値分布が互いに重なる場合に、2つの閾値分布の谷となる場所、すなわち、2つの閾値分布の交点を求め、得られた交点から適切な読み出し電圧、すなわちシフト量を算出するものである。または、交点の代わりに、読み出し電圧を変化させていった際に、ECCにおけるフェイルビット数が最小となる電圧、またはECCによるエラー訂正が可能となる電圧を探索するものである。以下では、“S0”レベルと“S1”レベルとにそれぞれ対応する2つの閾値分布の交点を算出する場合を例にトラッキング動作につき簡単に説明する。

【0070】

10

20

30

40

50

図6は、一例として“S0”レベルと“S1”レベルの閾値分布の様子を示している。図示するように、例えばデータの書き込み直後の閾値分布が図6上図の通りであったとする。しかし、ディスタープ等により図6下図のように、閾値分布の分布幅が広がったとする。すると、電圧V1で読み出しを行うと、図6下図の斜線部分の領域に相当するメモリセルトランジスタMCがフェイルビットとなる。そして、発生したフェイルビット数が、ECC回路260のエラー訂正可能ビット数を超えていれば、データを正しく読み出すことが困難となる。そこで、この2つの閾値分布が重なった交点(谷)の位置(電圧)を探索し、その近傍の電圧を適切な読み出し電圧V1'とする。これがトラッキング動作である。

【0071】

次に、トラッキング動作の詳細につき、図7を用いて説明する。図7は、読み出し電圧VCGRVに対するオンセル数(オン状態となるメモリセル数の累積値)と、これに対応した“S0”レベルの閾値分布と“S1”レベルの閾値分布を示すグラフである。

【0072】

図7上図に示すように、電圧VCGRVを上昇させていくと、“S0”レベルの中央値(最も分布確率の高い電圧)である電圧Vmid0より僅かに小さい電圧でオンセル数が急激に増大し、 dN/dV が最大となる(但し、Nはオンセル数で、Vは選択ワード線WLの電圧VCGRVである)。更に電圧VCGRVを大きくしていくと、オンセル数の増加率は小さくなり、ある値において最小値となる。この電圧VCGRVにおける増加率は、“S0”レベルの閾値分布と“S1”レベルの閾値分布とが重ならない場合にはゼロとなる。他方で重なる場合には、ある一定のゼロでは無い最小値(>0)となる。そして更に電圧VCGRVを大きくしていくと、再びオンセル数の増加率が大きくなり、“S1”レベルの中央値である電圧Vmid1より僅かに小さい電圧で再び dN/dV が最大となる。

【0073】

上記のオンセル数の累積値の変化によって、図7下図に示すような閾値分布を求めることができる。すなわち、 dN/dV が最大値となる電圧より僅かに大きな電圧が、それぞれ“S0”レベル及び“S1”レベルの中央値となり、 dN/dV が最小値となる電圧が、“S0”レベルと“S1”レベルとの交点となる閾値分布が得られる。この交点の電圧、すなわち、オンセル数の累積値の増加率が最小となる電圧VCGRVが、見つけるべき電圧V1'となる。

【0074】

トラッキングの具体的な動作の一例について、図8を用いて説明する。図8上図は、電圧VCGRVに対するオンセル数(オン状態となるメモリセルの総数)を示し、図8下図は、ワード線WLの電圧を1ステップだけ変動させた際に初めてオンするメモリセル数を示すヒストグラムと、それによって得られる閾値分布を示す。

【0075】

図8上図に示すように、1つのレベルに対して読み出し電圧VCGRVをシフトさせながら複数回の読み出し動作(以下、「シフトリード」と表記する)が実行される。より具体的には、まず、予め設定された電圧V1から一定量だけシフトされた電圧V1aを用いて読み出し動作が実行される。このときのオンセル数をN1とする。次に、電圧V1aからV1だけプラス方向にシフトされた電圧V1bを用いて読み出し動作が実行される。この時のオンセル数をN2とする。次に、電圧V1bからV1だけプラス方向にシフトされた電圧V1cを用いて読み出し動作が実行される。この時のオンセル数をN3とする。次に、電圧V1cからV1だけプラス方向にシフトされた電圧V1dを用いて読み出し動作が実行される。この時のオンセル数をN4とする。次に、電圧V1dからV1だけプラス方向にシフトされた電圧V1eを用いて読み出し動作が実行される。この時のオンセル数をN5とする。

【0076】

すると、選択ワード線の電圧がV1aからV1bに上昇した際に新たにオンするメモリセル数は、 $(N2 - N1)$ 個である。選択ワード線の電圧がV1bからV1cに上昇した

10

20

30

40

50

際に新たにオンするメモリセル数は、 $(N3 - N2)$ 個である。選択ワード線の電圧が $V1c$ から $V1d$ に上昇した際に新たにオンするメモリセル数は、 $(N4 - N3)$ 個である。選択ワード線の電圧が $V1d$ から $V1e$ に上昇した際に新たにオンするメモリセル数は、 $(N5 - N4)$ 個である。例えば、 $(N2 - N1) > (N3 - N2) > (N4 - N3)$ であり、 $(N4 - N3) < (N5 - N4)$ である場合、図8下図のようなヒストグラムが得られる。

【0077】

この結果、図8下図に示すような閾値分布が推測され、この分布に基づいてコントローラ200は、電圧 $V1c$ と $V1d$ との間が、図7で説明した $dN/dV = \text{最小}$ となる位置であると推測し、電圧 $V1c$ と $V1d$ との間の値を適切な読み出し電圧 $V1'$ に設定する。

10

【0078】

1.4 パトロール動作

次に、パトロール動作について説明する。本実施形態におけるパトロール動作は、大まかに、分離データの読み出し動作、シフトリード、トラッキング動作、及び読み出し電圧の推定処理を含む。

【0079】

分離データは、シフトリードにおいて1回の読み出し動作で複数のレベルのデータを読み出した場合に、読み出したデータをそれぞれのレベルに分離するために使用される。分離データの読み出し動作は、対応するレベル毎に実行される（以下、1つのレベルの読み出し動作を、「シングルリード」と表記する）。すなわち、分離データはシングルリードで読み出される。

20

【0080】

推定処理は、シフトリードに基づくトラッキング動作の結果から、シフトリードに含まれないレベルに対応する読み出し電圧を推定する処理である。推定処理の詳細については後述する。

【0081】

1.4.1 シフトリード

まず、パトロール動作におけるシフトリードについて、図9を用いて説明する。

【0082】

図9に示すように、本実施形態では、シフトリードは、Lowerページ、Middleページ、Upperページ、またはTopページに含まれるレベルに限定されずに任意に設定された“S1”、“S5”、“S11”、及び“S15”レベルを含む。すなわちR1、R5、R11、及びR15リードに対応する読み出し動作（以下、「トラッキングレベルリード」とも表記する）が複数回（例えば5回）実行される。なお、シフトリードにおけるトラッキングレベルリードの回数は任意に設定可能である。更に、トラッキングレベルリードに設定されるレベルは、“S1”、“S5”、“S11”、及び“S15”レベルに限定されない。トラッキングレベルリードには2つ以上のレベルが含まれていればよい。Topページ及びLowerページにおけるフェイルビット数を低減させるため、トラッキングレベルリードには、“S1”及び“S15”レベル、すなわち、最小電圧 $V1$ 及び最大電圧 $V15$ が含まれる方が好ましい。

30

40

【0083】

“S1”レベル（R1リード）に対応して電圧 $V1$ を例えば5回シフトさせた電圧をそれぞれ $V1a \sim V1e$ とすると、 $V1a < V1b < V1c < V1d < V1e$ の関係にある。“S5”レベル（R5リード）に対応して電圧 $V5$ を例えば5回シフトさせた電圧をそれぞれ $V5a \sim V5e$ とすると、 $V5a < V5b < V5c < V5d < V5e$ の関係にある。“S11”レベル（R11リード）に対応して電圧 $V11$ を例えば5回シフトさせた電圧をそれぞれ $V11a \sim V11e$ とすると、 $V11a < V11b < V11c < V11d < V11e$ の関係にある。“S15”レベル（R15リード）に対応して電圧 $V15$ を例えば5回シフトさせた電圧をそれぞれ $V15a \sim V15e$ とすると、 $V15a < V15b <$

50

V 1 5 c < V 1 5 d < V 1 5 e の関係にある。なお、各電圧におけるシフト量は、同じでもよく、異なってもよい。より具体的には、例えば、V 1 a から電圧 V 1 b へのシフト量、電圧 V 1 b から電圧 V 1 c へのシフト量、電圧 V 1 c から電圧 V 1 d へのシフト量、電圧 V 1 d から電圧 V 1 e へのシフト量は、それぞれ同じでもよく、異なってもよい。各電圧は、コントローラ 2 0 0 により任意に設定される。

【 0 0 8 4 】

シフトリードにおいて 5 回のトラッキングレベルリードをシフト S F 1 ~ S F 5 とそれぞれ表記すると、シフト S F 1 では、電圧 V 1 a、V 5 a、V 1 1 a、及び V 1 5 a に基づくトラッキングレベルリードが実行される。シフト S F 2 では、電圧 V 1 b、V 5 b、V 1 1 b、及び V 1 5 b に基づくトラッキングレベルリードが実行される。シフト S F 3 10
では、電圧 V 1 c、V 5 c、V 1 1 c、及び V 1 5 c に基づくトラッキングレベルリードが実行される。シフト S F 4 では、電圧 V 1 d、V 5 d、V 1 1 d、及び V 1 5 d に基づくトラッキングレベルリードが実行される。シフト S F 5 では、電圧 V 1 e、V 5 e、V 1 1 e、及び V 1 5 e に基づくトラッキングレベルリードが実行される。

【 0 0 8 5 】

また、“ S 1 ”、“ S 5 ”、“ S 1 1 ”、及び“ S 1 5 ”レベルを分離するために、例えば、“ S 3 ”、“ S 8 ”、及び“ S 1 3 ”レベル（すなわち、R 3、R 8、及び R 1 3 リード）にそれぞれ対応する 3 回のシングルリードが実行され、読み出されたデータが分離データとして使用される。なお、分離データに対応するレベル、すなわち分離データの読み出し電圧は任意に設定可能である。例えば、R 3 リードに対応した電圧 V 3 の代わりに、“ S 1 ”レベルの閾値分布及び“ S 4 ”レベルの閾値分布に含まれない中間の読み出し電圧が設定される。同様に、R 8 リードに対応した電圧 V 8 の代わりに、“ S 5 ”レベルの閾値分布及び“ S 1 0 ”レベルの閾値分布に含まれない中間の読み出し電圧が設定される。R 1 3 リードに対応する電圧 V 1 3 の代わりに、“ S 1 1 ”レベルの閾値分布と、“ S 1 4 ”レベルの閾値分布に含まれない中間の読み出し電圧が設定される。 20

【 0 0 8 6 】

図 9 の例では、シフトリード及び分離データの各読み出し電圧に対応して、メモリセルトランジスタ M C の閾値電圧を 2 4 個の区分に分割している。より具体的には、区分 1 の閾値電圧は電圧 V 1 a 未満である。区分 2 の閾値電圧は、電圧 V 1 a 以上且つ電圧 V 1 b 未満である。区分 3 の閾値電圧は、電圧 V 1 b 以上且つ電圧 V 1 c 未満である。区分 4 の閾値電圧は、電圧 V 1 c 以上且つ電圧 V 1 d 未満である。区分 5 の閾値電圧は、電圧 V 1 d 以上且つ電圧 V 1 e 未満である。区分 6 の閾値電圧は、電圧 V 1 e 以上且つ電圧 V 3 未満である。区分 7 の閾値電圧は、電圧 V 3 以上且つ電圧 V 5 a 未満である。区分 8 の閾値電圧は、電圧 V 5 a 以上且つ電圧 V 5 b 未満である。区分 9 の閾値電圧は、電圧 V 5 b 以上且つ電圧 V 5 c 未満である。区分 1 0 の閾値電圧は、電圧 V 5 c 以上且つ電圧 V 5 d 未満である。区分 1 1 の閾値電圧は、電圧 V 5 d a 以上且つ電圧 V 5 e 未満である。区分 1 2 の閾値電圧は、電圧 V 5 e 以上且つ電圧 V 8 未満である。区分 1 3 の閾値電圧は、電圧 V 8 以上且つ電圧 V 1 1 a 未満である。区分 1 4 の閾値電圧は、電圧 V 1 1 a 以上且つ電圧 V 1 1 b 未満である。区分 1 5 の閾値電圧は、電圧 V 1 1 b 以上且つ電圧 V 1 1 c 未満である。区分 1 6 の閾値電圧は、電圧 V 1 1 c 以上且つ電圧 V 1 1 d 未満である。区分 1 7 の閾値電圧は、電圧 V 1 1 d 以上且つ電圧 V 1 1 e 未満である。区分 1 8 の閾値電圧は、電圧 V 1 1 e 以上且つ電圧 V 1 3 未満である。区分 1 9 の閾値電圧は、電圧 V 1 3 以上且つ電圧 V 1 5 a 未満である。区分 2 0 の閾値電圧は、電圧 V 1 5 a 以上且つ電圧 V 1 5 b 未満である。区分 2 1 の閾値電圧は、電圧 V 1 5 b 以上且つ電圧 V 1 5 c 未満である。区分 2 2 の閾値電圧は、電圧 V 1 5 c 以上且つ電圧 V 1 5 d 未満である。区分 2 3 の閾値電圧は、電圧 V 1 5 d 以上且つ電圧 V 1 5 e 未満である。区分 2 4 の閾値電圧は、電圧 V 1 5 e 以上且つ電圧 V R E A D 未満である。 30

【 0 0 8 7 】

1 . 4 . 2 読み出しデータのレベル分離

次に、シフトリードにより読み出されたデータのレベル分離について、図 1 0 を用いて 40

10

20

30

40

50

説明する。図10は、R3、R8、及びR13リードの読み出し結果（すなわち、分離データ）と、シフトリードにおける5回のトラッキングレベルリード（シフトSF1～シフトSF5）の読み出し結果（以下、「トラッキングデータ」とも表記する）を区分毎に示している。

【0088】

図10に示すように、R3リードに対応する分離データは、区分1～区分6において“1”であり、区分7～区分24において“0”である。R8リードに対応する分離データは、区分1～区分12において“1”であり、区分13～区分24において“0”である。R13リードに対応する分離データは、区分1～区分18において“1”であり、区分19～区分24において“0”である。また、シフトSF1に対応するトラッキングデータは、区分1、区分8～区分13、及び区分20～区分24において“1”であり、区分2～区分7及び区分14～区分19において“0”である。シフトSF2に対応するトラッキングデータは、区分1、区分2、区分9～区分14、及び区分21～区分24において“1”であり、区分3～区分8及び区分15～区分20において“0”である。シフトSF3に対応するトラッキングデータは、区分1～区分3、区分10～区分15、及び区分22～区分24において“1”であり、区分4～区分9及び区分16～区分21において“0”である。シフトSF4に対応するトラッキングデータは、区分1～区分4、区分11～区分16、区分23、及び区分24において“1”であり、区分5～区分10及び区分17～区分22において“0”である。シフトSF5に対応するトラッキングデータは、区分1～区分5、区分12～区分17、及び区分24において“1”であり、区分6

10

20

【0089】

区分1～区分24は、R3、R8、及びR13リードによる分離データに応じて4つのグループ（グループA～D）に分けられる。

【0090】

R3、R8、及びR13リードの結果がいずれも“1”である区分をグループAとすると、グループAには区分1～区分6が含まれる。グループAにおけるR3、R8、及びR13リードのデータを論理式で表すと、 $R3 \& R8 \& R13 = 1$ （&；論理積演算）の関係にある。シフトSF1～シフトSF5の各データと $R3 \& R8 \& R13$ との論理積演算を行うと、区分7～区分24では $R3 \& R8 \& R13 = 0$ の関係にあるため、シフトSF1～シフトSF5の各データが“0”となり、グループAが分離される。すなわち“S0”及び“S1”レベルが分離される。グループAには“S0”レベルの閾値分布と“S1”レベルの閾値分布との交点（谷）が含まれている。シフトSF1～シフトSF5における区分1～区分6のデータから、読み出し電圧V1のトラッキング動作を行うことにより、電圧V1'が求められる。

30

【0091】

R3リードの結果が“0”であり、R8及びR13リードの結果が“1”である区分をグループBとすると、グループBには、区分7～区分12が含まれる。グループBにおけるR3、R8、及びR13リードのデータを論理式で表すと、 $\neg R3 \& R8 \& R13 = 1$ （“/”は読み出しデータの反転データを示す）の関係にある。シフトSF1～シフトSF5の各データと $\neg R3 \& R8 \& R13$ との論理積演算を行うと、区分1～区分6及び区分13～区分24では $\neg R3 \& R8 \& R13 = 0$ の関係にあるため、シフトSF1～シフトSF5の各データが“0”となり、グループBが分離される。すなわち“S4”及び“S5”レベルが分離される。グループBには“S4”レベルの閾値分布と“S5”レベルの閾値分布との交点（谷）が含まれている。シフトSF1～シフトSF5における区分7～区分12のデータから、読み出し電圧V5のトラッキング動作を行うことにより、電圧V5'が求められる。

40

【0092】

R3及びR8リードの結果が“0”であり、R13リードの結果が“1”である区分をグループCとすると、グループCには、区分13～区分18が含まれる。グループCにお

50

ける R 3、R 8、及び R 1 3 リードのデータを論理式で表すと、 $\neg R 3 \ \& \ \neg R 8 \ \& \ R 1 3 = 1$ の関係にある。シフト S F 1 ~ シフト S F 5 の各データと $\neg R 3 \ \& \ \neg R 8 \ \& \ R 1 3$ との論理積演算を行うと、区分 1 ~ 区分 1 2 及び区分 1 9 ~ 区分 2 4 では $\neg R 3 \ \& \ \neg R 8 \ \& \ R 1 3 = 0$ の関係にあるため、シフト S F 1 ~ シフト S F 5 の各データが “ 0 ” となり、グループ C が分離される。すなわち “ S 1 0 ” 及び “ S 1 1 ” レベルが分離される。グループ C には “ S 1 0 ” レベルの閾値分布と “ S 1 1 ” レベルの閾値分布との交点（谷）が含まれている。シフト S F 1 ~ シフト S F 5 における区分 1 3 ~ 区分 1 8 のデータから、読み出し電圧 V 1 1 のトラッキング動作を行うことにより、電圧 V 1 1 ' が求められる。

【 0 0 9 3 】

R 3、R 8、及び R 1 3 リードの結果がいずれも “ 0 ” である区分をグループ D とすると、グループ D には、区分 1 9 ~ 区分 2 4 が含まれる。グループ D における R 3、R 8、及び R 1 3 リードのデータを論理式で表すと、 $\neg R 3 \ \& \ \neg R 8 \ \& \ \neg R 1 3 = 1$ の関係にある。シフト S F 1 ~ シフト S F 5 の各データと $\neg R 3 \ \& \ \neg R 8 \ \& \ \neg R 1 3$ との論理積演算を行うと、区分 1 ~ 区分 1 8 では $\neg R 3 \ \& \ \neg R 8 \ \& \ \neg R 1 3 = 0$ の関係にあるため、シフト S F 1 ~ シフト S F 5 の各データが “ 0 ” となり、グループ D が分離される。すなわち “ S 1 4 ” 及び “ S 1 5 ” レベルが分離される。グループ D には “ S 1 4 ” レベルの閾値分布と “ S 1 5 ” レベルの閾値分布との交点（谷）が含まれている。シフト S F 1 ~ シフト S F 5 における区分 1 9 ~ 区分 2 4 のデータから、読み出し電圧 V 1 5 のトラッキング動作を行うことにより、電圧 V 1 5 ' が求められる。

10

【 0 0 9 4 】

1 . 4 . 3 推定処理

次に、推定処理について説明する。本実施形態では、トラッキング動作により電圧 V 1 '、V 5 '、V 1 1 '、及び V 1 5 ' を算出し、電圧 V 1 '、V 5 '、V 1 1 '、及び V 1 5 ' から電圧 V 2 ' ~ V 4 '、V 6 ' ~ V 1 0 '、及び V 1 2 ' ~ V 1 4 ' の推定処理を行っている。

20

【 0 0 9 5 】

電圧 V 1 ~ V 1 5 から補正した電圧 V 1 ' ~ V 1 5 ' へのシフト量をそれぞれ S V 1 ~ S V 1 5 とする。すると、例えば、S V 1 と電圧 V 1 と電圧 V 1 ' とは、 $S V 1 = V 1 ' - V 1$ の関係にある。S V 2 ~ S V 1 5 も同様である。トラッキング動作の結果（電圧 V 1 '、V 5 '、V 1 1 '、及び V 1 5 '）から S V 1、S V 5、S V 1 1、及び S V 1 5 はそれぞれ求まるので、S V 2 ~ S V 4、S 6 ~ S V 1 0、及び S V 1 2 ~ S V 1 4 は、例えば、以下に示す演算式を用いてそれぞれ算出される。なお、S V 2 ~ S V 4、S 6 ~ S V 1 0、及び S V 1 2 ~ S V 1 4 を算出する演算式はこれらに限定されない。

30

【 0 0 9 6 】

$$\begin{aligned} S V 2 &= S V 1 \\ S V 3 &= (S V 1 + S V 5) / 2 \\ S V 4 &= S V 5 \\ S V 6 &= S V 5 \\ S V 7 &= (2 \times S V 5 + S V 1 1) / 3 \\ S V 8 &= (S V 5 + S V 1 1) / 2 \\ S V 9 &= (S V 5 + 2 \times S V 1 1) / 3 \\ S V 1 0 &= S V 1 1 \\ S V 1 2 &= S V 1 1 \\ S V 1 3 &= (S V 1 1 + S V 1 5) / 2 \\ S V 1 4 &= S V 1 5 \end{aligned}$$

40

そして、これらの結果を用いて、電圧 V 2 ' ~ V 4 '、V 6 ' ~ V 1 0 '、及び V 1 2 ' ~ V 1 4 ' をそれぞれ推定（算出）する。より具体的には、例えば電圧 V 2 ' を求める場合、 $V 2 ' = V 2 + S V 2$ の演算を行う。他の電圧 V 3 '、V 4 '、V 6 ' ~ V 1 0 '、及び V 1 2 ' ~ V 1 4 ' も同様である。

【 0 0 9 7 】

50

1.4.4 パトロール動作の全体の流れ

次に、パトロール動作の全体の流れについて、図11を用いて説明する。図11の例は、1つのワード線WLに対応するパトロール動作を示している。なお、CPU230は、NAND型フラッシュメモリ100内の各ブロックBLKに対してパトロール動作を実行してもよく、NAND型フラッシュメモリ100内の任意のブロックBLKに対してパトロール動作を実行してもよい。更に、CPU230は、ブロックBLK内の各ワード線WLに対してパトロール動作を実行してもよく、ブロックBLK内の任意のワード線WLに対してパトロール動作を実行してもよい。すなわち、ワード線WLを複数のグループにグルーピングし、各グループの1つのワード線WLに対してパトロール動作を実行してもよい。この場合、パトロール動作が実行されないブロックBLKまたはワード線WLについては、パトロール動作が実行されたブロックBLK及びワード線WLに対応する電圧V1' ~ V15' が適用される。

10

【0098】

図11に示すように、CPU230は、パトロール期間内において、例えば、コントローラ200がスタンバイ状態になると、パトロール動作を開始する(ステップS1)。

【0099】

CPU230は、まず、R3リード、R8リード、及びR13リードに対応する分離データを取得するため、3回のシングルリードを実行する。より具体的には、まず、CPU230は、R3リードに対応するシングルリード命令を発行し、NAND型フラッシュメモリ100に送信する(ステップS2)。なお、R3リード、R8リード、及びR13リードの順序は任意に設定可能である。

20

【0100】

シーケンサ15は、シングルリード命令を受信すると、R3リードに対応するシングルリードを実行し(ステップS3)、読み出したデータ(分離データ)をコントローラ200に送信する(ステップS4)。

【0101】

CPU230は、NAND型フラッシュメモリ100から分離データを受信すると、例えば、バッファメモリ240に分離データを格納する(ステップS5)。

【0102】

同様に、CPU230は、R8及びR13リードに対応して、ステップS2~S4の動作を繰り返し、それぞれの分離データを取得する。

30

【0103】

次に、CPU230は、シフトリードを実行し、トラッキングレベルリードを複数回(本例では5回)繰り返す。より具体的には、まず、CPU230は、シフトSF1に対応する電圧V1、V5、V11、及びV15のシフト値をNAND型フラッシュメモリ100に送信する(ステップS6)。シーケンサ15は、受信したシフト値に基づいて、電圧V1a、V5a、V11a、及びV15aを設定する(ステップS7)。次に、CPU230は、トラッキングレベルリード命令をNAND型フラッシュメモリ100に送信する(ステップS8)。シーケンサ15は、受信した命令に基づいてトラッキングレベルリードを実行し(ステップS9)、読み出したデータ(トラッキングデータ)をコントローラ200に送信する(ステップS10)。CPU230は、NAND型フラッシュメモリ100からトラッキングデータを受信すると、例えば、バッファメモリ240にトラッキングデータを格納する(ステップS11)。同様に、CPU230は、シフトSF2~SF5に対応して、ステップS6~S11の動作を繰り返し、それぞれのトラッキングデータを取得する。

40

【0104】

なお、シングルリード(ステップS2~S5)とシフトリード(ステップS6~S11)との順序は入れ替えてもよい。すなわち、CPU230は、シフトリードを実行した後、分離データを取得してもよい

次に、CPU230は、取得したトラッキングデータに基づいてトラッキング動作を行

50

い、電圧 $V1'$ 、 $V5'$ 、 $V11'$ 、及び $V15'$ を決定する (ステップ $S12$)。

【0105】

次に、CPU230は、電圧 $V1'$ 、 $V5'$ 、 $V11'$ 、及び $V15'$ から、他の電圧 $V2' \sim V4'$ 、 $V6' \sim V10'$ 、 $V12' \sim V14'$ の推定処理を行う (ステップ $S13$)。

【0106】

次に、CPU230は、電圧 $V1' \sim V15'$ に対応するパラメータ (シフト値) を NAND型フラッシュメモリ100に送信する (ステップ $S14$)。シーケンサ15は、受信したパラメータを例えばメモリセルアレイ18の管理領域に格納する (ステップ $S15$)。なお、パラメータに変更が無い場合、ステップ $S14$ 及び $S15$ は省略されてもよい。

10

【0107】

パラメータ設定が終了するとCPU230は、パトロール動作を終了する (ステップ $S16$)。

【0108】

1.4.5 コマンドシーケンス

次に、コントローラ200からNAND型フラッシュメモリ100に送信されるコマンドシーケンスについて、図12を用いて説明する。図12の例は、パトロール動作における信号DQ (コマンド、アドレス、及びデータ) 及びレディ/ビジー信号 RB_n の送受信を示すタイミングチャートである。

20

【0109】

図12に示すように、まず、CPU230は、R3リードに対応するシングルリードを実行するため、NAND型フラッシュメモリ100に、コマンド“ XXh ”、コマンド“ $R3h$ ”、コマンド“ $00h$ ”、アドレス“ $ADD1$ ”～“ $ADD5$ ”、及びコマンド“ $30h$ ”を順に送信する。コマンド“ XXh ”は、シングルリードを行うことを通知するコマンドである。コマンド“ $R3h$ ”は、R3リードを行うことを通知するコマンドである。コマンド“ $00h$ ”は読み出し動作を行うことを通知するコマンドである。コマンド“ $30h$ ”は、読み出し動作の実行を指示するコマンドである。なお、本実施形態では、アドレスADDを5サイクルで送信しているが、これに限定されない。アドレスADDを送信するための必要なサイクル数であればよい。

30

【0110】

シーケンサ15は、コマンド“ $30h$ ”を受信すると、R3リードに対応するシングルリードを実行する。読み出し動作の間 (図12の参照符号“ T_R ”)、シーケンサ15は、レディ/ビジー信号 RB_n を“L”レベル (ビジー状態) にする。

【0111】

CPU230は、“H”レベルのレディ/ビジー信号 RB_n を受信すると、信号 RE_n をトグルして、NAND型フラッシュメモリ100のデータレジスタ21からR3リードに対応するデータRDを読み出す。

【0112】

次に、CPU230は、R8リードに対応するシングルリードを実行する。CPU230は、NAND型フラッシュメモリ100にR8リードを行うことを通知するコマンド“ $R8h$ ”を送信する。コマンド“ $R8h$ ”は、R8リードを行うことを通知するコマンドである。他のコマンド及びアドレスADDは、R3リードと同様である。この結果、CPU230は、データレジスタ21からR8リードに対応するデータRDを読み出す。

40

【0113】

次に、CPU230は、R13リードに対応するシングルリードを実行する。CPU230は、NAND型フラッシュメモリ100にR13リードを行うことを通知するコマンド“ $R13h$ ”を送信する。コマンド“ $R13h$ ”は、R13リードを行うことを通知するコマンドである。他のコマンド及びアドレスADDは、R3リードと同様である。この結果、CPU230は、データレジスタ21からR13リードに対応するデータRDを讀

50

み出す。

【0114】

次に、CPU230は、シフトリードを実行する。より具体的には、まずシフト値（読み出し電圧）を設定するために、CPU230は、NAND型フラッシュメモリ100に、コマンド“EFh”、コマンド“X5h”、データ“R1”、“R5”、“R11”、及び“R15”を順に送信する。コマンド“EFh”はパラメータ設定を指示するコマンドである。コマンド“X5h”は、トラッキングレベルリードに対応した“S1”、“S5”、“S11”、及び“S15”レベルの選択を示すコマンドである。データ“R1”、“R5”、“R11”、及び“R15”は、それぞれ電圧V1、V5、V11、及びV15のシフト値を示すデータである。これにより、例えば、R1、R5、R11、R15リードの読み出し電圧として電圧 $V1x = V1 + R1$ （xはa～eのいずれか）、電圧 $V5x = V5 + R5$ 、電圧 $V11x = V11 + R11$ 、電圧 $V15x = V15 + R15$ がそれぞれ設定される。シーケンサ15は、これらのデータを例えば、メモリセルアレイ18の管理領域内に格納する。

10

【0115】

次に、CPU230は、送信したシフト値に基づくトラッキングレベルリードを実行するため、NAND型フラッシュメモリ100に、コマンド“YYh”、コマンド“00h”、アドレス“ADD1”～“ADD5”、及びコマンド“30h”を順に送信する。コマンド“YYh”は、“S1”、“S5”、“S11”、及び“S15”レベルを含む、すなわち、R1、R5、R11、及びR15リードを含むトラッキングレベルリードを示すプレフィックスコマンドである。

20

【0116】

シーケンサ15は、コマンド“30h”を受信すると、トラッキングレベルリードを実行する。読み出し動作の間、シーケンサ15は、レディ/ビジー信号RBNを“L”レベルにする。

【0117】

CPU230は、“H”レベルのレディ/ビジー信号RBNを受信すると、信号RENをトグルして、NAND型フラッシュメモリ100のデータレジスタ21からデータRD（トラッキングデータ）を読み出す。

30

【0118】

CPU230は、シフトリードの回数に応じて、シフト値の設定とトラッキングレベルリードとを繰り返す。

【0119】

1.4.6 パトロール動作時における選択ワード線の電圧

次に、パトロール動作時における選択ワード線WLの電圧について、図13を用いて説明する。図13の例は、パトロール対象となるメモリセルグループMCGに接続されたワード線WL（以下、「選択ワード線WL」とも表記する）における読み出し電圧と、ストロブ信号との関係を示している。ストロブ信号は、シーケンサ15からセンスアンプ20に送信させる制御信号であり、センスアンプ20において、ビット線の電圧を読み出している期間、“H”レベルとされる。

40

【0120】

図13に示すように、時刻 $t_0 \sim t_1$ の期間において、R3リードに対応するシングルリードが実行される。より具体的には、R3リードに対応するシングルリードが開始されるとロウデコーダ19は、選択ワード線WLに電圧V3を印加する。選択ワード線WLに電圧V3が印加されている期間内において、ストロブ信号は“H”レベルとされ、センスアンプ20にデータが読み出される。ストロブ信号が“L”レベルとされた後、ロウデコーダ19は、選択ワード線WLに電圧VSSを印加する。また、読み出されたデータは、コントローラ200に送信される。

【0121】

時刻 $t_1 \sim t_2$ の期間において、R8リードに対応するシングルリードが実行される。

50

より具体的には、R 8 リードに対応するシングルリードが開始されると、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 8 を印加する。以降の動作は、R 3 リードに対応するシングルリードと同様である。

【 0 1 2 2 】

時刻 t 2 ~ t 3 の期間において、R 1 3 リードに対応するシングルリードが実行される。より具体的には、R 1 3 リードに対応するシングルリードが開始されると、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 3 を印加する。以降の動作は、R 3 リードに対応するシングルリードと同様である。

【 0 1 2 3 】

時刻 t 3 ~ t 4 の期間において、シフトリードのシフト S F 1 に対応するトラッキングレベルリードが実行される。より具体的には、まず、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 a をする。選択ワード線 W L に電圧 V 1 a が印加されている期間内において、ストロブ信号は“ H ”レベルとされ、センスアンプ 20 には、電圧 V 1 a に対応したデータが読み出される。次に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 5 a をする。選択ワード線 W L に電圧 V 5 a が印加されている期間内において、ストロブ信号は“ H ”レベルとされ、センスアンプ 20 には、電圧 V 5 a に対応したデータが読み出される。次に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 1 a をする。選択ワード線 W L に電圧 V 1 1 a が印加されている期間内において、ストロブ信号は“ H ”レベルとされ、センスアンプ 20 には、電圧 V 1 1 a に対応したデータが読み出される。次に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 5 a をする。選択ワード線 W L に電圧 V 1 5 a が印加されている期間内において、ストロブ信号は“ H ”レベルとされ、センスアンプ 20 には、電圧 V 1 5 a に対応したデータが読み出される。ストロブ信号が“ L ”レベルとされた後、ロウデコーダ 19 は、選択ワード線 W L に電圧 V S S を印加する。電圧 V 1 a、V 5 a、V 1 1 a、及び V 1 5 a に対応したトラッキングデータが、コントローラ 200 に送信される。

【 0 1 2 4 】

時刻 t 4 ~ t 5 の期間において、シフトリードのシフト S F 2 に対応するトラッキングレベルリードが実行される。より具体的には、シフト S F 1 と同様に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 b、V 5 b、V 1 1 b、及び V 1 5 b を順次印加する。センスアンプ 20 はそれぞれの電圧に対応したデータを読み出す。そして、電圧 V 1 b、V 5 b、V 1 1 b、及び V 1 5 b に対応したトラッキングデータが、コントローラ 200 に送信される。

【 0 1 2 5 】

時刻 t 5 ~ t 6 の期間において、シフトリードのシフト S F 3 に対応するトラッキングレベルリードが実行される。より具体的には、シフト S F 1 と同様に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 c、V 5 c、V 1 1 c、及び V 1 5 c を順次印加する。センスアンプ 20 はそれぞれの電圧に対応したデータを読み出す。そして、電圧 V 1 c、V 5 c、V 1 1 c、及び V 1 5 c に対応したトラッキングデータが、コントローラ 200 に送信される。

【 0 1 2 6 】

時刻 t 6 ~ t 7 の期間において、シフトリードのシフト S F 4 に対応するトラッキングレベルリードが実行される。より具体的には、シフト S F 1 と同様に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 d、V 5 d、V 1 1 d、及び V 1 5 d を順次印加する。センスアンプ 20 はそれぞれの電圧に対応したデータを読み出す。そして、電圧 V 1 d、V 5 d、V 1 1 d、及び V 1 5 d に対応したトラッキングデータが、コントローラ 200 に送信される。

【 0 1 2 7 】

時刻 t 7 ~ t 8 の期間において、シフトリードのシフト S F 5 に対応するトラッキングレベルリードが実行される。より具体的には、シフト S F 1 と同様に、ロウデコーダ 19 は、選択ワード線 W L に電圧 V 1 e、V 5 e、V 1 1 e、及び V 1 5 e を順次印加する。

10

20

30

40

50

センスアンプ 20 はそれぞれの電圧に対応したデータを読み出す。そして、電圧 V_{1e} 、 V_{5e} 、 V_{11e} 、及び V_{15e} に対応したトラッキングデータが、コントローラ 200 に送信される。

【0128】

1.5 本実施形態に係る効果

本実施形態に係る構成であれば、処理能力を向上できる。本効果につき詳述する。

【0129】

読み出し動作において、発生したフェイルビット数が、ECC回路 260 のエラー訂正可能ビット数を超過していれば、データを正しく読み出すことができない。この場合、トラッキング動作後、読み出し電圧をシフトさせて再度読み出し動作を行う（以下、「リトライリード」と表記する）ことがある。但し、リトライリードを行うと読み出し動作の処理時間が長くなる。

【0130】

また、4-4-3-4コードのQLCにおいては、Lowerページ、Middleページ、Upperページ、またはTopページのいずれかを用いてトラッキング動作を行っても、4つのページにおけるフェイルビット数を効果的に削減できるページがない。より具体的には、例えば、Topページでは、“S15”レベルの読み出し動作に起因するフェイルビット数の割合が比較的多く、Lowerページでは、“S1”レベルの読み出し動作に起因するフェイルビット数の割合が比較的多い。これに対し、例えば、Topページを用いてトラッキング動作を行った場合、“S5”レベル、すなわち電圧 V_5' から電圧 V_1' を推定するため、電圧 V_1' が“S0”レベルの閾値分布と“S1”レベルの閾値分布の谷位置から外れる可能性が高くなり、Lowerページのフェイルビット数の削減率が低くなる。また、Lowerページを用いてトラッキング動作を行った場合、“S11”レベル、すなわち電圧 V_{11}' から電圧 V_{15}' を推定するため、電圧 V_{15}' が“S14”レベルの閾値分布と“S15”レベルの閾値分布の谷位置から外れる可能性が高くなり、Topページのフェイルビット数の削減率が低くなる。同様に、Upperページ及びMiddleページを用いてトラッキング動作を行った場合も、推定により電圧 V_1' 及び電圧 V_{15}' が求められるため、電圧 V_1' 及び電圧 V_{15}' が谷位置から外れる可能性が高くなる。

【0131】

これに対し、本実施形態に係る構成であれば、パトロール動作は、分離データの読み出し動作、シフトリード、トラッキング動作、及び読み出し電圧の推定処理を含む。そして、シフトリードでは、Lowerページ、Middleページ、Upperページ、またはTopページに含まれるレベルに限定されずに任意に設定されたレベルを含む読み出し動作を実行できる。より具体的には、例えば“S1”、“S5”、“S11”、及び“S15”レベルを含む読み出し動作を実行できる。この場合、“S1”レベルと“S15”レベルを含むため、トラッキング動作により読み出し電圧の最小電圧 V_1' 及び最大電圧 V_{15}' が求まる。よって、電圧 V_1' 及び電圧 V_{15}' が谷位置から外れる可能性が低くなりフェイルビット数の削減率を高くできる。パトロール動作により、読み出し電圧の最適化ができるため、通常の読み出し動作において、フェイルビット数を削減でき、リトライリードの発生頻度を低減できる。従って、読み出し動作の処理時間の増加を抑制でき、メモリシステムの処理能力を向上できる。

【0132】

更に、パトロール動作をメモリシステムの空き時間（スタンバイ状態）に実行できる。これにより、トラッキング動作によるメモリシステムの処理能力の低下を抑制できる。

【0133】

2. 第2実施形態

次に、第2実施形態について説明する。第2実施形態では、NAND型フラッシュメモリ 100 が、トラッキング動作を行うオンチップトラッキング（on-chip tracking）を適用する場合について説明する。以下、第1実施形態と異なる点を中心に説明する。

【 0 1 3 4 】

2 . 1 オンチップトラッキング

まず、オンチップトラッキングについて、図 1 4 を用いて説明する。図 1 4 の例は、R 1 リードに対応するシングルリードを実行する際に、オンチップトラッキングを適用した場合を示している。

【 0 1 3 5 】

図 1 4 に示すように、オンチップトラッキングは、大まかにサーチングリード、谷スキャン、及びキャリブレーション (calibrated) リードの 3 つを含む。

【 0 1 3 6 】

サーチングリードは、閾値分布の谷位置を探すためのシフトリードであり、通常の見出し動作とは異なり、ある電圧を選択ワード線 W L に印加した際のオンセルをカウントする動作である。通常の見出し動作では、データがページ毎に見出されるが、サーチングリードでは、見出し電圧に対応してメモリセルトランジスタ M C がオンしたか否かが判定される。従って、サーチングリードにおける見出し電圧の印加期間 (データの読み出し期間) は、通常の見出し動作とは、異なってもよい。図 1 4 の例では、R 1 リードに対応するサーチングリードにおいて、電圧 V 1 a、V 1 b、V 1 c、V 1 d、及び V 1 e にそれぞれ対応するオンセル数がカウントされる。なお、カウントは、シーケンサ 1 5 が行ってよく、センスアンプ 2 0 が行ってもよい。すなわち、シーケンサ 1 5 がカウンタを含んでいてもよく、センスアンプ 2 0 がカウンタを含んでいてもよい。

10

【 0 1 3 7 】

谷スキャンは、サーチングリードによるオンセル数のカウントの結果から、谷位置 (図 1 4 の例では、“ S 0 ” レベルの閾値分布と “ S 1 ” レベルの閾値分布とによる谷位置) を探索する動作である。例えば、シーケンサ 1 5 は、オンセル数をカウントした結果から、第 1 実施形態の図 8 で説明したようなヒストグラム、すなわち谷位置に関する情報 (以下、「谷情報」と表記する) を取得し、その結果から見出し電圧 (図 1 4 の例では V 1 ') を決定する。谷情報は、例えばステータスレジスタ 1 2 に格納され、コントローラ 2 0 0 は、ステータスレジスタ 1 2 から谷情報を読み出すことができる。

20

【 0 1 3 8 】

キャリブレーションリードは、決定された見出し電圧 (例えば V 1 ') を用いたデータの読み出し動作である。読み出したデータは、コントローラ 2 0 0 に送信される。

30

【 0 1 3 9 】

なお、複数のレベルのデータを一括して読み出す場合、レベル毎にサーチングリードが実行されてもよく、1 つのレベルで行ったサーチングリードの結果 (閾値電圧のシフト量) が他のレベルに反映されてもよい。より具体的には、例えば、Lower ページの見出し動作において、R 1、R 4、R 6、及び R 1 1 リードに対応するサーチングリードがそれぞれ実行されてもよく、例えば R 1 リードに対応するサーチングリードの結果から、R 4、R 6、及び R 1 1 リードに対応する見出し電圧 V 4 '、V 6 '、及び V 1 1 ' が決定されてもよい。

【 0 1 4 0 】

2 . 2 パトロール動作

次に、パトロール動作について説明する。本実施形態におけるパトロール動作は、大まかに、複数のレベルに対応するオンチップトラッキング及び見出し電圧の推定処理を含む。なお、本実施形態では、オンチップトラッキングに用いられる複数のレベルの組み合わせが Lower ページ、Middle ページ、Upper ページ、及び Top ページとは異なるため、キャリブレーションリードが省略されてもよい。以下、キャリブレーションリードが省略されている場合について説明する。

40

【 0 1 4 1 】

2 . 2 . 1 パトロール動作の全体の流れ

次に、パトロール動作の全体の流れについて、図 1 5 を用いて説明する。図 1 5 の例は、1 つのワード線 W L に対応するパトロール動作を示している。

50

【0142】

図15に示すように、CPU230は、第1実施形態の図11と同様に、ステップS1において、パトロール動作を開始する。

【0143】

まず、CPU230は、サーチグリード（オンチップトラッキング）を実行するために、電圧V1、V5、V11、及びV15のシフト値をNAND型フラッシュメモリ100に送信する（ステップS21）。例えば、コントローラ200は、電圧V1a、V1b、V1c、V1d、V1eの各電圧値を送信してもよく、電圧V1a、V1b、V1c、V1d、V1eのステップアップ幅が同じである場合、ステップアップの電圧値を送信してもよい。シーケンサ15は、受信したシフト値に基づいて、読み出し電圧を設定する（ステップS22）。

10

【0144】

次に、CPU230は、サーチグリード命令（オンチップトラッキング命令）をNAND型フラッシュメモリ100に送信する（ステップS23）。シーケンサ15は、受信した命令に基づいてR1、R5、R11、及びR15リードに対応するサーチグリードを実行する（ステップS24）。そして、シーケンサ15は、谷スキンの結果から、R1、R5、R11、及びR15リードについての谷情報を抽出し（ステップS25）、電圧V1'、V5'、V11'、及びV15'を決定（算出）する。そして、シーケンサ15は、抽出された谷情報を、コントローラ200に送信する（ステップS26）。CPU230は、例えば、バッファメモリ240に、受信した谷情報を格納する（ステップS27）。

20

【0145】

次に、CPU230は、取得した谷情報に基づいて、他の電圧V2'～V4'、V6'～V10'、V12'～V14'の推定処理を行う（ステップS28）。

【0146】

以降の動作は、第1実施形態の図11におけるステップS14～S16と同様である。

【0147】

なお、図15の例は、CPU230が推定処理を行う場合について示しているが、シーケンサ15が推定処理を行ってもよい。

【0148】

2.2.2 コマンドシーケンス

次に、コントローラ200からNAND型フラッシュメモリ100に送信されるコマンドシーケンスについて、図16を用いて説明する。図16の例は、パトロール動作における信号DQ（コマンド、アドレス、及びデータ）及びレディ/ビジー信号RBnの送受信を示すタイミングチャートである。

30

【0149】

図16に示すように、まず、CPU230は、R1、R5、R11、及びR15リードに対応するシフト値（読み出し電圧）を設定するため、NAND型フラッシュメモリ100に、コマンド“EFh”、コマンド“X5h”、データ“R1”、“R5”、“R11”、及び“R15”を順に送信する。

40

【0150】

次に、CPU230は、送信したシフト値に基づくサーチグリード（オンチップトラッキング）を実行するため、NAND型フラッシュメモリ100に、コマンド“Z0h”、コマンド“YYh”、コマンド“00h”、アドレス“ADD1”～“ADD5”、及びコマンド“30h”を順に送信する。コマンド“Z0h”は、サーチグリードの実行を示すプレフィックスコマンドである。

【0151】

シーケンサ15は、コマンド“30h”を受信すると、各レベルに対応したサーチグリードを実行する。サーチグリードの間（図16の参照符号“TSR”）、シーケンサ15は、レディ/ビジー信号RBnを“L”レベルにする。

50

【 0 1 5 2 】

C P U 2 3 0 は、“ H ” レベルのレディ / ビジー信号 R B n を受信すると、谷情報の出力を示すコマンド “ Z 1 h ” を送信した後、谷情報を読み出す。

【 0 1 5 3 】

2 . 2 . 3 パトロール動作時における選択ワード線の電圧

次に、パトロール動作時における選択ワード線 W L の電圧について、図 1 7 を用いて説明する。図 1 7 の例は、選択ワード線 W L における読み出し電圧と、ストロープ信号との関係を示している。

【 0 1 5 4 】

図 1 7 に示すように、時刻 $t_0 \sim t_1$ の期間において、R 1 リードに対応するサーチングリッドが実行される。より具体的には、R 1 リードに対応するサーチングリッドが開始されるとロウデコード 1 9 は、選択ワード線 W L に電圧 V 1 a を印加する。選択ワード線 W L に電圧 V 1 a が印加されている期間内において、ストロープ信号は “ H ” レベルとされ、例えばシーケンサ 1 5 は、電圧 V 1 a に対応するオンセル数をカウントする。オンセル数のカウントが終了すると、ストロープ信号が “ L ” レベルとされる。同様に、ロウデコード 1 9 は、選択ワード線 W L に電圧 V 1 b ~ V 1 e を順次印加し、例えばシーケンサ 1 5 は、電圧 V 1 b ~ V 1 e に対応するオンセル数をそれぞれカウントする。

10

【 0 1 5 5 】

時刻 $t_1 \sim t_2$ の期間において、R 5 リードに対応するサーチングリッドが実行される。より具体的には、R 5 リードに対応するサーチングリッドが開始されると、ロウデコード 1 9 は、選択ワード線 W L に電圧 V 5 a を印加する。以降の動作は、R 1 リードに対応するサーチングリッドと同様であり、例えばシーケンサ 1 5 は、電圧 V 5 a ~ V 5 e に対応するオンセル数をそれぞれカウントする。

20

【 0 1 5 6 】

時刻 $t_2 \sim t_3$ の期間において、R 1 1 リードに対応するサーチングリッドが実行される。より具体的には、R 1 1 リードに対応するサーチングリッドが開始されると、ロウデコード 1 9 は、選択ワード線 W L に電圧 V 1 1 a を印加する。以降の動作は、R 1 リードに対応するサーチングリッドと同様であり、例えばシーケンサ 1 5 は、電圧 V 1 1 a ~ V 1 1 e に対応するオンセル数をそれぞれカウントする。

30

【 0 1 5 7 】

時刻 $t_3 \sim t_4$ の期間において、R 1 5 リードに対応するサーチングリッドが実行される。より具体的には、R 1 5 リードに対応するサーチングリッドが開始されると、ロウデコード 1 9 は、選択ワード線 W L に電圧 V 1 5 a を印加する。以降の動作は、R 1 リードに対応するサーチングリッドと同様であり、例えばシーケンサ 1 5 は、電圧 V 1 5 a ~ V 1 5 e に対応するオンセル数をそれぞれカウントする。

【 0 1 5 8 】

時刻 $t_4 \sim t_5$ の期間において、シーケンサ 1 5 は谷スキャンを実行する。これにより谷情報が抽出され、谷情報に基づいて電圧 V 1 '、V 5 '、V 1 1 '、及び V 1 1 ' が決定される。

40

【 0 1 5 9 】

2 . 4 本実施形態に係る効果

本実施形態に係る構成であれば、第 1 実施形態と同様の効果が得られる。

【 0 1 6 0 】

更に、本実施形態に係る構成であれば、オンチップトラッキングにより N A N D 型フラッシュメモリ 1 0 0 が、谷位置を探索できる。すなわち、N A N D 型フラッシュメモリ 1 0 0 がトラッキング動作における演算処理を実行できる。これにより、例えば、コントローラ 2 0 0 は、トラッキング動作の演算処理を行う必要がないため、複数の N A N D 型フラッシュメモリ 1 0 0 に対して、同時にトラッキング動作を実行させることができる。よって、複数の N A N D 型フラッシュメモリ 1 0 0 に対するパトロール動作の処理時間を短縮でき、パトロール動作によるメモリシステムの処理能力の低下を抑制できる。

50

【 0 1 6 1 】

更に、本実施形態に係る構成であれば、オンチップトラッキングにおいて、キャリブレテッドリードを省略できる。これにより、パトロール動作時間を短縮できる。

【 0 1 6 2 】

更に、本実施形態に係る構成であれば、コントローラ 200 は、谷情報を読み出すことができる。谷情報は、数バイト程度の小さいデータなので、NAND型フラッシュメモリ 100 からの読み出し時間を短縮できる。

【 0 1 6 3 】

3 . 第 3 実施形態

次に、第 3 実施形態について説明する。第 3 実施形態では、第 2 実施形態とは異なり、シングルリードのオンチップトラッキングを適用した例について説明する。以下、第 1 及び第 2 実施形態とは異なる点を中心に説明する。

【 0 1 6 4 】

3 . 1 パトロール動作の全体の流れ

まず、パトロール動作の全体の流れについて、図 18 を用いて説明する。図 18 の例は、1 つのワード線 WL に対応するパトロール動作を示している。なお、

図 18 に示すように、CPU 230 は、第 1 実施形態の図 11 と同様に、ステップ S 1 において、パトロール動作を開始する。

【 0 1 6 5 】

CPU 230 は、R 1、R 5、R 11、及び R 13 リードのそれぞれに対応する 4 回のサーチグリード（オンチップトラッキング）を実行する。より具体的には、まず、R 1 リードに対応するサーチグリードを実行するために、電圧 V 1 のシフト値を NAND 型フラッシュメモリ 100 に送信する（ステップ S 31）。シーケンサ 15 は、受信したシフト値に基づいて、読み出し電圧を設定する（ステップ S 32）。

【 0 1 6 6 】

次に、CPU 230 は、サーチグリードのシングルリード命令を NAND 型フラッシュメモリ 100 に送信する（ステップ S 33）。シーケンサ 15 は、受信した命令に基づいて R 1 リードに対応するサーチグリードを実行する（ステップ S 24）。シーケンサ 15 は、谷スキンの結果から谷情報を抽出し（ステップ S 35）、電圧 V 1 ' を決定（算出）する。そして、シーケンサ 15 は、抽出された谷情報をコントローラ 200 に送信する（ステップ S 36）。CPU 230 は、例えば、バッファメモリ 240 に、受信した谷情報を格納する（ステップ S 37）。

【 0 1 6 7 】

同様に、CPU 230 は、R 5、R 11、及び R 15 リードに対応するサーチグリードに対応して、ステップ S 31 ~ S 37 の動作を繰り返し、それぞれの谷情報を取得する。

【 0 1 6 8 】

以降の動作は、第 2 実施形態の図 15 におけるステップ S 28 及び第 1 実施形態の図 11 におけるステップ S 14 ~ S 16 と同様である。

【 0 1 6 9 】

なお、図 18 の例は、CPU 230 が推定処理を行う場合について示しているが、シーケンサ 15 が推定処理を行ってもよい。

【 0 1 7 0 】

3 . 2 コマンドシーケンス

次に、コントローラ 200 から NAND 型フラッシュメモリ 100 に送信されるコマンドシーケンスについて、図 19 を用いて説明する。図 19 の例は、パトロール動作における信号 DQ（コマンド、アドレス、及びデータ）及びレディ/ビジー信号 R B n の送受信を示すタイミングチャートである。

【 0 1 7 1 】

図 19 に示すように、まず、CPU 230 は、R1 リードに対応するシフト値（読み出

10

20

30

40

50

し電圧)を設定するため、NAND型フラッシュメモリ100に、コマンド“EFh”、コマンド“X1h”、並びにLowerページに対応するデータ“R1”、“R4”、“R6”、及び“R11”を順に送信する。コマンド“X1h”は、Lowerページ、すなわち、“S1”、“S4”、“S6”、及び“S11”レベルの選択を示すコマンドである。データ“R4”及び“R6”は、それぞれ電圧V4及びV6のシフト値を示すデータである。なお、この場合、データ“R4”、“R6”、及び“R11”は使用されない。すなわち、R4、R6、及びR11リードは実行されない。このため、例えば、データ“R4”、“R6”、及び“R11”には、0が設定されてもよい。

【0172】

次に、CPU230は、R1リードに対応するサーチグリード(オンチップトラッキング)を実行するため、NAND型フラッシュメモリ100に、コマンド“Z0h”、コマンド“YYh”、コマンド“R1h”、コマンド“00h”、アドレス“ADD1”~“ADD5”、及びコマンド“30h”を順に送信する。コマンド“R1h”は、R1リードを行うことを通知するコマンドである。

【0173】

シーケンサ15は、コマンド“30h”を受信すると、R1リードに対応したサーチグリードを実行する。サーチグリードの間、シーケンサ15は、レディ/ビジー信号R_{Bn}を“L”レベルにする。

【0174】

CPU230は、“H”レベルのレディ/ビジー信号R_{Bn}を受信すると、コマンド“Z1h”を送信した後、R1リードに対応する谷情報を読み出す。

【0175】

次に、CPU230は、R5リードに対応するシフト値を設定するため、NAND型フラッシュメモリ100に、コマンド“EFh”、コマンド“X4h”、並びにTopページに対応するデータ“R5”、“R10”、“R12”、及び“R15”を順に送信する。コマンド“X4h”は、Topページ、すなわち、“S5”、“S10”、“S12”、及び“S15”レベルの選択を示すコマンドである。データ“R10”及び“R12”は、それぞれ電圧V10及びV12のシフト値を示すデータである。なお、この場合、データ“R10”、“R12”、及び“R15”は使用されない。すなわち、R10、R12、及びR15リードは実行されない。このため、例えば、データ“R10”、“R12”、及び“R15”には、0が設定されてもよい。

【0176】

次に、CPU230は、R5リードに対応するサーチグリードを実行するため、NAND型フラッシュメモリ100に、コマンド“Z0h”、コマンド“YYh”、コマンド“R5h”、コマンド“00h”、アドレス“ADD1”~“ADD5”、及びコマンド“30h”を順に送信する。コマンド“R5h”は、R5リードを行うことを通知するコマンドである。

【0177】

シーケンサ15は、コマンド“30h”を受信すると、R5リードに対応したサーチグリードを実行する。サーチグリードの間、シーケンサ15は、レディ/ビジー信号R_{Bn}を“L”レベルにする。

【0178】

CPU230は、“H”レベルのレディ/ビジー信号R_{Bn}を受信すると、コマンド“Z1h”を送信した後、R5リードに対応する谷情報を読み出す。

【0179】

次に、CPU230は、R11リードに対応するシフト値を設定するため、NAND型フラッシュメモリ100に、コマンド“EFh”、コマンド“X1h”、並びにLowerページに対応するデータ“R1”、“R4”、“R6”、及び“R11”を順に送信する。コマンド“X1h”は、Lowerページ、すなわち、“S1”、“S4”

10

20

30

40

50

、“ S 6 ”、及び“ S 1 1 ”レベルの選択を示すコマンドである。なお、この場合、データ“ R 1 ”、“ R 4 ”、及び“ R 6 ”は使用されない。すなわち、R 1、R 4、及びR 6リードは実行されない。このため、例えば、データ“ R 1 ”、“ R 4 ”、及び“ R 6 ”には、0が設定されてもよい。

【 0 1 8 0 】

次に、CPU 2 3 0は、R 1 1リードに対応するサーチングリードを実行するため、NAND型フラッシュメモリ 1 0 0に、コマンド“ Z 0 h ”、コマンド“ Y Y h ”、コマンド“ R 1 1 h ”、コマンド“ 0 0 h ”、アドレス“ A D D 1 ”～“ A D D 5 ”、及びコマンド“ 3 0 h ”を順に送信する。コマンド“ R 1 1 h ”は、R 1 1リードを行うことを通知するコマンドである。

10

【 0 1 8 1 】

シーケンサ 1 5は、コマンド“ 3 0 h ”を受信すると、R 1 1リードに対応したサーチングリードを実行する。サーチングリードの間、シーケンサ 1 5は、レディ/ビジー信号 R B nを“ L ”レベルにする。

【 0 1 8 2 】

CPU 2 3 0は、“ H ”レベルのレディ/ビジー信号 R B nを受信すると、コマンド“ Z 1 h ”を送信した後、R 1 1リードに対応する谷情報を読み出す。

【 0 1 8 3 】

次に、CPU 2 3 0は、R 1 5リードに対応するシフト値を設定するため、NAND型フラッシュメモリ 1 0 0に、コマンド“ E F h ”、コマンド“ X 4 h ”、並びにT o p ページに対応するデータ“ R 5 ”、“ R 1 0 ”、“ R 1 2 ”、及び“ R 1 5 ”を順に送信する。なお、この場合、データ“ R 5 ”、“ R 1 0 ”、及び“ R 1 2 ”は使用されない。すなわち、R 5、R 1 0、及びR 1 2リードは実行されない。このため、例えば、データ“ R 5 ”、“ R 1 0 ”、及び“ R 1 2 ”には、0が設定されてもよい。

20

【 0 1 8 4 】

次に、CPU 2 3 0は、R 1 5リードに対応するサーチングリードを実行するため、NAND型フラッシュメモリ 1 0 0に、コマンド“ Z 0 h ”、コマンド“ Y Y h ”、コマンド“ R 1 5 h ”、コマンド“ 0 0 h ”、アドレス“ A D D 1 ”～“ A D D 5 ”、及びコマンド“ 3 0 h ”を順に送信する。コマンド“ R 1 5 h ”は、R 1 5リードを行うことを通知するコマンドである。

30

【 0 1 8 5 】

シーケンサ 1 5は、コマンド“ 3 0 h ”を受信すると、R 1 5リードに対応したサーチングリードを実行する。サーチングリードの間、シーケンサ 1 5は、レディ/ビジー信号 R B nを“ L ”レベルにする。

【 0 1 8 6 】

CPU 2 3 0は、“ H ”レベルのレディ/ビジー信号 R B nを受信すると、コマンド“ Z 1 h ”を送信した後、R 1 5リードに対応する谷情報を読み出す。

【 0 1 8 7 】

なお、R 1、R 5、R 1 1、及びR 1 5リードのそれぞれ対応するサーチングリードの順序は任意に設定可能である。

40

【 0 1 8 8 】

3 . 3 パトロール動作時における選択ワード線の電圧

次に、パトロール動作時における選択ワード線 W L の電圧について、図 2 0 を用いて説明する。図 2 0 の例は、選択ワード線 W L における読み出し電圧と、ストロープ信号との関係を示している。

【 0 1 8 9 】

図 1 7 に示すように、時刻 t 0 ~ t 1 の期間において、第 2 実施形態の図 1 7 における時刻 t 0 ~ t 1 の期間と同様に、R 1 リードに対応するサーチングリードが実行される。これにより、例えばシーケンサ 1 5は、電圧 V 1 a ~ V 1 e に対応するオンセル数をそれ

50

ぞれカウントする。

【0190】

時刻 $t_1 \sim t_2$ の期間において、シーケンサ 15 は、R1 リードに対応する谷スキャンを実行する。これにより R1 リードに対応する谷情報が抽出され、抽出された谷情報に基づいて電圧 $V_{1'}$ が決定される。

【0191】

時刻 $t_2 \sim t_3$ の期間において、第 2 実施形態の図 17 における時刻 $t_1 \sim t_2$ の期間と同様に、R5 リードに対応するサーチグリードが実行される。これにより、例えばシーケンサ 15 は、電圧 $V_{5a} \sim V_{5e}$ に対応するオンセル数をそれぞれカウントする。

【0192】

時刻 $t_3 \sim t_4$ の期間において、シーケンサ 15 は、R5 リードに対応する谷スキャンを実行する。これにより R5 リードに対応する谷情報が抽出され、抽出された谷情報に基づいて電圧 $V_{5'}$ が決定される。

【0193】

時刻 $t_4 \sim t_5$ の期間において、第 2 実施形態の図 17 における時刻 $t_2 \sim t_3$ の期間と同様に、R11 リードに対応するサーチグリードが実行される。これにより、例えばシーケンサ 15 は、電圧 $V_{11a} \sim V_{11e}$ に対応するオンセル数をそれぞれカウントする。

【0194】

時刻 $t_5 \sim t_6$ の期間において、シーケンサ 15 は、R11 リードに対応する谷スキャンを実行する。これにより R11 リードに対応する谷情報が抽出され、抽出された谷情報に基づいて電圧 $V_{11'}$ が決定される。

【0195】

時刻 $t_6 \sim t_7$ の期間において、第 2 実施形態の図 17 における時刻 $t_3 \sim t_4$ の期間と同様に、R15 リードに対応するサーチグリードが実行される。これにより、例えばシーケンサ 15 は、電圧 $V_{15a} \sim V_{15e}$ に対応するオンセル数をそれぞれカウントする。

【0196】

時刻 $t_5 \sim t_6$ の期間において、シーケンサ 15 は、R15 リードに対応する谷スキャンを実行する。これにより R15 リードに対応する谷情報が抽出され、抽出された谷情報に基づいて電圧 $V_{15'}$ が決定される。

【0197】

3.4 本実施形態に係る効果

本実施形態に係る構成であれば、第 1 及び第 2 実施形態と同様の効果が得られる。

【0198】

4. 変形例等

上記実施形態に係るメモリシステムは、半導体記憶装置(100)と、半導体記憶装置を制御可能なコントローラ(200)とを含む。半導体記憶装置は、少なくとも第 1 乃至第 3 データを記憶可能な複数のメモリセル(MC)と、複数のメモリセルに接続されたワード線(WL)とを含む。第 1 データ(Lower ビット、Lower ページ)は、第 1 読み出しレベル(“S1”レベル)を含む第 1 読み出し動作により確定され、第 2 データ(Top ビット、Top ページ)は、第 2 読み出しレベル(“S15”レベル)を含む第 2 読み出し動作により確定され、第 3 データ(例えば Middle ビット、Middle ページ)は、第 3 読み出しレベル(例えば “S3” レベル)を含む第 3 読み出し動作により確定される。コントローラは、第 1 乃至第 3 読み出しレベルにそれぞれ対応する第 1 乃至第 3 読み出し電圧($V_{1'}$ 、 $V_{15'}$ 、 $V_{3'}$)の探索動作(パトロール動作)において、半導体記憶装置に第 1 及び第 2 読み出しレベルを含む第 4 読み出し動作を実行させる。

【0199】

上記実施形態を適用することにより、処理能力を向上できるメモリシステムを提供できる。

10

20

30

40

50

【0200】

なお、実施形態は上記説明した形態に限定されるものではなく、種々の変形が可能である。

【0201】

例えば、第1実施形態において、NAND型フラッシュメモリ100が、電圧V1' ~ V15'を求める演算処理をおこなってもよい。

【0202】

更に、第2及び第3実施形態において、コントローラ200が、電圧V1'、V5'、V11'、及びV15'を求める演算処理を行ってもよく、NAND型フラッシュメモリ100が、電圧V2' ~ V4'、V6' ~ V10'、及びV12' ~ V14'を求める演算処理(推定処理)を行ってもよい。

10

【0203】

更に、上記実施形態におけるパトリール動作は、リトライリードにおいて実行されてもよい。すなわち、通常の読み出し動作において、フェイルビット数がECC回路260のエラー訂正可能ビット数を超えた場合に、上記実施形態による読み出し電圧の探索動作が行われてもよい。

【0204】

更に、上記実施形態において、半導体記憶装置は三次元積層型NAND型フラッシュメモリに限定されてない。平面NAND型フラッシュメモリであってもよく、3ビット以上のデータを保持可能なメモリセルトランジスタを有する不揮発性メモリにも適用できる。

20

【0205】

更に、上記実施形態における「接続」とは、間に例えばトランジスタあるいは抵抗等、他の何かを介在させて間接的に接続されている状態も含む。

【0206】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

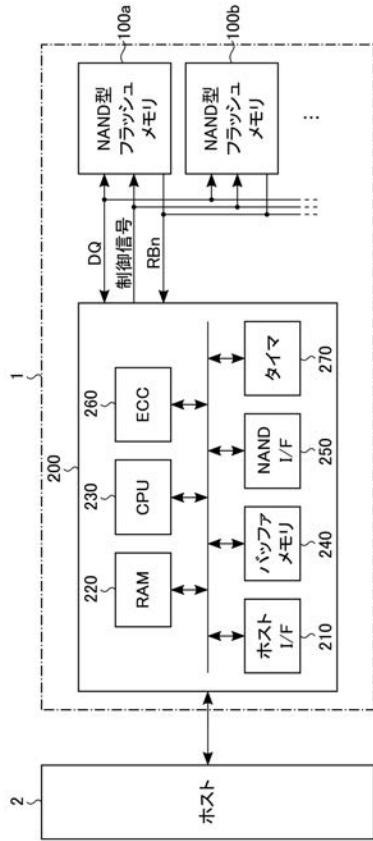
【符号の説明】

【0207】

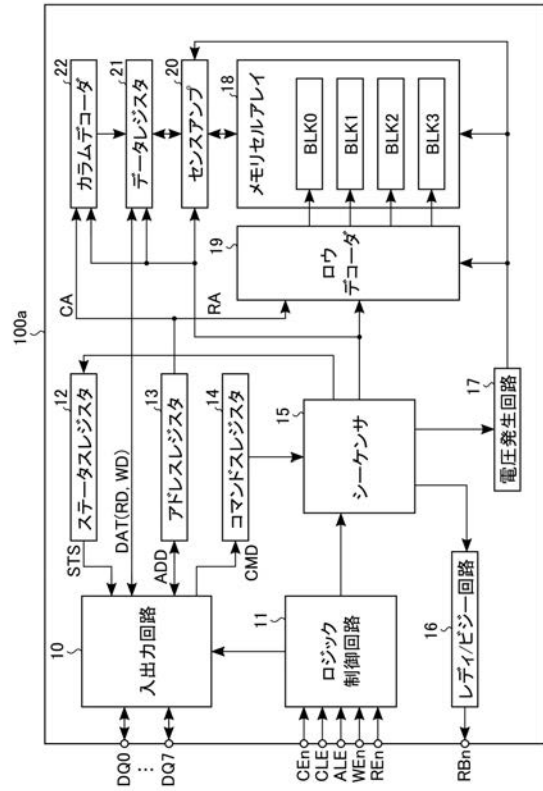
1...メモリシステム、2...ホスト機器、10...入出力回路、11...ロジック制御回路、12...ステータスレジスタ、13...アドレスレジスタ、14...コマンドレジスタ、15...シーケンサ、16...レディ/ビジー回路、17...電圧発生回路、18...メモリセルアレイ、19...ロウデコーダ、20...センスアンプ、21...データレジスタ、22...カラムデコーダ、30...半導体基板、31...絶縁層、32、33、41...配線層、34...ブロック絶縁膜、35...電荷蓄積層、36...トンネル絶縁膜、37...半導体層、38...コア層、39...キャップ層、40...コンタクトプラグ、100、100a、100b...NAND型フラッシュメモリ、200...コントローラ、210...ホストインターフェイス回路、220...内蔵メモリ、230...CPU、240...バッファメモリ、250...NANDインターフェイス回路、260...ECC回路、270...タイマ。

40

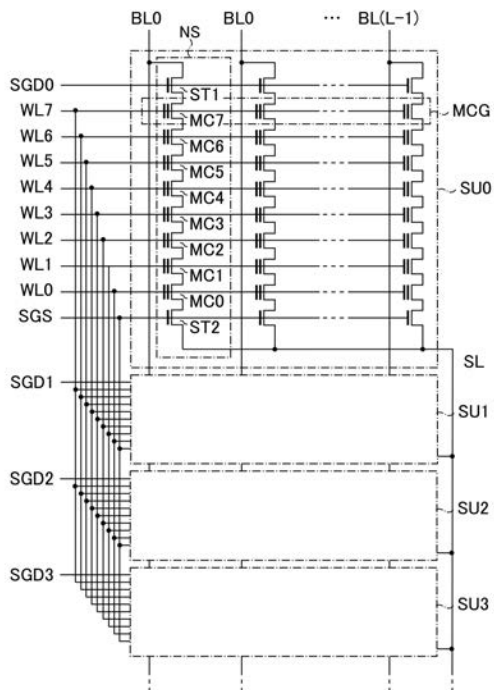
【図1】



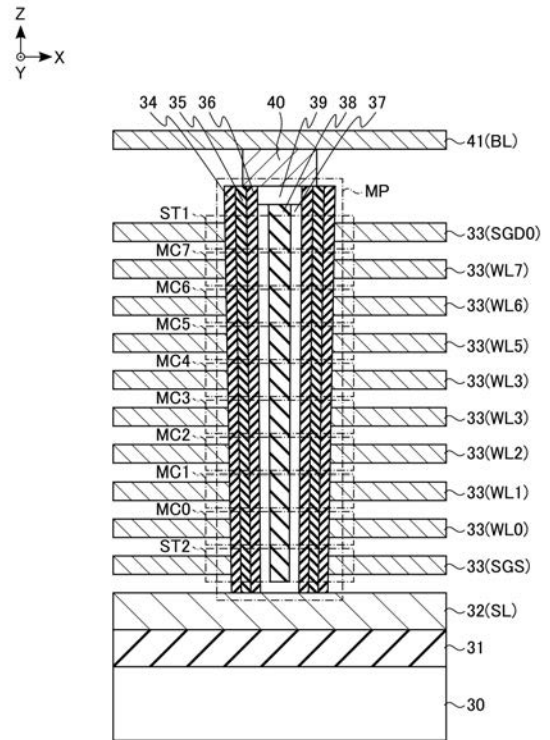
【図2】



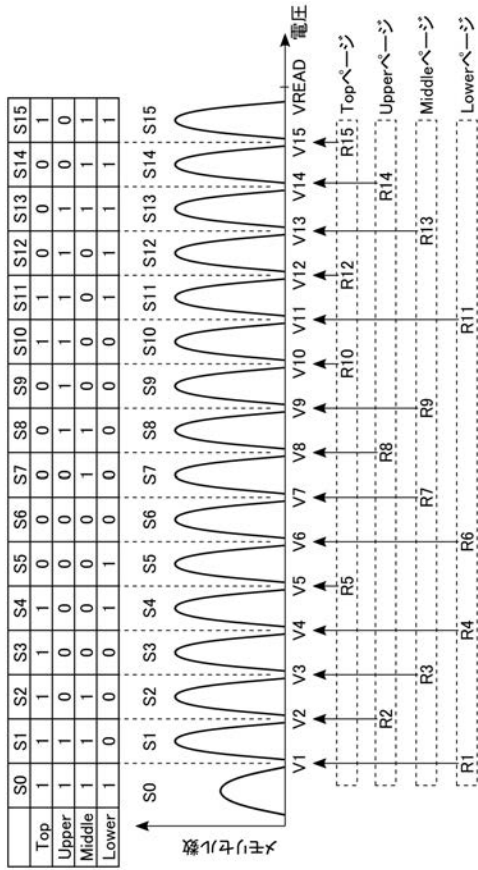
【図3】



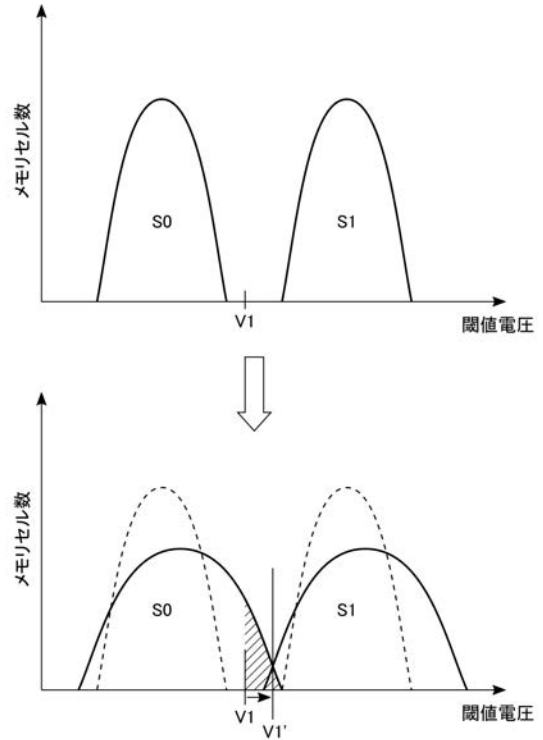
【図4】



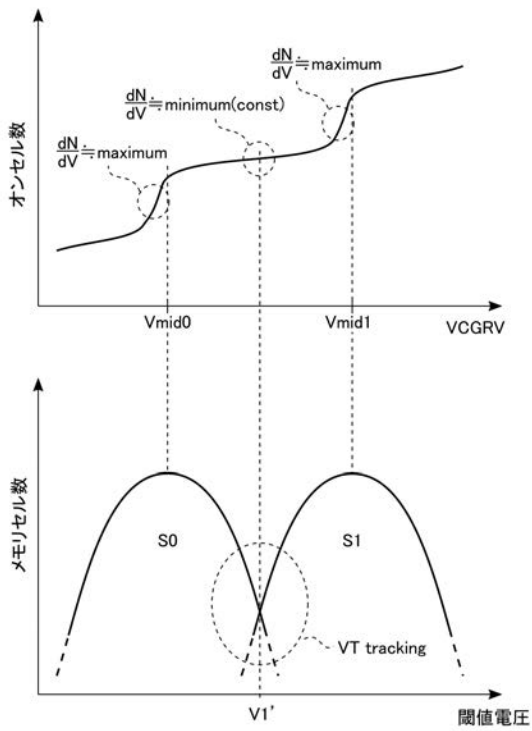
【 図 5 】



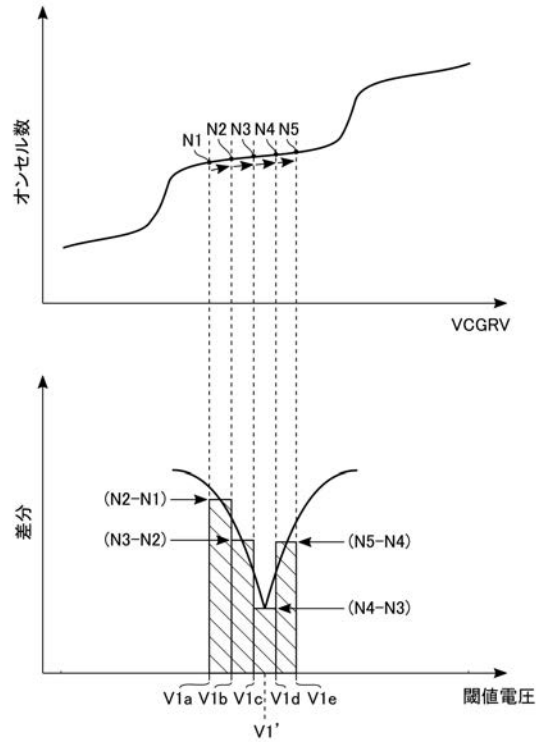
【 図 6 】



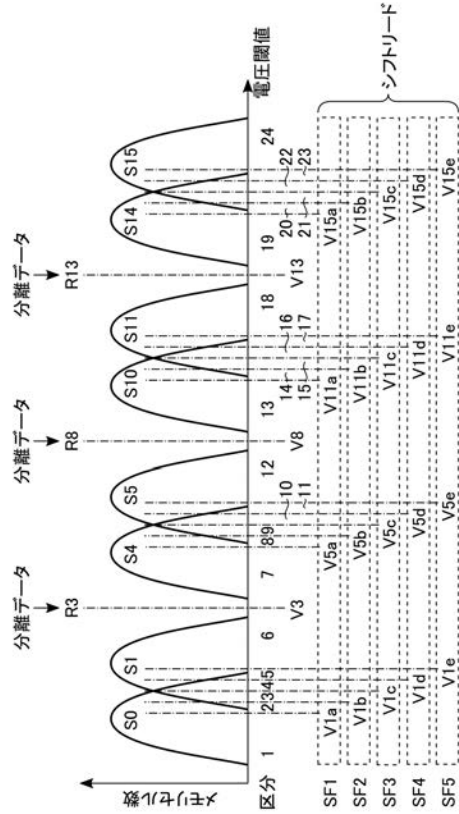
【 図 7 】



【 図 8 】



【図9】

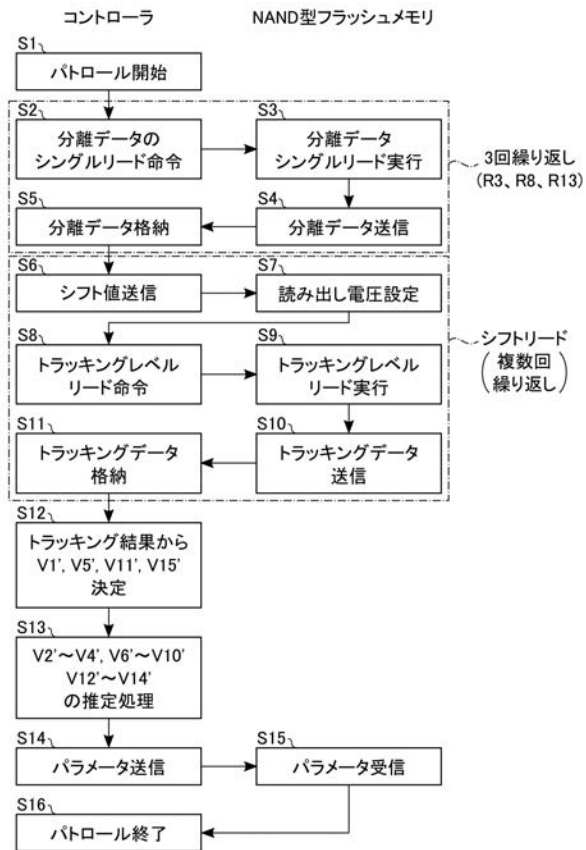


【図10】

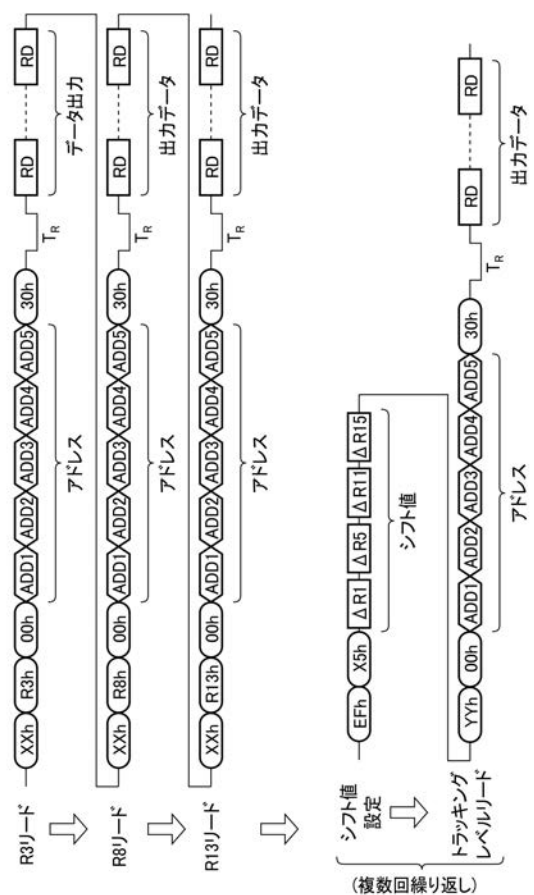
区分	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
R3	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R8	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R13	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
SF1	1	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
SF2	1	1	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
SF3	1	1	1	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
SF4	1	1	1	1	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
SF5	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

グループA (R3&R8&R13=1)
グループB (/R3&R8&R13=1)
グループC (/R3&/R8&R13=1)
グループD (/R3&/R8&/R13=1)

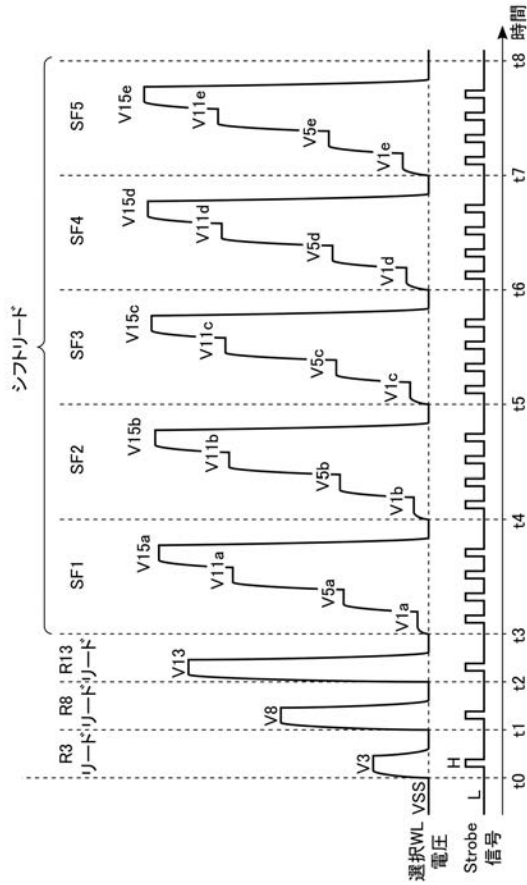
【図11】



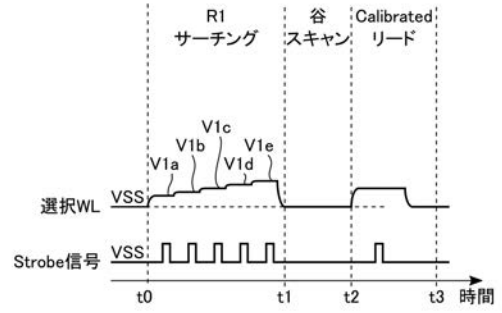
【図12】



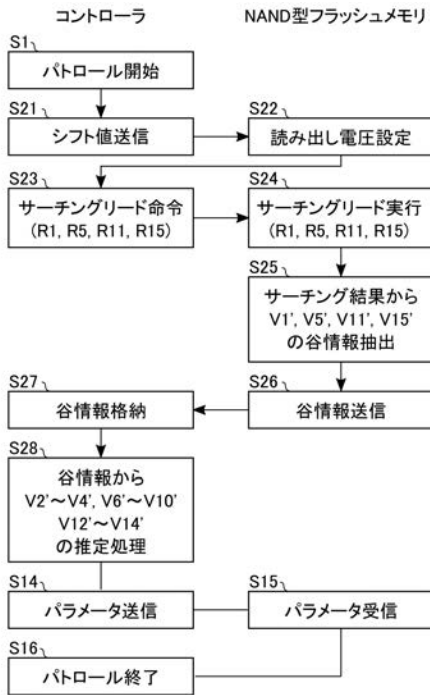
【 図 1 3 】



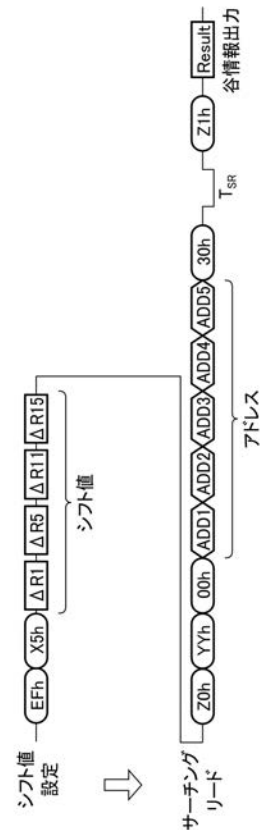
【 図 1 4 】



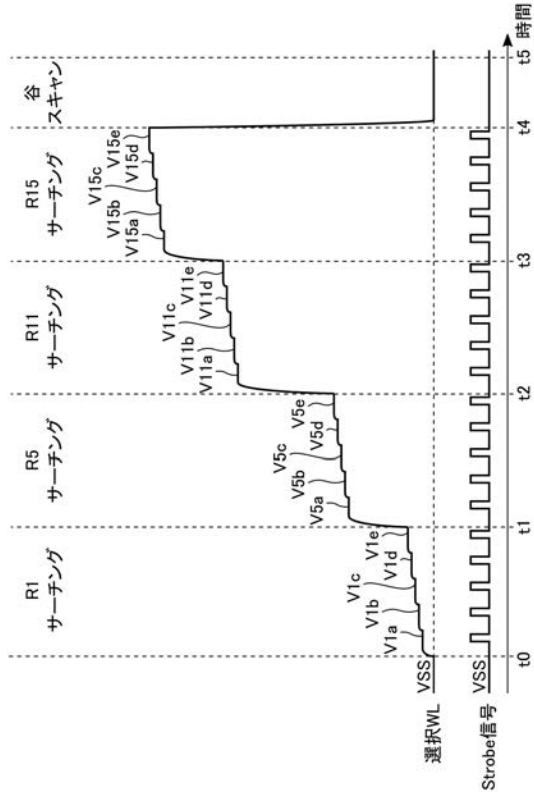
【 図 1 5 】



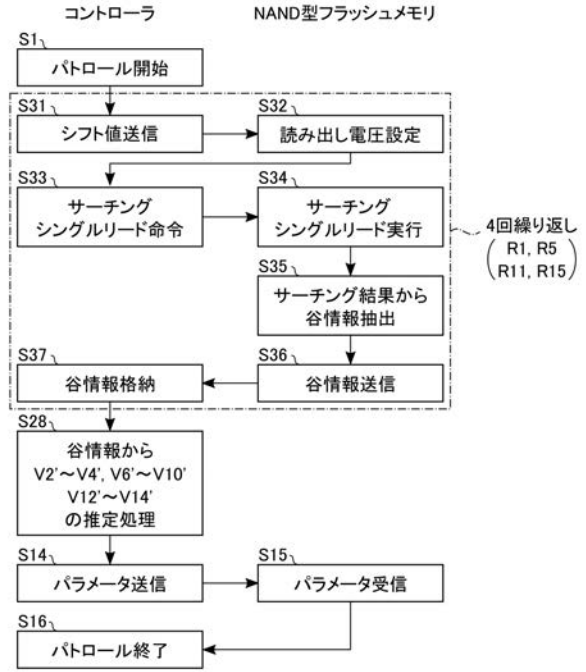
【 図 1 6 】



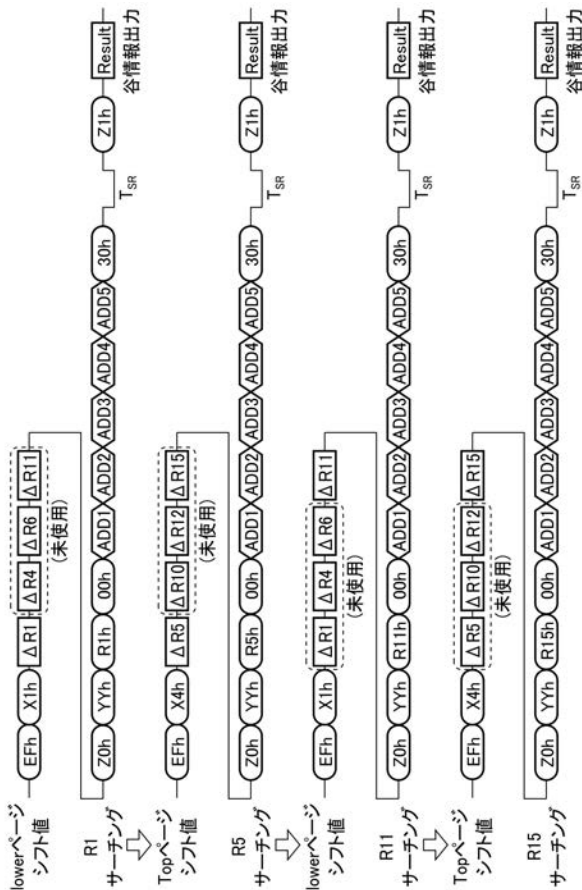
【図 17】



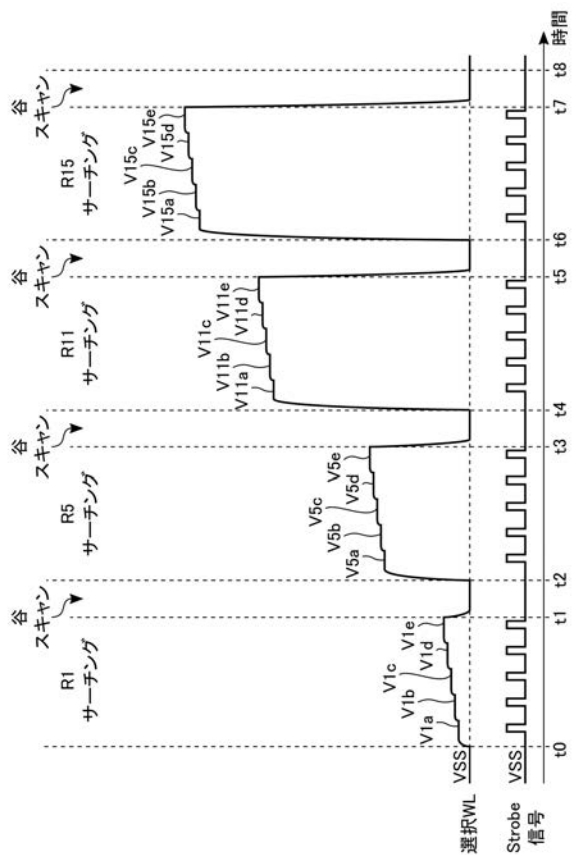
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/792 (2006.01)			H 0 1 L 27/11582	
H 0 1 L 27/11573 (2017.01)				
H 0 1 L 27/11582 (2017.01)				

(72)発明者 白川 政信
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 徳富 司
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 高田 万里江
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5B225 BA01 BA19 CA01 CA19 DA03 DA10 DE08 DE20 EA05 EK08
FA01 FA02
5F083 EP18 EP22 EP33 EP34 EP48 EP49 EP76 ER22 GA01 GA10
JA04 JA39 JA40 LA02 LA03 LA04 LA05 LA06 LA07 LA10
MA06 MA20 ZA10 ZA13 ZA14 ZA20 ZA21
5F101 BA45 BB02 BD16 BD22 BD30 BD34 BE02 BE07 BF01 BF05
BG07 BH26