



(12) 发明专利申请

(10) 申请公布号 CN 103887283 A

(43) 申请公布日 2014. 06. 25

(21) 申请号 201410117788. 4

(22) 申请日 2014. 03. 27

(71) 申请人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 高金德 蔡恩静

(74) 专利代理机构 上海天辰知识产权代理事务
所(特殊普通合伙) 31275

代理人 吴世华 林彦之

(51) Int. Cl.

H01L 23/544(2006. 01)

H01L 21/66(2006. 01)

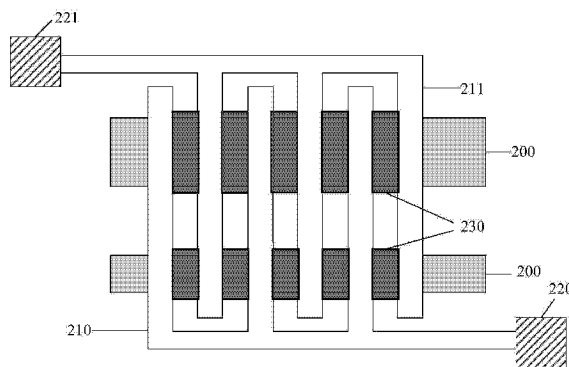
权利要求书1页 说明书3页 附图5页

(54) 发明名称

多晶硅残留监测结构

(57) 摘要

本发明公开了一种多晶硅残留监测结构,其包括接地的半导体衬底,其中形成有源区;平行排列于有源区上的多个第一多晶硅栅结构和多个第二多晶硅栅结构,其中第一多晶硅栅结构和第二多晶硅栅结构交错分布;多个接触孔柱塞,形成于有源区上相邻的所述第一多晶硅栅结构和第二多晶硅栅结构之间;第一测试引脚,与所述多个第一多晶硅栅结构相连;以及第二测试引脚,与所述多个第二多晶硅栅结构相连。本发明能够对多晶硅残留问题进行有效监测。



1. 一种多晶硅残留监测结构,其包括:
半导体衬底,其中形成有源区,所述半导体衬底接地;
平行排列于所述有源区上的多个第一多晶硅栅结构和多个第二多晶硅栅结构,所述第一多晶硅栅结构和第二多晶硅栅结构交错分布;
多个接触孔柱塞,形成于所述有源区上相邻的所述第一多晶硅栅结构和第二多晶硅栅结构之间;
第一测试引脚,与所述多个第一多晶硅栅结构相连;以及
第二测试引脚,与所述多个第二多晶硅栅结构相连。
2. 根据权利要求1所述的多晶硅残留监测结构,其特征在于,相邻的所述第一多晶硅栅结构和第二多晶硅栅结构之间具有多个所述接触孔插塞,且沿所述第一多晶硅栅结构的长度方向分布。
3. 根据权利要求1或2所述的多晶硅残留监测结构,其特征在于,所述接触孔插塞覆盖所述有源区的边缘。
4. 根据权利要求1所述的多晶硅残留监测结构,其特征在于,所述有源区之间形成浅沟槽隔离。
5. 根据权利要求4所述的多晶硅残留监测结构,其特征在于,所述第一多晶硅栅结构和第二多晶硅栅结构的侧壁形成侧壁间隔物。
6. 根据权利要求1所述的多晶硅残留监测结构,其特征在于,所述多晶硅残留监测结构设置于晶圆的切割道上。
7. 一种多晶硅残留测试方法,其特征在于,包括以下步骤:
提供权利要求1所述的多晶硅残留监测结构;
向所述第一多晶硅栅结构或第二多晶硅栅结构施加一电压;以及
测量所述第一测试引脚或第二测试引脚和所述衬底之间的电流变化,以检测施加电压的所述第一多晶硅栅结构或第二多晶硅栅结构的多晶硅残留。
8. 根据权利要求7所述的多晶硅残留测试方法,其特征在于,还包括以下步骤:
向所述第一多晶硅栅结构施加第一电压;
向相邻于所述第一多晶硅栅结构的所述第二多晶硅栅结构施加第二电压;
测量所述第一测试引脚和所述第二测试引脚之间的电流变化以同时检测施加电压的所述第一多晶硅栅结构和该第二多晶硅栅结构的多晶硅残留。

多晶硅残留监测结构

技术领域

[0001] 本发明涉及半导体制造工艺,特别涉及一种多晶硅刻蚀残留的监控结构。

背景技术

[0002] 半导体器件包括多个形成于有源区上并平行排列的多晶硅栅(Poly),在形成多晶硅栅的工艺中,其刻蚀工艺往往会有刻蚀残留的问题存在,因此需要对多晶硅刻蚀残留进行监控,以在测试阶段及时发现该问题,降低良率损失。

[0003] 现有技术中通常采用梳状监测结构在硅片可接受测试(WAT)阶段对多晶硅栅的刻蚀残留引起的漏电问题进行监控,但其存在一定局限性。如图1所示,监测结构包括平行排列于有源区100上的多个栅极多晶硅,奇数列的栅极多晶硅110通过测试引脚120引出,偶数列的栅极多晶硅111通过测试引脚121引出。多晶硅残留在区域A处造成短路,此时通过测试引脚120和121能够检测出发生漏电。但对于多晶硅残留未造成短路的情况,如区域B中,仅有单侧的多晶硅发生残留,则依靠现有的梳状监测结构就无法将其检测出来。然而这类的多晶硅残留问题依然会导致良率流失,同时引发可靠性风险,尤其在设计规则临界(design rule marginal)区域,由于布线设计刚刚满足设计规则的最低要求,容易造成制程余量不足,从而导致多晶硅栅与有源区短路引起多晶硅栅漏电。

[0004] 因此,为及时发现多晶硅残留特别是未造成多晶硅短路的残留问题,需要设计新的监测结构,以减少良率流失造成的损失。

发明内容

[0005] 本发明的主要目的旨在提供一种新的多晶硅残留监测结构。

[0006] 为达成上述目的,本发明提供一种多晶硅残留监测结构,其包括:半导体衬底,其中形成有源区,所述半导体衬底接地;平行排列于所述有源区上的多个第一多晶硅栅结构和多个第二多晶硅栅结构,所述第一多晶硅栅结构和第二多晶硅栅结构交错分布;多个接触孔柱塞,形成于所述有源区上相邻的所述第一多晶硅栅结构和第二多晶硅栅结构之间;第一测试引脚,与所述多个第一多晶硅栅结构相连;以及第二测试引脚,与所述多个第二多晶硅栅结构相连。

[0007] 优选地,相邻的所述第一多晶硅栅结构和第二多晶硅栅结构之间具有多个所述接触孔插塞,且沿所述第一多晶硅栅结构的长度方向分布。

[0008] 优选地,所述接触孔插塞覆盖所述有源区的边缘。

[0009] 优选地,所述有源区之间形成浅沟槽隔离。

[0010] 优选地,所述第一多晶硅栅结构和第二多晶硅栅结构的侧壁形成侧壁间隔物。

[0011] 优选地,所述多晶硅残留监测结构设置于晶圆的切割道上。

[0012] 本发明还提供了一种利用上述多晶硅残留监测结构的测试方法,其包括以下步骤:提供上述多晶硅残留监测结构;向所述第一多晶硅栅结构或第二多晶硅栅结构施加一电压;以及测量所述第一测试引脚或第二测试引脚和所述衬底之间的电流变化,以检测施

加电压的所述第一多晶硅栅结构或第二多晶硅栅结构的多晶硅残留。

[0013] 优选地,所述多晶硅残留测试方法还包括:向所述第一多晶硅栅结构施加第一电压;向相邻于所述第一多晶硅栅结构的所述第二多晶硅栅结构施加第二电压;测量所述第一测试引脚和所述第二测试引脚之间的电流变化以同时检测施加电压的所述第一多晶硅栅结构和该第二多晶硅栅结构的多晶硅残留。

[0014] 本发明所提出的多晶硅残留监测结构及测试方法,通过在相邻的多晶硅之间引入接触孔插塞,利用该接触孔插塞能够灵敏地监测是否存在多晶硅残留问题,利于降低良率流失。

附图说明

[0015] 图 1 为现有技术的多晶硅残留监测结构的版图示意图;

[0016] 图 2 为本发明一实施例的多晶硅残留监测结构的版图示意图;

[0017] 图 3 为本发明另一实施例的多晶硅残留监测结构的版图示意图;

[0018] 图 4 为本发明一实施例的多晶硅残留监测结构的剖视;

[0019] 图 5a ~ 5c 为本发明一实施例的多晶硅残留监测结构进行测试的示意图。

具体实施方式

[0020] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明的内容作进一步说明。当然本发明并不局限于该具体实施例,本领域内的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0021] 本发明的多晶硅残留监测结构是用于在芯片制造完成后,准备将晶圆切割和封装之前对芯片进行 WAT 测试。较佳地将监测结构设计在晶圆切割道上,测试完成后被切除,不占用芯片内部空间。请参考图 2,监测结构包括半导体衬底,该衬底接地。有源区 200 形成于半导体衬底中,有源区之间为浅沟槽隔离区。有源区 200 上,平行排列有多个第一多晶硅栅结构 210 和多个第二多晶硅栅结构 211,第一多晶硅栅结构 210 和第二多晶硅栅结构 211 呈交错分布,形成梳状结构,且均与有源区 200 的长度方向垂直。如图所示,每一个多晶硅栅结构 210 和第二多晶硅栅结构 211 横跨多个有源区 200。第一多晶硅栅结构 210 和第二多晶硅栅结构 211 的均可具有侧壁间隔物(spacer)形成于各自的侧壁上,有源区源/漏的掺杂在侧壁间隔物形成后进行。相邻的第一多晶硅栅结构 210 和第二多晶硅栅结构 220 之间的有源区上形成有接触孔柱塞 230,也即是,接触孔柱塞 230 形成于有源区的源/漏上并与之电连接。第一测试引脚 220 与多个第一多晶硅栅结构 210 相连;第二测试引脚 221 与多个第二多晶硅栅结构 211 相连。

[0022] 在本发明的另一较佳实施例中,如图 3 所示,当有源区 300 的宽度过宽时,此时采用多接触孔柱塞(Multi-CT)的设计,即相邻的第一多晶硅栅结构 310 和第二多晶硅栅结构 311 之间具有多个接触孔插塞 330,本实施例为 3 个,这些接触孔插塞 330 沿着第一多晶硅栅结构(第二多晶硅栅结构)的长度方向(有源区 300 的宽度方向)分布。此外,由于在制程时有源区的边缘容易造成栅极多晶硅残留,接触孔插塞 330 优选为覆盖有源区 300 的边缘位置,用于确保有源区边缘处的多晶硅残留能够被检测到。

[0023] 接下来请参考图 4,其所示为本发明一实施例监测结构的剖视图。如图所示,在区

域A仅第二多晶硅栅结构411存在多晶硅残留,在区域B第一和第二多晶硅栅结构410、411同时存在多晶硅残留,这两处的残留均未造成多晶硅栅结构的直接短接。以下将结合图5a至图5c分别对上述两种情况的测试方法加以说明。

[0024] 首先请参考图5a,其所示为监测NMOS区域相邻的两个多晶硅栅结构仅有一个存在多晶硅残留的情况。当进行某一个第一多晶硅栅结构510A的多晶硅残留测试时,在该多晶硅栅结构510A上施加一电压,如-2V,由于多晶硅残留与接触孔插塞530连接,再经接触孔插塞530与有源区源漏区连接,因此-2V的电压相当于施加在有源区源漏上,又因为衬底电压为0V,则掺杂的源漏区N⁺和衬底之间所形成的PN结导通。因此,通过测量第一测试引脚与衬底之间的电流变化就能够判断该第一多晶硅栅结构510A是否存在多晶硅残留,若测量出有电流则存在多晶硅残留,若没有电流则不存在多晶硅残留。依次对每一个第一和第二多晶硅栅结构施加上述电压,并通过测量第一和第二测试引脚测量与衬底的电流变化,可对NMOS区域相邻的两个多晶硅栅结构仅有一个存在多晶硅残留的情况进行监测。接下来请参考图5b,其所示为监测PMOS区域相邻的两个多晶硅栅结构仅有一个存在多晶硅残留的情形。当进行某一个第二多晶硅栅结构511A的多晶硅残留测试时,在该多晶硅栅结构511A上施加一电压,如+2V,由于多晶硅残留与接触孔插塞530连接,再经接触孔插塞530与有源区源漏连接,因此该+2V的电压相当于施加在有源区源漏上,又因为衬底电压为0V,由此源漏区和衬底之间所形成的PN结导通。由此,通过测量第二测试引脚与衬底之间的电流变化就能够判断该第二多晶硅栅结构511A是否存在多晶硅残留。同样的,依次对每一个第一和第二多晶硅栅结构施加上述电压,并通过测量第一和第二测试引脚与衬底间的电流变化,可对PMOS区域相邻的两个多晶硅栅结构仅有一个存在多晶硅残留的情况进行监测。需要说明的是,本实施例中施加的电压值仅为示例,也可以采用其他电压值,一般来说保证与衬底的电压差大于PN结的导通电压即可。

[0025] 图5c为利用本发明的监测结构监测相邻多晶硅栅结构同时具有多晶硅残留的示意图。当要同时进行某一个第一多晶硅栅结构510B和与其相邻的第二多晶硅栅结构511B的多晶硅残留测试时,只需在该第一多晶硅栅结构510B上施加一第一电压,如0.4V;而在相邻的第二多晶硅栅结构511B上施加一不同于第一电压的第二电压,如0V。虽然此时两个多晶硅栅结构的残留并未连接,但其均与接触孔插塞530接触,因此通过该接触孔插塞,两个多晶硅栅结构之间短路产生电流,通过测量第一测试引脚和第二测试引脚之间的电流变化即可判断该第一多晶硅栅结构510B和相邻的第二多晶硅栅结构511B是否同时存在多晶硅残留,当测量有电流时说明施加电压的相邻两个多晶硅栅结构均有残留,当测量无电流时说明相邻的两个多晶硅栅结构至少有一个无残留。由于本实施例中两个多晶硅栅结构通过接触孔插塞形成短路,电流未流经PN结,因此施加的第一电压和第二电压只需保持较小的电压差即可。

[0026] 综上所述,本发明所提供的多晶硅残留监测结构及监测方法,通过在相邻的多晶硅栅结构之间引入接触孔插塞,利用该接触孔插塞能够灵敏地监测是否存在多晶硅残留问题。

[0027] 虽然本发明已以较佳实施例揭示如上,然所述诸多实施例仅为了便于说明而举例而已,并非用以限定本发明,本领域的技术人员在不脱离本发明精神和范围的前提下可作若干的更动与润饰,本发明所主张的保护范围应以权利要求书所述为准。

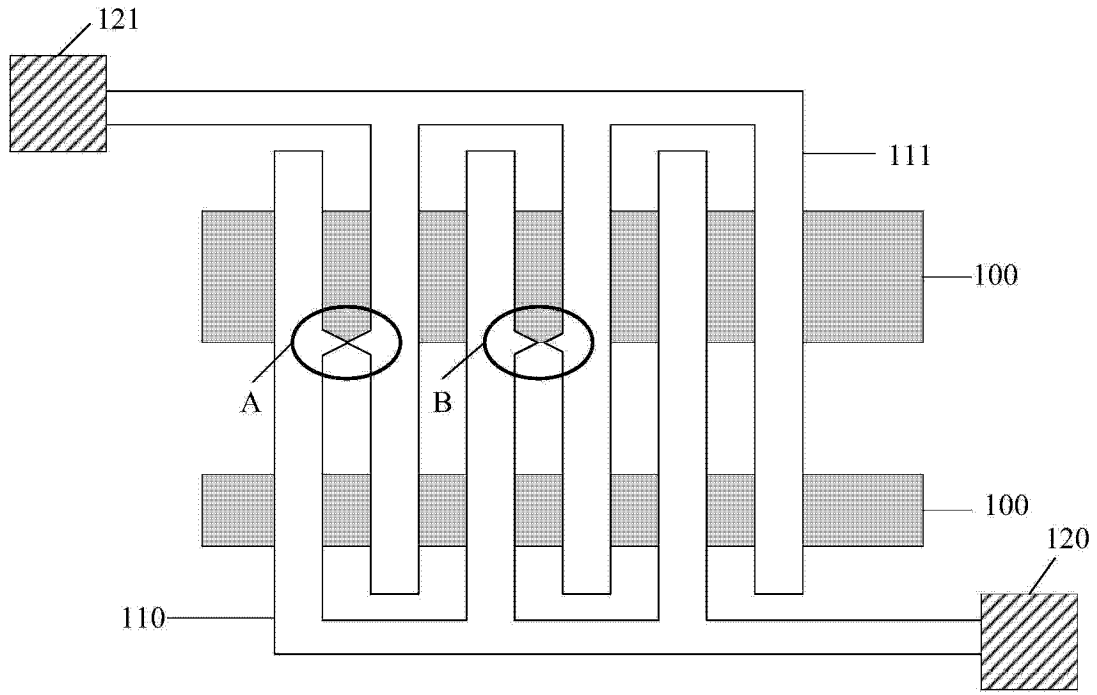


图 1

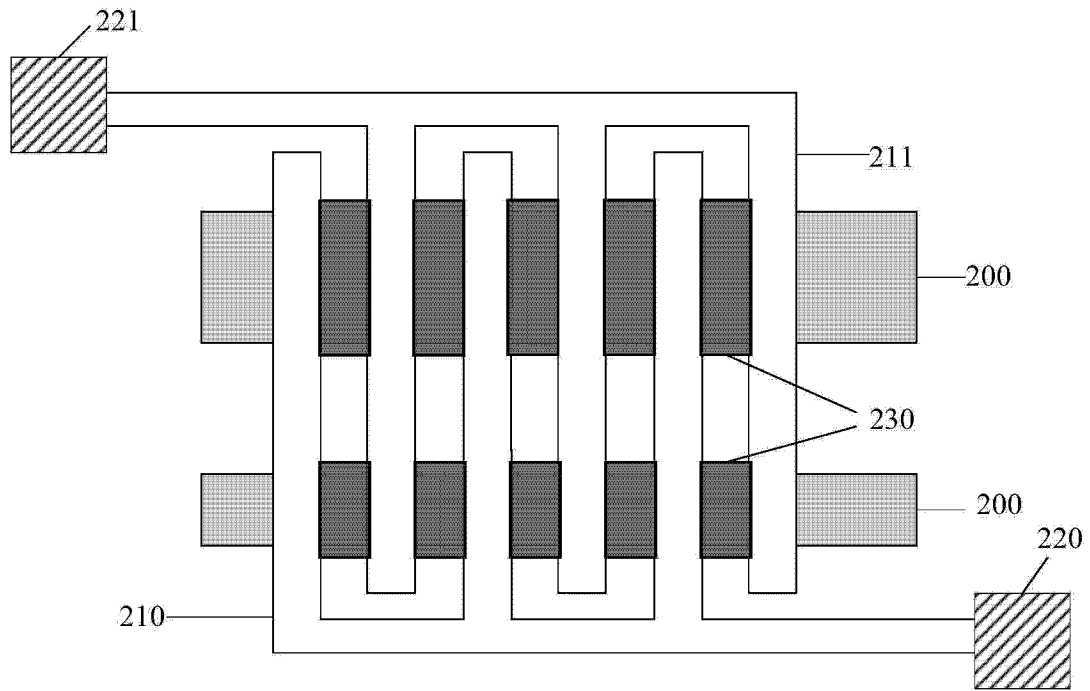


图 2

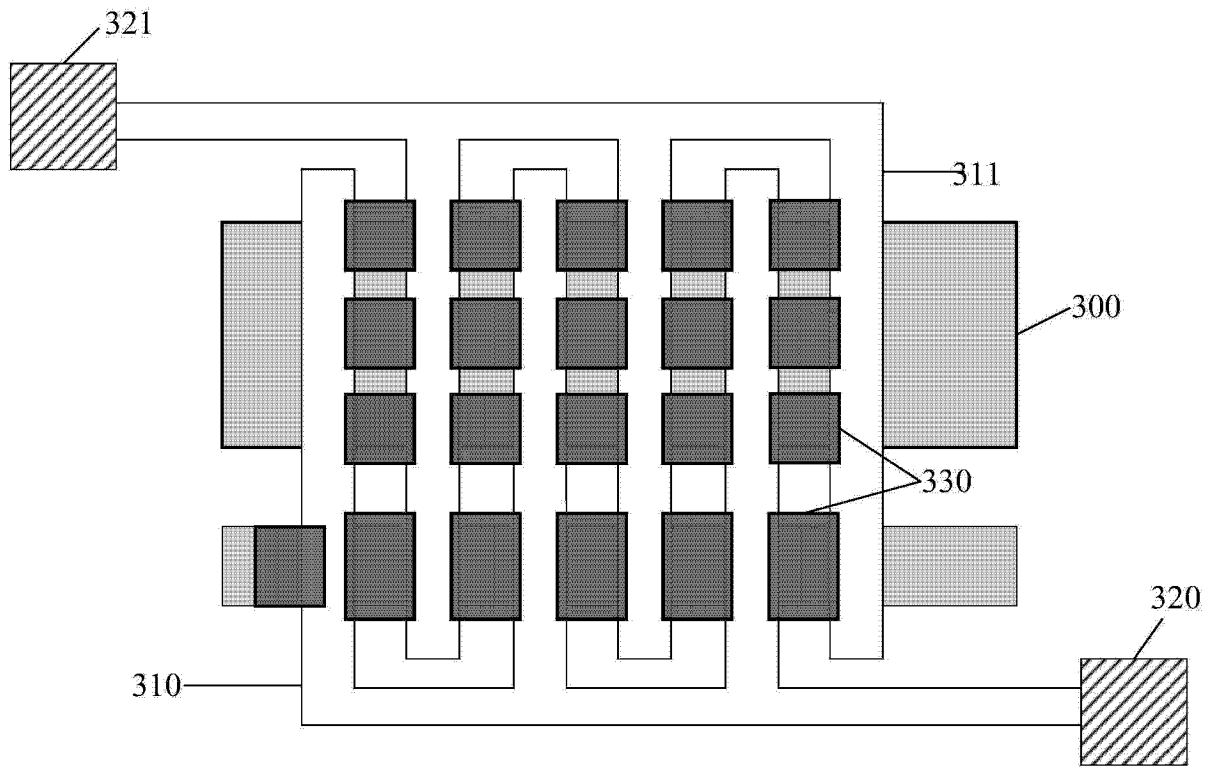


图 3

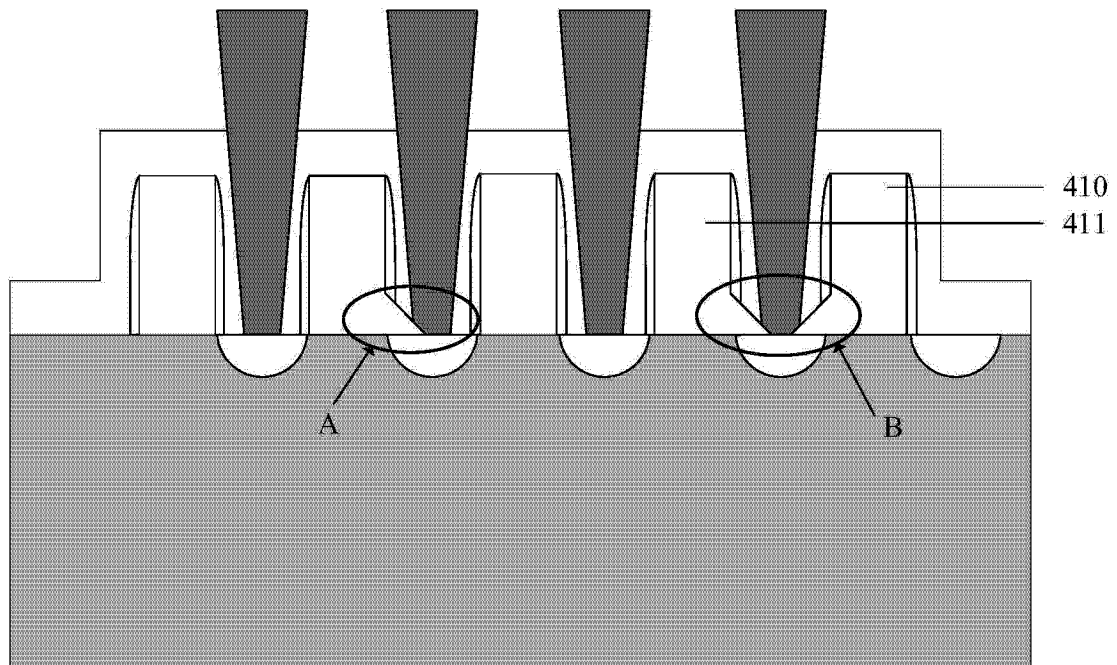


图 4

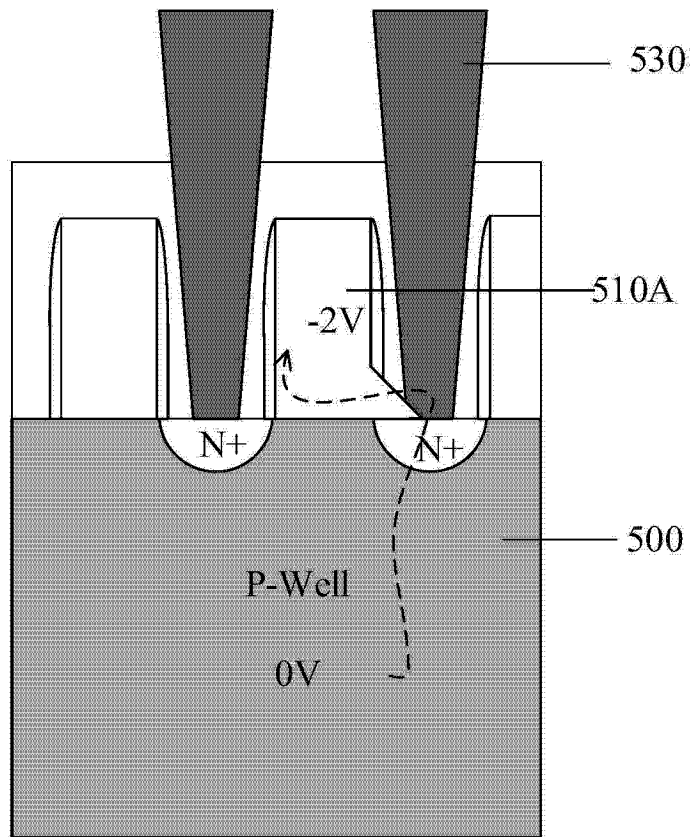


图 5a

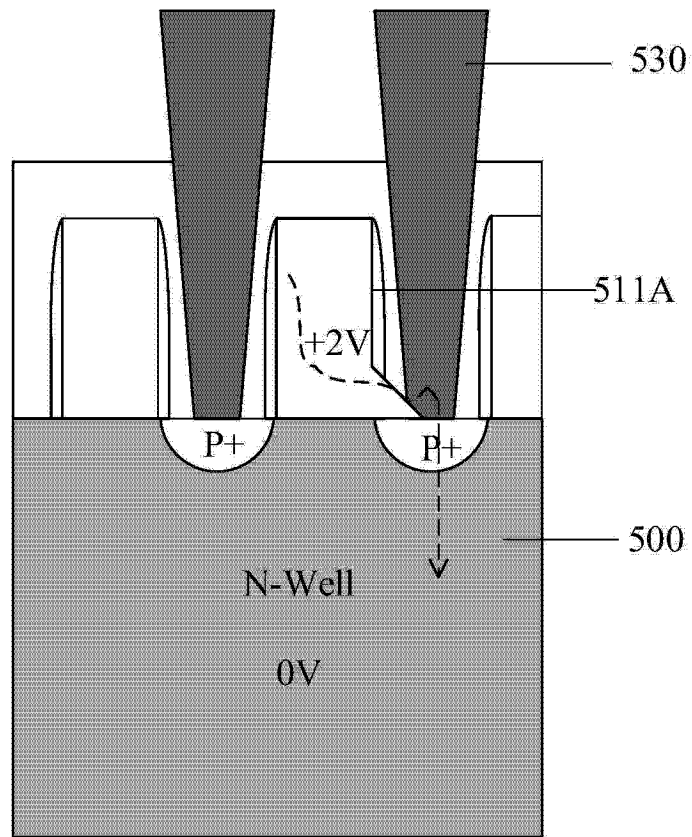


图 5b

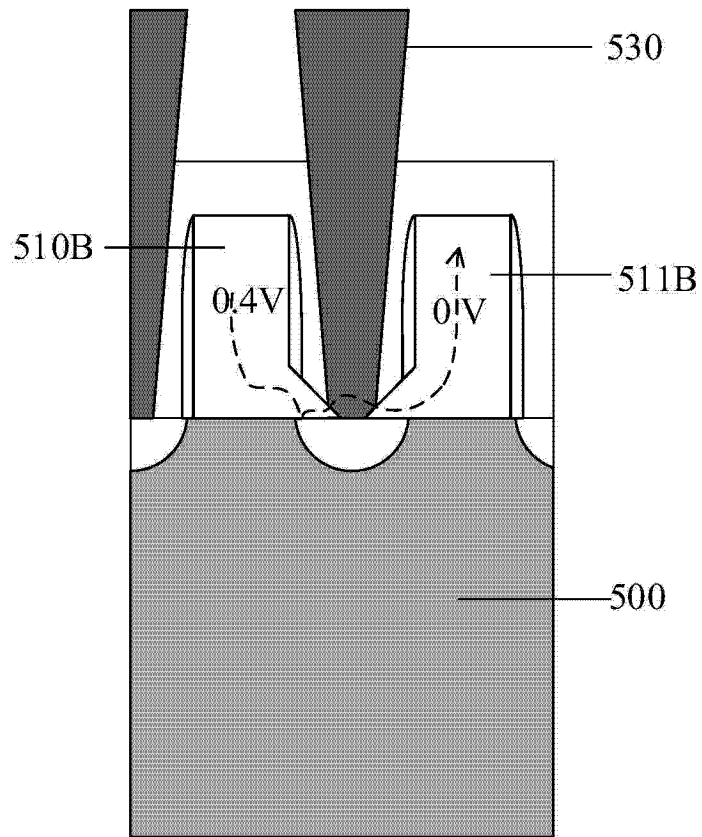


图 5c