

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4336407号  
(P4336407)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int. Cl. F I  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 Z  
 HO 1 L 21/56 (2006.01) HO 1 L 21/56 T

請求項の数 4 (全 9 頁)

(21) 出願番号	特願平11-40883	(73) 特許権者	390002473
(22) 出願日	平成11年2月19日(1999.2.19)		TOWA株式会社
(65) 公開番号	特開2000-243871(P2000-243871A)		京都府京都市南区上鳥羽上調子町5番地
(43) 公開日	平成12年9月8日(2000.9.8)	(72) 発明者	岸本和之
審査請求日	平成18年1月20日(2006.1.20)		京都府京都市南区上鳥羽上調子町5番地
			トワ株式会社
			内
		(72) 発明者	岡本裕貴
			京都府京都市南区上鳥羽上調子町5番地
			トワ株式会社
			内
		(72) 発明者	泉勲
			京都府京都市南区上鳥羽上調子町5番地
			トワ株式会社
			内
			最終頁に続く

(54) 【発明の名称】 回路基板

(57) 【特許請求の範囲】

【請求項1】

電子部品が載置された後に金型を使用して前記電子部品が樹脂封止される回路基板であって、

前記回路基板上に設けられ前記電子部品に対して電気信号を授受するための回路パターンと、

前記回路パターンを保護するために該回路パターンのうち少なくとも一部を覆って設けられるとともに複数の凸部を有する保護膜とを備え、

前記複数の凸部の存在によって前記保護膜と前記金型との接触面積が減少することによって、樹脂封止後の前記回路基板が前記金型から引き離される際に静電気の発生が抑制されることを特徴とする回路基板。

10

【請求項2】

請求項1記載の回路基板において、

前記複数の凸部は、前記保護膜に混入された絶縁性粒子によって形成されていることを特徴とする回路基板。

【請求項3】

請求項1記載の回路基板において、

前記複数の凸部は、前記回路基板上における保護を必要としない部分を露出させるように前記保護膜に開口を設けることによって形成されていることを特徴とする回路基板。

【請求項4】

20

請求項 1 記載の回路基板において、  
前記複数の凸部は、前記保護膜が部分的に異なる膜厚を有することによって形成されていることを特徴とする回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IC等の電子部品が実装される回路基板であって、特に、実装後にモールド樹脂によって樹脂封止される工程で発生する静電気を抑制する回路基板に関するものである。

【0002】

【従来の技術】

近年、製品の小型化という要請に対応するために、いわゆる BGA (Ball Grid Array) が提案されている。この BGA は、回路基板の上面に装着した半導体チップをモールド樹脂内に封止すると共に、回路基板の下面にボールバンプをマトリクス状に配設した構造を備えている。

BGA に用いられている従来の回路基板について、図 5 を参照して説明する。図 5 ( 1 ) , ( 2 ) は、従来の回路基板であって、それぞれ半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。図 5 ( 1 ) , ( 2 ) において、基材 1 の両面に設けられ層間接属された回路パターン 2 a , 2 b 上に、絶縁性樹脂からなる平滑な保護膜 3 a , 3 b が設けられている。上面の保護膜 3 a は、例えば、回路パターン 2 a を露出させて文字表示として使用する露出部分、ワイヤボンディング用のパッド等の領域以外を、言い換えれば本来露出させる必要がある領域以外をすべて覆うようにして設けられている。下面の保護膜 3 b には、それぞれ回路パターン 2 b から延びてマトリクス状に設けられたランド 4 を露出させるようにして、開口が設けられている。基材 1、回路パターン 2 a , 2 b、保護膜 3 a , 3 b、及びランド 4 は、回路基板 5 を構成する。

上面の保護膜 3 a 上には IC 等の半導体チップ 6 が載置されている。半導体チップ 6 の電極 ( 図示なし ) と回路パターン 2 a とは、ボンディングワイヤ 7 を介して電氣的に接続されている。

【0003】

回路基板 5 が樹脂封止される際には、図 5 ( 1 ) に示されているように、上型 8 と下型 9 とが型締めされ半導体チップ 6 の周囲にはキャビティ 10 が形成される。更に、溶融された樹脂がキャビティ 10 に加圧充填されて、図 5 ( 2 ) に示されているように、充填された樹脂が硬化してモールド樹脂 11 が形成された後に上型 8 が型開きされる。その後に、樹脂封止された回路基板 5 は、下型 9 から取り出される。最終的には、ボールバンプ ( 図示なし ) が各ランド 4 上に設けられて、BGA が完成する。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の回路基板を使用する場合には、上型 8 と下型 9 とから樹脂封止後の回路基板 5 を取り出す際に、絶縁性樹脂からなる平滑な保護膜 3 a , 3 b が金型から引き離されることによって、保護膜 3 a , 3 b と金型との間において静電気が発生するおそれがあった。そして、発生した静電気は、回路パターン 2 a , 2 b とボンディングワイヤ 7 とを介して半導体チップ 6 に印加されて、最悪の場合には半導体チップ 6 を電氣的に破壊すること、すなわち静電破壊が発生していた。また、樹脂封止後のバリの発生を防ぐために、上型 8 と下型 9 とが回路基板 5 を所定の型締圧によって型締めするので、回路基板 5 の保護膜 3 a , 3 b の広い領域がそれぞれ上型 8 と下型 9 とに強く密着して、いっそう静電気が発生しやすくなっていた。

【0005】

本発明は、上述の課題を解決するためになされたものであり、樹脂封止後の回路基板が金型から取り出される際に静電気の発生を抑制し、ひいては電子部品の静電破壊を防止す

10

20

30

40

50

る回路基板を提供することを目的とする。

【0006】

【課題を解決するための手段】

【0007】

【0008】

上述の技術的課題を解決するために、本発明に係る回路基板は、電子部品が載置された後に金型を使用して電子部品が樹脂封止される回路基板であって、回路基板上に設けられ電子部品に対して電気信号を授受するための回路パターンと、回路パターンを保護するために該回路パターンのうち少なくとも一部を覆って設けられるとともに複数の凸部を有する保護膜とを備え、複数の凸部の存在によって保護膜と金型との接触面積が減少することによって、樹脂封止後の回路基板が金型から引き離される際に静電気の発生が抑制されることを特徴とするものである。

10

【0009】

また、本発明に係る回路基板は、上述の回路基板において、複数の凸部は、保護膜に混入された絶縁性粒子によって形成されていることを特徴とするものである。

【0010】

また、本発明に係る回路基板は、上述の回路基板において、複数の凸部は、回路基板上における保護を必要としない部分を露出させるように保護膜に開口を設けることによって形成されていることを特徴とするものである。

【0011】

また、本発明に係る回路基板は、上述の回路基板において、複数の凸部は、保護膜が部分的に異なる膜厚を有することによって形成されていることを特徴とするものである。

20

【0012】

【作用】

本発明によれば、樹脂封止後であって金型から取り出される前の回路基板において、金型に接触する部分である保護膜が導電性を有しているため、回路基板が金型から取り出される際に静電気の発生が抑制される。更に、静電気が発生した場合でもその静電気が金型へと流出される。したがって、電子部品に対して印加される静電気が低減されるので、電子部品の静電破壊を確実に防止することができる。

また、本発明によれば、凸部を有する保護膜によって、保護膜と金型との接触面積が減少する。これにより、保護膜と金型との間の密着性が低下するので、金型から回路基板が取り出される際に、すなわち金型から保護膜が引き離される際に、静電気の発生が抑制される。したがって、電子部品に対して印加される静電気が低減されるので、電子部品の静電破壊を確実に防止することができる。

30

【0013】

【発明の実施の形態】

(参考例)

以下、本発明の参考例について、図面を参照しながら説明する。図1(1)、(2)は、本参考例に係る回路基板であって、それぞれ半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。図1(1)、(2)において、基材20の両面には、層間接属された回路パターン21a、21bが設けられている。上面の回路パターン21a上には、保護膜22a、23aが、順次設けられている。ここで、下層の保護膜22aは絶縁性樹脂により形成され、最上層の保護膜23aは例えば炭素の微粒子等の導電性物質を含んで平滑に形成されている。下面の回路パターン21b上には、保護膜22bが設けられている。保護膜22bには、それぞれ回路パターン21bから延びてマトリックス状に設けられたランド24を露出させるように、開口が設けられている。基材20、回路パターン21a、21b、保護膜22a、23a、22b、及びランド24は、プリント基板(Printed Circuit Board)と称されている回路基板25aを構成する。

40

保護膜23a上には、IC等の半導体チップ30が載置されている。半導体チップ30

50

の電極（図示なし）と回路パターン 2 1 a とは、ボンディングワイヤ 3 1 を介して電氣的に接続されている。最終的には、ボールパンプ（図示なし）が各ランド 2 4 上に設けられて、BGA が完成する。

回路基板 2 5 a が樹脂封止される際には、図 1（1）に示されているように、上型 4 0 と下型 4 1 とが型締めされ半導体チップ 3 0 の周囲にはキャビティ 3 2 が形成される。更に、溶融された樹脂がキャビティ 3 2 に加圧充填され、図 1（2）に示されているように、樹脂が硬化してモールド樹脂 3 3 が形成された後に上型 4 0 が型開きされる。

【0014】

ここで、本参考例に係る回路基板の特徴は、最上層の保護膜 2 3 a が、導電性物質を含んで形成されていることである。これにより、保護膜 2 3 a は導電性を有するので、上型 4 0 から樹脂封止後の回路基板 2 5 a が引き離される際に、保護膜 2 3 a と上型 4 0 との間における静電気の発生を抑制することができる。更に、静電気が発生した場合でも、発生した静電気は導電性を有する保護膜 2 3 a によって下型 4 1 へと導かれる。したがって、半導体チップ 3 0 に印加される静電気が大幅に低減されるので、半導体チップ 3 0 の静電破壊を確実に防止することができる。

10

【0015】

なお、本参考例の説明においては、導電性物質を含ませて形成する保護膜を上面の保護膜の最上層としたが、これに限らず、導電性を有する 1 層の保護膜を回路パターン 2 1 a 上に設けてもよい。この場合には、各回路パターン 2 1 a 相互間について必要な絶縁性を確保できる程度に、保護膜に含ませる導電性物質の種類や量等を決定すればよい。

20

【0016】

また、必要に応じて、下面の保護膜についても、導電性を有する 1 層の保護膜を回路パターン 2 1 b 上に設けてもよいし、複数の層からなる保護膜の最上層を導電性を有する層にしてもよい。

【0017】

（第 1 の実施形態）

以下、本発明の第 1 の実施形態について、図面を参照しながら説明する。図 2（1）、（2）は、本実施形態に係る回路基板であって、それぞれ半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。回路基板 2 5 b の上面における保護膜 2 2 a には、例えばガラス等の絶縁性粒子 2 6 が含まれている。絶縁性粒子 2 6 によって、保護膜 2 2 a の表面には微小な凸部 2 7 が形成されている。

30

【0018】

ここで、本実施形態に係る回路基板の特徴は、保護膜 2 2 a の表面に微小な凸部 2 7 が形成されていることである。これにより、微小な凹凸を有する保護膜 2 2 a と上型 4 0 との間の密着性が低下するので、上型 4 0 から回路基板 2 5 b が取り出される際に、すなわち上型 4 0 から保護膜 2 2 a が引き離される際に、静電気の発生が抑制される。したがって、半導体チップ 3 0 に対して印加される静電気が低減されるので、半導体チップ 3 0 の静電破壊を確実に防止することができる。

【0019】

40

図 3（1）、（2）は、本実施形態に係る別の回路基板であって、それぞれ半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。回路基板 2 5 c の上面における保護膜 2 2 a は、回路パターン 2 1 a のうち保護が必要な領域、例えば電氣的に絶縁コートされることが必要な領域のみを覆っている。言い換えれば、回路基板 2 5 c の上面においては、絶縁コートが不要である領域は開口 2 8 によって露出しているので、本来露出されるべき部分以外をすべて覆う場合に比べて、保護膜 2 2 a の有無による凹凸がより多く生じることになる。

【0020】

これにより、凹凸を有する保護膜 2 2 a と上型 4 0 との間の密着性が低下するので、上型 4 0 から回路基板 2 5 c が取り出される際に、すなわち上型 4 0 から保護膜 2 2 a が引

50

き離される際に、静電気の発生が抑制される。したがって、半導体チップ30に対して印加される静電気が低減されるので、半導体チップ30の静電破壊を確実に防止することができる。

#### 【0021】

図4(1)、(2)は、本実施形態に係る更に別の回路基板であって、それぞれ半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。回路基板25dの上面における保護膜22aは、所定の部分に凸部27と凹部29とが存在するように設けられている。凸部27と凹部29とを有する保護膜22aは、例えば、保護が必要な領域の全部に下層保護膜を塗布した後、下層保護膜の上に格子状の上層保護膜を塗布することにより形成することができる。

10

#### 【0022】

これにより、凹凸を有する保護膜22aと上型40との間の密着性が低下するので、上型40から回路基板25dが取り出される際に、すなわち上型40から保護膜22aが引き離される際に、静電気の発生が抑制される。したがって、半導体チップ30に対して印加される静電気が低減されるので、半導体チップ30の静電破壊を確実に防止することができる。

#### 【0023】

以上説明したように、本実施形態によれば、保護膜22aの凸部によって、上型40と保護膜22aとの密着性が低下するので、上型40から回路基板25b~25dを取り出す際に静電気の発生が抑制される。したがって、半導体チップ30に対して印加される静電気が低減されるので、半導体チップ30の静電破壊を確実に防止することができる。

20

#### 【0024】

なお、本実施形態の説明においては、回路基板の上面の保護膜について説明したが、下面の保護膜についても同様に凸部を形成することができる。

また、回路基板の使用されていない部分に凹部又は貫通穴を設けた後に、保護膜を形成してもよい。これにより、その凹部又は貫通穴の上において、保護膜の膜厚が小さくなり、あるいは保護膜が形成されない部分ができる。したがって、回路基板の保護膜において凸部を形成することができる。

#### 【0025】

また、以上説明した実施形態においては、回路基板としてプリント基板を使用したか、これに限らず、ポリイミド等からなり可撓性を有するフィルム状の基板、いわゆるフレキシブル回路基板(Flexible Printed Circuit)を使用してもよいことはいうまでもない。

30

更に、本発明に係る回路基板は、半導体チップの他にも、静電気に対して耐性が低い電子部品に対して使用することができる。

#### 【0026】

##### 【発明の効果】

本発明によれば、モールド樹脂によって封止された後の回路基板を金型から引き離す際に、回路基板上に設けられた導電性を有する保護膜によって静電気の発生を抑制することができる。また、回路基板上に設けられ凸部を有する保護膜によって、保護膜と金型との密着性が低下するので、モールド樹脂によって封止された後の回路基板を金型から引き離す際に、静電気の発生を抑制することができる。

40

したがって、電子部品に対して印加される静電気が低減されるので、電子部品の静電破壊を確実に防止することができる。これにより、電子部品の静電破壊が確実に防止される回路基板を提供できるという、優れた実用的な効果を奏するものである。

##### 【図面の簡単な説明】

【図1】 (1)、(2)は、それぞれ本発明の参考例に係る回路基板上に半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。

【図2】 (1)、(2)は、それぞれ本発明の第1の実施形態に係る回路基板上に半導

50

体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。

【図3】 (1), (2) は、それぞれ本発明の第1の実施形態に係る別の回路基板上に半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。

【図4】 (1), (2) は、それぞれ本発明の第1の実施形態に係る更に別の回路基板上に半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。

【図5】 (1), (2) は、それぞれ従来の回路基板上に半導体チップが実装された後に、金型にセットされ樹脂封止前の状態と、樹脂封止後に上型が型開きされた状態とを示す断面図である。

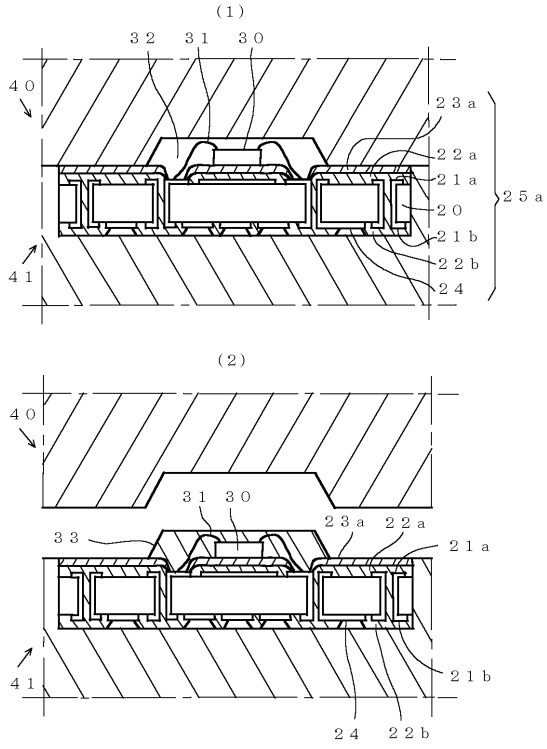
10

【符号の説明】

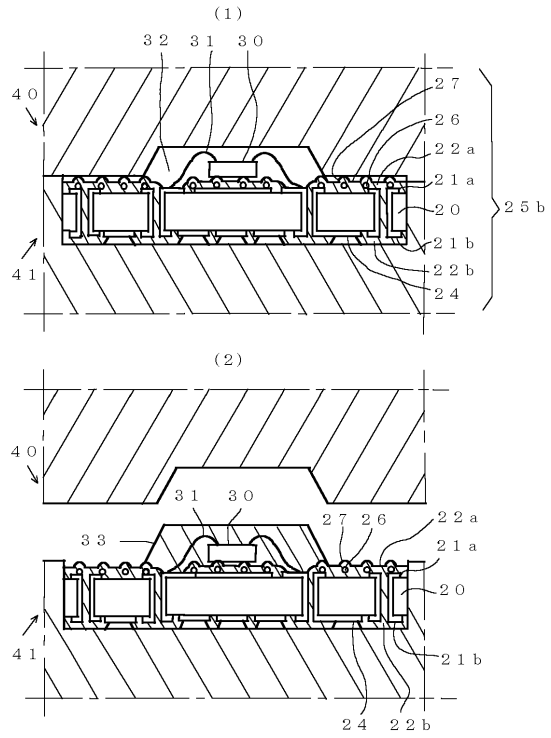
- 20 基材
- 21 a, 21 b 回路パターン
- 22 a, 22 b, 23 a 保護膜
- 24 ランド
- 25 a, 25 b, 25 c, 25 d 回路基板
- 26 絶縁性粒子
- 27 凸部
- 28 開口
- 29 凹部
- 30 半導体チップ
- 31 ボンディングワイヤ
- 32 キャビティ
- 33 モールド樹脂
- 40 上型
- 41 下型

20

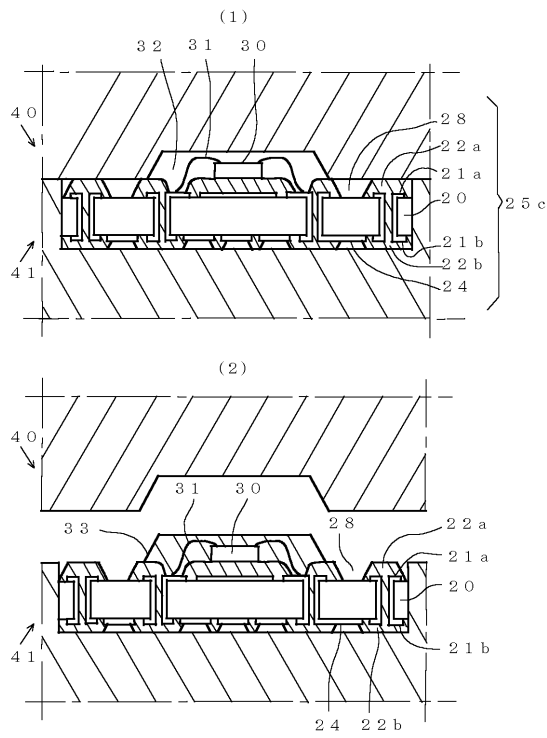
【図1】



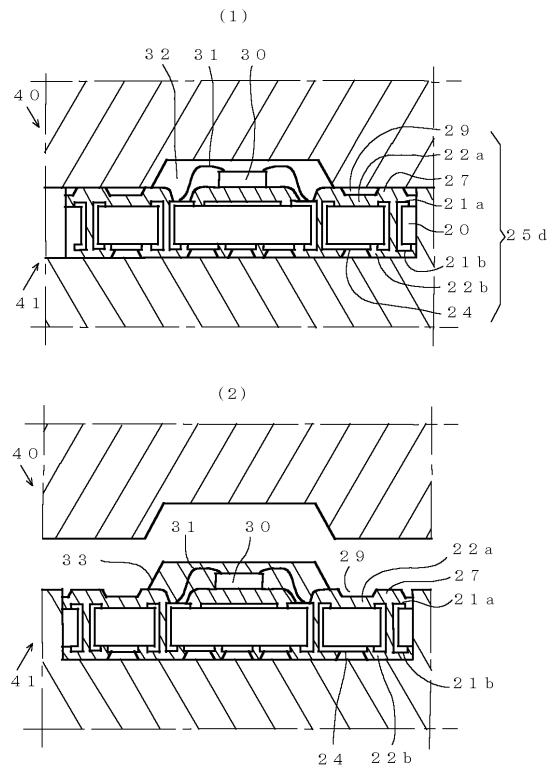
【図2】



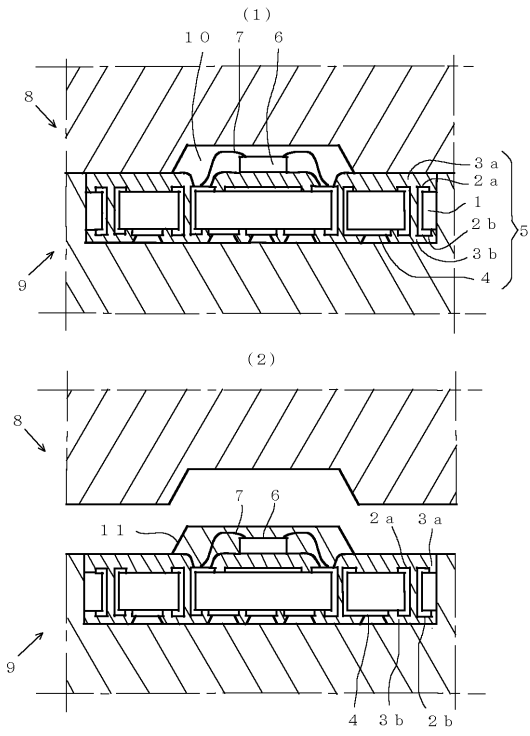
【図3】



【図4】



【図5】





## フロントページの続き

- (72)発明者 北田良二  
京都府京都市南区上鳥羽上調子町5番地 トーワ株式会社 内
- (72)発明者 宮川茂  
京都府京都市南区上鳥羽上調子町5番地 トーワ株式会社 内
- (72)発明者 家村浩文  
京都府京都市南区上鳥羽上調子町5番地 トーワ株式会社 内

審査官 宮本 靖史

- (56)参考文献 特開平07-111299(JP,A)  
特開平07-081284(JP,A)  
特開平01-165495(JP,A)  
特開平10-270605(JP,A)  
特開平09-055579(JP,A)  
特開昭61-198656(JP,A)  
特開平11-260954(JP,A)  
特開平04-116995(JP,A)  
特開平05-183070(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/56