



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0070618
(43) 공개일자 2014년06월10일

- (51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) H01L 25/18 (2006.01)
H01L 23/16 (2006.01)
- (21) 출원번호 10-2014-7010683
- (22) 출원일자(국제) 2011년10월31일
심사청구일자 2014년04월22일
- (85) 번역문제출일자 2014년04월22일
- (86) 국제출원번호 PCT/US2011/058598
- (87) 국제공개번호 WO 2013/066294
국제공개일자 2013년05월10일

- (71) 출원인
인텔 코오퍼레이션
미합중국 캘리포니아 95052 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자
테, 웡 홍
미국 85006 아리조나주 피닉스 에이퍼티. 36 이스트 포트랜드 스트리트 727
구제, 존 에스.
미국 85248 아리조나주 찬들러 웨스트 비치너트 디알. 805
종, 산
미국 85249 아리조나주 찬들러 이스트 글래셔 피엘. 1856
- (74) 대리인
백만기, 양영준

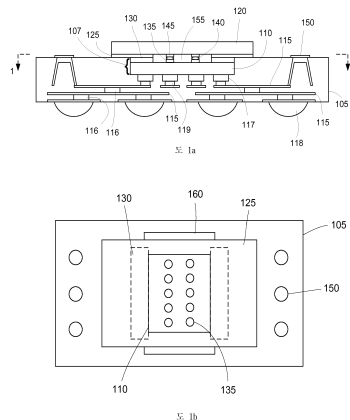
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 멀티 다이 패키지 구조들

(57) 요약

집적 회로 칩들을 패키징하는 패키지 어셈블리들 및 방법들이 설명된다. 개시된 패키지 어셈블리들은 스페이서들 및 IC 칩들을 포함하는 리세스된 영역들을 갖는다. 예를 들어 3차원(3D) 패키징(또는 시스템 패키지(SiP) 또는 멀티 칩 모듈들), 시스템 온 칩 3D 패키징, 및 하이브리드 3D 본딩을 가능하게 하는 아키텍처 구조들이 제공된다. 본 발명의 실시예들은 예를 들어 로직 대 메모리, 메모리 대 메모리, 및 로직 대 로직 인터페이스 적층 어셈블리들을 생성하기 위해 사용될 수 있다.

대표도



특허청구의 범위

청구항 1

표면을 갖는 패키징 기관 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,
 상기 패키징 기관의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이는 표면을 가짐 - ,
 상기 제1 집적 회로 다이의 표면 상에 배치되는 스페이서 층 - 상기 스페이서 층은 상기 제1 집적 회로 다이에
 근접한 제1 표면 및 상기 제1 표면에 대향하는 제2 표면을 가짐 - , 및
 코어리스 패키징 기관의 표면에 본딩되고 상기 스페이서 층의 제2 표면에 본딩되는 제2 집적 회로 다이
 를 포함하는 장치.

청구항 2

제1항에 있어서, 상기 패키징 기관은 코어리스 패키징 기관인 장치.

청구항 3

제1항에 있어서, 상기 패키징 기관은 유전체 및 전도 재료들의 빌드업 층들로 구성되는 장치.

청구항 4

제1항에 있어서, 상기 제2 집적 회로 다이는 에폭시 재료, 금속의 영역, 실리콘의 영역, 이산화 실리콘의 영역,
 또는 질화 실리콘의 영역과 본딩되는 장치.

청구항 5

제1항에 있어서, 상기 제1 다이는 상기 제1 다이의 표면으로부터 상기 제2 다이의 표면으로 연장되는 전도 영역
 들을 통해 상기 제2 다이에 전기적으로 결합되는 장치.

청구항 6

제1항에 있어서, 상기 스페이서 층은 폴리머 및 무기 재료의 복합물, 이산화 실리콘, 질화 실리콘, 스핀 온 글
 라스, 및 세라믹으로 구성되는 그룹으로부터 선택된 유전체 재료로 구성되는 장치.

청구항 7

표면을 갖는 패키징 기관 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,
 상기 패키징 기관의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이는 표면을 가짐 - ,
 상기 제1 집적 회로 다이의 표면 상에 배치되는 스페이서 층 - 상기 스페이서 층은 상기 제1 집적 회로 다이에
 근접한 제1 표면 및 상기 제1 표면에 대향하는 제2 표면을 가짐 - ,
 코어리스 패키징 기관의 표면 상에 배치되고 상기 스페이서 층의 제2 표면 상에 배치되는 유전체 층, 및
 상기 유전체 층 상에 배치되는 제2 집적 회로 다이
 를 포함하는 장치.

청구항 8

제7항에 있어서, 상기 패키징 기관은 코어리스 패키징 기관인 장치.

청구항 9

제7항에 있어서, 상기 패키징 기관은 유전체 및 전도 재료들의 빌드업 층들로 구성되는 장치.

청구항 10

제7항에 있어서, 상기 스페이서 층은 폴리머 및 무기 재료의 복합물, 이산화 실리콘, 질화 실리콘, 스피너 온 글라스, 및 세라믹으로 구성되는 그룹으로부터 선택된 유전체 재료로 구성되는 장치.

청구항 11

표면을 갖는 패키징 기관 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,

상기 패키징 기관의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이의 표면은 가짐 - ,

코어리스 패키징의 표면 상에 배치되는 상승된 패턴 층, 및

상기 상승된 패턴 층의 내부 표면 및 상기 제1 집적 회로 다이의 제1 표면에 면하는(face) 제2 집적 회로 다이의 표면에 의해 경계를 이루는(boardered) 캐비티를 생성하는 상기 상승된 패턴 층 상에 배치되는 상기 제2 집적 회로 다이

를 포함하는 장치.

청구항 12

제11항에 있어서, 상기 제1 집적 회로 다이의 또한 상기 제1 집적 회로 다이의 표면 상에 배치되는 스페이서 층을 포함하는 장치.

청구항 13

제11항에 있어서, 상기 패키징 기관은 코어리스 패키징 기관인 장치.

청구항 14

제11항에 있어서, 상기 패키징 기관은 유전체 및 전도 재료들의 빌드업 층들로 구성되는 장치.

청구항 15

제11항에 있어서, 상기 캐비티는 기밀 시일(airtight seal)을 갖는 영역인 장치.

청구항 16

제11항에 있어서, 상기 제1 다이의 상기 패키징 기관에 완전히 내장되는 장치.

청구항 17

제11항에 있어서, 상기 캐비티는 패키지 기관에 전기적으로 결합되는 센서들 또는 액추에이터들을 포함하는 장치.

청구항 18

제17항에 있어서, 상기 센서들 또는 액추에이터들은 멤스(mems) RF 스위치들, 캔틸레버 기반 센서들, 가속도계들, 자이로스코프들, 발진기들, 압전저항 센서들(piezoresistive sensors), 패시브들, RFID 시스템들, 안테나들, 및 또는 GPS 시스템들로 구성되는 그룹으로부터 선택되는 장치.

청구항 19

제1 측면을 갖는 메인보드 어셈블리 - 상기 메인보드 어셈블리는 그 위에 배치되는 패키지 어셈블리를 갖고, 상기 패키지 어셈블리는,

표면을 갖는 패키징 기관 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,

상기 패키징 기관의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이의 표면은 가짐 - ,

상기 제1 집적 회로 다이의 표면 상에 배치되는 스페이서 층 - 상기 스페이서 층은 상기 제1 집적 회로 다이에 근접한 제1 표면 및 상기 제1 표면에 대향하는 제2 표면을 가짐 - , 및

코어리스 패키징 기관의 표면에 본딩되고 상기 스페이서 층의 제2 표면에 본딩되는 제2 집적 회로 다이를 포함함 -

를 포함하는 장치.

청구항 20

제19항에 있어서, 상기 패키징 기판은 코어리스 패키징 기판인 장치.

청구항 21

제19항에 있어서, 상기 메인보드 어셈블리는 제2 측면을 가지며, 상기 메인보드 어셈블리는 상기 제1 또는 제2 측면 상에 배치되는 하나 이상의 부가 장치들을 갖고, 상기 하나 이상의 부가 장치들은 처리 장치들, 메모리 장치들, 신호 처리 장치들, 무선 통신 장치들, 그래픽 컨트롤러들, 입력/출력 컨트롤러들, 오디오 프로세서들, 전력 전달 구성요소들, 및 전력 관리 구성요소들로 구성되는 그룹으로부터 선택되는 장치.

청구항 22

제1 측면을 갖는 메인보드 어셈블리 - 상기 메인보드 어셈블리는 상기 제1 측면 상에 배치되는 패키지 어셈블리를 갖고, 상기 패키지 어셈블리는,

표면을 갖는 패키징 기판 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,

상기 패키징 기판의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이의 표면은 가짐 - ,

상기 제1 집적 회로 다이의 표면 상에 배치되는 스페이서 층 - 상기 스페이서 층은 상기 제1 집적 회로 다이에 근접한 제1 표면 및 상기 제1 표면에 대향하는 제2 표면을 가짐 - ,

코어리스 패키징 기판의 표면 상에 배치되고 상기 스페이서 층의 제2 표면 상에 배치되는 유전체 층, 및

상기 유전체 층 상에 배치되는 제2 집적 회로 다이를 포함함 -

를 포함하는 장치.

청구항 23

제22항에 있어서, 상기 패키징 기판은 코어리스 패키징 기판인 장치.

청구항 24

제22항에 있어서, 상기 메인보드 어셈블리는 제2 측면을 가지며, 상기 메인보드 어셈블리는 상기 제1 또는 제2 측면 상에 배치되는 하나 이상의 부가 장치들을 갖고, 상기 하나 이상의 부가 장치들은 처리 장치들, 메모리 장치들, 신호 처리 장치들, 무선 통신 장치들, 그래픽 컨트롤러들, 입력/출력 컨트롤러들, 오디오 프로세서들, 전력 전달 구성요소들, 및 전력 관리 구성요소들로 구성되는 그룹으로부터 선택되는 장치.

청구항 25

제1 측면을 갖는 메인보드 어셈블리 - 상기 메인보드 어셈블리는 상기 제1 측면 상에 배치되는 패키지 어셈블리를 갖고, 상기 패키지 어셈블리는,

표면을 갖는 패키징 기판 - 상기 표면은 그 안에 형성된 리세스를 가짐 - ,

상기 패키징 기판의 리세스에 배치되는 제1 집적 회로 다이 - 상기 제1 집적 회로 다이의 표면은 가짐 - ,

코어리스 패키징의 표면 상에 배치되는 상승된 패턴 층, 및

상기 상승된 패턴 층의 내부 표면 및 상기 제1 집적 회로 다이의 제1 표면에 면하는 제2 집적 회로 다이의 표면에 의해 경계를 이루는 캐비티를 생성하는 상기 상승된 패턴 층 상에 배치되는 상기 제2 집적 회로 다이를 포함함 -

를 포함하는 장치.

청구항 26

제25항에 있어서, 상기 패키징 기판은 코어리스 패키징 기판인 장치.

청구항 27

제25항에 있어서, 상기 메인보드 어셈블리는 제2 측면을 가지며, 상기 메인보드 어셈블리는 상기 제1 또는 제2 측면 상에 배치되는 하나 이상의 부가 장치들을 갖고, 상기 하나 이상의 부가 장치들은 처리 장치들, 메모리 장치들, 신호 처리 장치들, 무선 통신 장치들, 그래픽 컨트롤러들, 입력/출력 컨트롤러들, 오디오 프로세서들, 전력 전달 구성요소들, 및 전력 관리 구성요소들로 구성되는 그룹으로부터 선택되는 장치.

명세서

기술분야

[0001] 본 발명의 실시예들은 일반적으로 반도체 장치들을 위한 패키지들, 코어리스 패키지들, 반도체 패키징을 위한 방법들, 및 반도체 장치들의 3차원 적층에 관한 것이다.

배경기술

[0002] IC(integrated circuit) 칩 성능, 전력 관리, 및 크기 개선들은 최종 IC 칩들의 패키징 및 어셈블리에 사용되는 재료들 및 기술들을 점점 더 요구한다. 일반적으로, 집적 회로 칩은 또한 마이크로칩, 실리콘 칩, 반도체 칩, 또는 칩으로 공지되어 있다. IC 칩들은 컴퓨터들, 자동차들, 텔레비전들, CD 플레이어들, 스마트폰들, 및 휴대전화들 내의 마이크로프로세서들과 같은 다양한 공통 장치들에서 발견된다. 복수의 IC 칩들은 반도체 웨이퍼 (예를 들어 300 mm의 직경을 갖는 얇은 실리콘 디스크) 상에 형성될 수 있고 처리 후에 웨이퍼는 개별 IC 칩들 (또는 다이들)을 생성하기 위해 별도로 다이싱된다. 제조 후에, IC 칩은 전형적으로 IC 칩이 있는 장치에 의해 제공되는 동작 환경을 고려하는 방식으로 패키징된다. 일반적으로, IC 칩을 위한 패키지는 손상으로부터 칩을 보호하고, IC 칩을 전원 장치들 및 다른 전자 구성요소들(예를 들어 입력/출력 기능들을 수행함)에 연결하는 전자 연결들을 공급한다. 반도체 칩들은 더 높은 대역폭 성능의 경향이 있고 사용자들은 더 작은 폼 팩터들을 소망하므로, 반도체 칩들의 패키징은 크기, 열 관리, 전력 전달, 인터커넥트 밀도, 및 통합 도전들을 충족시켜야 한다.

도면의 간단한 설명

- [0003] 도 1a-도 1b는 멀티 IC 칩 패키지 구조의 단면도들을 예시하는 개략도들이다.
- 도 2a-도 2b는 IC 칩들을 포함하는 부가 패키지 구조의 단면도들을 예시한다.
- 도 3a-도 3b는 IC 칩들을 포함하는 부가 패키지 구조의 단면도들을 예시한다.
- 도 4a-도 4e는 멀티 IC 칩 패키지 구조들을 제조하는 방법들을 예시한다.
- 도 5는 멀티 IC 칩 패키지 구조들을 포함하는 메인보드 어셈블리를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0004] 본 발명의 실시예들은 집적 회로 칩들을 패키징하는 패키지 구조들 및 방법을 제공한다. 스페이서들 및 IC 칩들을 포함하는 리세스된 영역들을 갖는 패키지 어셈블리들이 제공된다. 예를 들어 3차원(3D) 패키징(또는 시스템 패키지(SiP) 또는 멀티 칩 모듈들), 시스템 온 칩 3D 패키징, 및 하이브리드 3D 본딩을 가능하게 하는 상이한 아키텍처 구조들이 제공된다. 본 발명의 실시예들은 예를 들어 로직 대 메모리, 메모리 대 메모리, 및 로직 대 로직 인터페이스 적층 어셈블리들을 생성하기 위해 사용될 수 있다. 본 발명의 실시예들은 예를 들어 고도의 3D 시스템 통합을 제공하는 동안 3D 관통 실리콘 비아(TSV) 패키징 기술들을 가능하게 하고 낮은 z-높이 폼 팩터 패키지들을 제공한다.

[0005] 도 1a-도 1b는 3D 적층 IC 칩들(또는 다이들)을 집적한 패키지 구조의 도면들이다. 도 1b는 도 1a의 1-1에 따른 도면이다. 도 1a에서, 패키지 구조는 제1 IC 다이(110)가 수용되는(housed) 리세스(107)를 갖는 패키지 기판(105)으로 구성된다. 제1 IC 다이(110)는 패키지 기판(105) 내에 리세스된다. 본 발명의 실시예들에서, 기판(105)은 코어리스 기판 및 또는 범프레스 빌드업 레이어(BBUL) 기판이고 전도 라인들(트렌치들)(115) 및 또는 비아들(116)을 포함한다. 다른 기판(105) 설계들은 전도 라인들(115) 및 또는 비아들(116)을 포함하고, 코어들을 포함하는 기판들과 같은 패키지 기판(105)에 가능하다. 전도 영역들(117)은 IC 다이(110)를 패키지 기판(105)의 전도 라인들(115) 및 비아들(116)에 전기적으로 연결한다. 전도 영역들(117)은 예를 들어 구리 범프들

이다. 전도 라인들(115) 및 비아들(116)은 예시 목적들을 위해 간략한 패턴으로 도시되고 전도 라인들(115) 및 비아들(116)에 대한 다른 설계들 및 패턴들이 또한 가능하다. 외부 패키지 전기 커넥터들(118)은 패키지화된 IC 다이들(110 및 120)과 도 1a의 패키지 구조가 수용될 수 있는 장치 사이에 인터페이스를 제공한다. 외부 패키지 전기 커넥터들(118)은 예를 들어 구리 범프들, 솔더 볼 그리드 어레이들, 또는 솔더 범프들이다. 비아들(119)은 IC 다이(110)의 전도 영역들(117)을 패키지 기관(105)에 연결한다.

[0006] 제2 IC 다이(120)는 본딩 영역(125)을 통해 패키지 기관(105)에 본딩된다. 본딩 영역(125)은 제1 IC 다이(110)의 표면 상에 있는 후면 스페이서(130)로 인해 전형적인 3D 패키징 본딩 방식들보다 더 큰 영역을 갖는다. 본 발명의 실시예들에서, 본딩 영역(125)은 제2 IC 다이(120)가 제조 동안 패키지 구조에 본딩될 때 본딩 스톱 층으로서의 역할을 할 수 있다. 제2 IC 다이(120)는 복수의 IC 다이들일 수 있다. 후면 스페이서(130)는 예를 들어 폴리머/무기 복합물, 이산화 실리콘(silicon dioxide), 질화 실리콘(silicon nitride)과 같은 유전체 필름으로 구성되는 예를 들어 다이 후면 필름(dbf), 패시베이션 층, 스핀 온 글라스, 세라믹 박막, 및 또는 아지노모토 빌드업 필름(ABF)(미국 뉴저지주 포트리 소재의 Ajinomoto Fine-Techno Co, Inc.로부터 입수가능함)이다. 후면 스페이서(130)의 장점들은 조인트 스톱 층을 제공하기 때문에 개선된 본딩 조인트 제어 를 통해, 3D 구조들의 개선된 제조 용이성을 포함한다. 본딩 영역(125)은 예를 들어 필러 입자들을 갖거나 갖지 않는 에폭시 필름과 같은 접착제, 얇은 금속 영역, 접착제 본딩을 제공하는 실리콘, 이산화 실리콘, 또는 질화 실리콘으로 구성되는 얇은 영역, 언더필들, 비유동성 언더필들, 및 또는 다른 접착제 재료들로 구성된다. 제1 IC 다이(110) 상의 IC 다이 인터커넥트들(135)은 본딩 영역(140)을 통해 제2 IC 다이(120) 상의 IC 다이 인터커넥트들(145)에 본딩되고 본딩 영역(140)을 통해 전기 연결을 형성한다. IC 다이 인터커넥트들(135 및 145)은 예를 들어 IC 다이들(110 및 120)의 관통 실리콘 비아(TSV) 영역들과 연관된다. IC 다이 인터커넥트들(135 및 145)은 전도 패드들, 범프들, 필라들, 칼럼들, 핀들, 또는 다른 구조들일 수 있다. 본딩 영역(140)은 예를 들어 구리-구리 본딩된 영역, 솔더, 열 압축 본딩 솔더, 다이 전기 인터커넥트들(135 및 145)이 (서로에 본딩되는 것 없이) 서로 전기 접촉하는 영역, 또는 리플로우된 솔더 조인트이다. 선택적 외부 비아들(150)은 전기 연결들이 예를 들어 IC 다이들 사이에 형성되는 것을 허용한다.

[0007] 선택적 언더필 층(155)은 제1 IC 다이(110)와 제2 IC 다이(120) 사이의 공간을 충전한다. 언더필 층(155)은 예를 들어 필러 입자들을 갖거나 갖지 않는 에폭시, 또는 필러 입자들을 갖거나 갖지 않는 폴리머 또는 무기 재료를 포함할 수 있다. 도 1b를 참조하면, 제1 IC 다이(110)가 제2 IC 다이(120)에 본딩된 후에 언더필 층(155)(도 1a)이 패키지 구조에 추가되는 것을 허용하는 선택적 액세스 영역들(160)이 제공된다. 도 1b에서, 언더필 층(155)은 예시의 명확성을 위해 생략되었고 본딩 영역(125) 아래의 후면 스페이서(130)는 파선들로 도시된다. 후면 스페이서(130)는 처리의 용이성, 구성요소들 사이에 요구되는 기계적 보조 본딩의 양, IC 다이 폼 팩터, 및 또는 본딩 스톱 층에 요구되는 z-높이와 같은 인자들에 따라 상이한 크기일 수 있다. 제1 IC 칩(110)의 표면의 일부만이 도 1b에서 보여진다. 일반적으로, 언더필 층은 주변 조건들로부터 구성요소들 및 인터커넥트 영역들을 보호하고, 구성요소들 사이에 부가 접착을 제공하며, 열적으로 또는 기계적으로 유도된 응력들로 인한 고장으로부터 패키지 구조를 보호할 수 있다.

[0008] 라인들(115) 및 또는 비아들(116), 전도 영역들(117), 외부 패키지 전기 커넥터들(118), 및 비아들(119)을 포함하는 전기 인터커넥트들은 예를 들어 구리 또는 알루미늄과 같은 전도 재료를 포함하지만, 다른 전도 재료들이 또한 가능하다. 전기 연결 패드들(135 및 145)은 예를 들어 구리, 알루미늄, 은, 금, 텅스텐, 백금, 또는 그것의 혼합물들과 같은 금속과 같은 전도 재료를 포함한다. 본 발명의 일 실시예에서, 전기 인터커넥트들 중 하나 이상은 구리를 포함한다.

[0009] 도 2a-도 2b는 3D 적층 IC 칩들(또는 다이들)을 집적한 부가 패키지 구조의 도면들을 제공한다. 도 2b는 도 2a의 2-2에 따른 도면이다. 도 2a에서, 패키지 구조는 제1 IC 다이(210)가 수용되는 리세스(207)를 갖는 패키지 기관(205)으로 구성된다. 제1 IC 다이(210)는 패키지 기관(205) 내에 리세스될 수 있고 패키지 기관(205)에 완전히 또는 부분적으로 내장(embedded)될 수 있다. 본 발명의 실시예들에서, 기관(205)은 코어리스 기관 및 또는 범프레스 빌드업 레이어(BBUL) 기관이고 전도 라인들(트렌치들)(215) 및 또는 비아들(216)을 포함한다. 다른 기관(205) 설계들은 전도 라인들(215) 및 또는 비아들(216)을 포함하고, 예를 들어 코어를 갖는 기관들을 포함하는 패키지 기관(205)에 가능하다. 전도 영역들(217)은 IC 다이(210)를 패키지 기관(205)의 전도 라인들(215) 및 비아들(216)에 전기적으로 연결한다. 전도 영역들(217)은 예를 들어 구리 범프들이다. 전도 라인들(215) 및 비아들(216)은 예시 목적들을 위해 간략한 패턴으로 도시되고 전도 라인들(215) 및 비아들(216)에 대한 다른 설계들 및 패턴들이 또한 가능하다. 외부 패키지 전기 커넥터들(218)은 패키지화된 IC 다이들(210 및 220)과 도 2a의 패키지 구조가 수용될 수 있는 장치 사이에 인터페이스를 제공한다. 외부 패키지 전기 커넥터

들(218)은 예를 들어 구리 범프들이다. 비아들(219)은 IC 다이(210)의 전도 영역들(217)을 패키지 기관(205)에 연결한다.

[0010] 제2 IC 다이(220)는 본딩 영역(225)을 통해 패키지 구조에 본딩된다. 본딩 영역(225)은 제1 IC 다이(210)의 표면 상에 있는 후면 스페이서(230) 및 상승된 스페이서(232)로 인해 전형적인 3D 패키징 본딩 방식들보다 더 큰 영역을 갖는다. 제2 IC 다이(220)는 복수의 IC 다이들일 수 있다. 후면 스페이서(230)는 예를 들어 폴리머/무기 복합물, 이산화 실리콘, 질화 실리콘과 같은 유전체 필름으로 구성되는 예를 들어 다이 후면 필름(dbf), 패시베이션 층, 스핀 온 글라스, 건식 필름 포토레지스트(DFR), 세라믹 박막, 및 또는 아지노모토 빌드업 필름(ABF)이다. 상승된 스페이서(232)는 예를 들어 질화 실리콘, 이산화 실리콘, 건식 필름 포토레지스트, 및 또는 ABF와 같은 재료로 구성된다. 후면 스페이서(230) 및 유전체 층(232)의 장점들은 조인트 스톱 층을 제공하기 때문에 개선된 본딩 조인트 제어를 통해 3D 구조들의 개선된 제조 용이성을 제공한다. 본딩 영역(225)은 예를 들어 필러 입자들을 갖거나 갖지 않는 에폭시 필름과 같은 접착제, 얇은 금속 영역, 실리콘, 이산화 실리콘, 또는 질화 실리콘으로 구성되는 얇은 영역, 언더필들, 비유동성 언더필들, 및 또는 다른 접착제 재료들로 구성된다. 제1 IC 다이(210) 상의 IC 다이 인터커넥트들(235)은 본딩 영역(240)을 통해 제2 IC 다이(220) 상의 IC 다이 인터커넥트들(245)에 본딩되고 본딩 영역(240)을 통해 전기 연결을 형성한다. IC 다이 인터커넥트들(235 및 245)은 예를 들어 IC 다이들(210 및 220)의 관통 실리콘 비아(TSV) 영역들과 연관된다. IC 다이 인터커넥트들(235 및 245)은 전도 패드들, 범프들, 필라들, 칼럼들, 또는 다른 구조들일 수 있다. 본딩 영역(240)은 예를 들어 구리-구리 본딩된 영역, 솔더, 열 압축 본딩 솔더, 또는 다이 전기 인터커넥트들(235 및 245)이 (본딩 없이) 서로 전기 접촉하는 영역, 또는 리플로우된 솔더 조인트이다. 선택적 외부 비아들(250)은 전기 연결들이 예를 들어 IC 다이들 사이에 형성되는 것을 허용한다.

[0011] 선택적 언더필 층(255)은 제1 IC 다이(210)와 제2 IC 다이(220) 사이의 공간을 충전한다. 언더필 층(255)은 예를 들어 필러 입자들을 갖거나 갖지 않는 에폭시, 또는 필러 입자들을 갖거나 갖지 않는 폴리머 또는 무기 재료와 같은 유동가능 유전체 재료를 포함할 수 있다. 도 2b를 참조하면, 제1 IC 다이(210)가 제2 IC 다이(220)에 본딩된 후에 언더필 층(255)(도 2a)이 패키지 구조에 추가되는 것을 허용하는 선택적 액세스 영역들(260)이 제공된다. 액세스 영역들(260)은 상승된 스페이서(232) 내의 리세스된 영역들이다. 도 2b에서, 언더필 층(255)은 예시 목적들을 위해 생략되었고 상승된 스페이서(232) 아래의 후면 스페이서(230)는 파선들로 도시된다. 후면 스페이서(230)는 처리의 용이성, 구성 요소들 사이에 요구되는 기계적 보조 본딩의 양, IC 다이 폼 팩터, 및 또는 본딩 스톱 층에 요구되는 z-높이와 같은 인자들에 따라 상이한 크기들일 수 있다. 제1 IC 칩(210)의 표면의 일부만이 도 2b에서 보여진다.

[0012] 라인들(215) 및 또는 비아들(216), 전도 영역들(217), 외부 패키지 전기 커넥터들(218), 및 비아들(219)을 포함하는 전기 인터커넥트들은 예를 들어 구리 또는 알루미늄과 같은 전도 재료를 포함하지만, 다른 전도 재료들이 또한 가능하다. 전기 연결 패드들(235 및 245)은 예를 들어 구리, 알루미늄, 은, 금, 텅스텐, 백금, 또는 그것의 혼합물들과 같은 금속과 같은 전도 재료를 포함한다. 본 발명의 일 실시예에서, 전기 인터커넥트들 중 하나 이상은 구리를 포함한다.

[0013] 도 3a-도 3b는 3D 적층 IC 칩들(또는 다이들)을 집적한 부가 패키지 구조의 도면들을 제공한다. 도 3b는 도 3a의 3-3에 따른 도면이다. 도 3a에서, 패키지 구조는 제1 IC 다이(310)가 수용되는 리세스(307)를 갖는 패키지 기관(305)으로 구성된다. 제1 IC 다이(310)는 패키지 기관(305) 내에 리세스되고 패키지 기관(305)에 완전히 또는 부분적으로 내장될 수 있다. 제1 IC 다이(310)는 도 3a에서 완전히 내장된 것으로 도시된다. 본 발명의 실시예들에서, 기관(305)은 코어리스 기관 및 또는 범프레스 빌드업 레이어(BBUL) 기관이고 전도 라인들(트렌치들)(315) 및 또는 비아들(316)을 포함한다. 다른 기관(305) 설계들은 전도 라인들(315) 및 또는 비아들(316)을 포함하는 패키지 기관(305)에 가능하다. 전도 영역들(317)은 IC 다이(310)의 일측면 상에 있고 IC 다이(310)를 패키지 기관(305)의 전도 라인들(315) 및 비아들(316)에 전기적으로 연결한다. 전도 영역들(317)은 예를 들어 구리 범프들이다. 전도 라인들(315) 및 비아들(316)은 예시 목적들을 위해 간략한 패턴으로 도시되고 전도 라인들(315) 및 비아들(316)에 대한 다른 설계들 및 패턴들이 또한 가능하다. 외부 패키지 전기 커넥터들(318)은 패키징된 IC 다이들(310 및 320)과 도 3a의 패키지 구조가 수용될 수 있는 장치 사이에 인터페이스를 제공한다. 외부 패키지 전기 커넥터들(318)은 예를 들어 구리 범프들 또는 솔더 볼 그리드 어레이들이다. 비아들(319)은 IC 다이(310)의 전도 영역들(317)을 패키지 기관(305)에 연결한다.

[0014] 제2 IC 다이(320)는 본딩 영역(325)을 통해 패키지 구조에 본딩된다. 본딩 영역(325)은 패키지 기관(305)의 표면 상의 상승된 패턴화 유전체 층(332)과 접촉한다. 상승된 스페이서(332)는 예를 들어 질화 실리콘, 이산화 실리콘, 건식 필름 포토레지스트(DFR), 및 또는 ABF와 같은 유전체 재료로 구성된다. 제2 IC 다이(320)는 복수

의 IC 다이들일 수 있다. 본딩 영역(325)은 예를 들어 필러 입자들을 갖거나 갖지 않는 에폭시 필름과 같은 접착제 재료, 얇은 금속 영역, 실리콘, 이산화 실리콘, 또는 질화 실리콘으로 구성되는 얇은 영역, 언더필들, 비유동성 언더필들, 및 또는 다른 접착제 재료들로 구성된다. 후면 스페이서(330)는 IC 다이(310)의 측면 상에 있고 예를 들어 폴리머/무기 복합물로 구성되는 다이 후면 필름(dbf), 예를 들어 SiO₂ 및 또는 질화 실리콘과 같은 유전체 필름, 패시베이션 층, 스핀 온 글라스, 및 또는 세라믹 박막으로 구성된다. 일반적으로, 후면 스페이서(330)는 처리의 용이성, 구성 요소들 사이에 요구되는 기계적 보조 본딩의 양, IC 다이 폼 팩터, 및 또는 본딩 스톱 층에 요구되는 z-높이와 같은 인자들에 따라 상이한 크기들일 수 있다. 대체 실시예들에서, 후면 스페이서(330)는 구조에 존재하지 않는다. 제1 IC 다이(310) 상의 IC 다이 인터커넥트들(335)은 제2 IC 다이(320) 상의 IC 다이 인터커넥트들(345)에 본딩되고 본딩 영역(340)을 통해 전기 연결을 형성한다. IC 다이 인터커넥트들(335 및 345)은 예를 들어 IC 다이들(310 및 320)의 관통 실리콘 비아(TSV) 영역들과 연관된다. IC 다이 인터커넥트들(335 및 345)은 전도 패드들, 범프들, 필라들, 칼럼들, 또는 다른 구조들일 수 있다. IC 다이 인터커넥트들(335 및 345) 사이의 본딩은 예를 들어 구리-구리 본딩(예를 들어, 열 압축 본딩), 솔더, 열 압축 본딩 솔더, 본딩되지 않은 전기 접촉 영역, 또는 리플로우된 솔더 조인트이다. 선택적 외부 비아들(350)은 전기 연결들이 예를 들어 IC 다이들 사이에 형성되는 것을 허용한다.

[0015] 패키지 기관(305)의 표면 상의 상승된 스페이서(332)는 제1 IC 다이(310)와 제2 IC 다이(320) 사이에 캐비티(355)를 생성한다. 선택적으로, 하나 이상의 장치들(360)은 캐비티(355)에 위치된다. 본 발명의 실시예들에서, 장치들(360)은 예를 들어 맵스(membs) RF 스위치들, 캔틸레버 기반 센서들, 가속도계들, 자이로스 코프들, 발전기들, 압전저항 센서들(pizeoresistive sensors), 패시브들, RFID 시스템들, 안테나들, 및 또는 GPS 시스템들과 같은 센서들 및 또는 액추에이터들이다. 선택적으로, 캐비티(355)는 가스, 불활성 가스, 또는 다른 필러 재료를 포함한다. 캐비티(355)는 선택적으로 불활성, 비전도, 및 또는 제어된 분위기를 갖는 밀봉된 영역(기밀 시일(airtight seal)을 가짐)이다. 유리하게, 불활성 및 또는 제어된 분위기를 제공하는 능력은 최적 능력들 및 기능들이 제어된 주변 환경에 의존하는 요소들의 통합을 3D 패키지에 허용한다.

[0016] 도 3b에서, 복수의 장치들(360)이 도시된다. 본 발명의 실시예들에서, 겨우 영개의 장치들, 1개의 장치, 2개의 장치들, 3개의 장치들 등이 있을 수 있다. 장치들(360)에 대한 전기 연결들(도시되지 않음)은 패키지 기관(305)을 통해 제공된다. 제1 IC 칩(310)의 표면의 일부만이 도 3b에서 보여진다. 대체 실시예들에서, 패키지 구조는 도 1b 및 도 2b의 선택적 액세스 영역들(160 및 260)과 각각 유사한 액세스 영역들(도시되지 않음)을 포함한다. 선택적 언더필 층은 예를 들어 선택적 액세스 영역들(도시되지 않음)을 통해 캐비티(355)로 유동될 수 있다. 유사하게, 불활성 분위기는 캐비티(355) 및 캐비티(355)를 둘러싸기 위해 밀봉되는 선택적 액세스 영역들로 주입될 수 있다.

[0017] 라인들(315) 및 또는 비아들(316), 전도 영역들(317), 외부 패키지 전기 커넥터들(318), 및 비아들(319)을 포함하는 전기 인터커넥트들은 예를 들어 구리 또는 알루미늄과 같은 전도 재료를 포함하지만, 다른 전도 재료들이 또한 가능하다. 전기 연결 패드들(335 및 345)은 예를 들어 구리, 알루미늄, 은, 금, 텅스텐, 백금, 또는 그것의 혼합물들과 같은 금속과 같은 전도 재료를 포함한다. 본 발명의 일 실시예에서, 전도 영역들 중 하나 이상은 구리를 포함한다.

[0018] 대체 실시예들에서, 어떤 장치들(360)도 존재하지 않으며/않거나 후면 스페이서(330)가 존재하지 않는다. 부가 대체 실시예들에서, 상승된 스페이서(332)는 제1 IC 다이(310)의 새도우 내에 그리고 제1 IC 다이(310)의 표면 상에 위치될 수 있다. 상승된 스페이서(332)가 제1 IC 다이의 새도우 내에(그리고 제1 IC 다이의 표면 상에) 위치되는 일 실시예가 도 4e(iv)에 도시된다. 추가의 부가 대체 실시예들에서, 상승된 스페이서(332)는 제1 IC 다이(310)의 표면 및 기관(305)의 표면 상 둘 다에 위치될 수 있다. 상승된 스페이서가 제1 IC 다이의 표면 및 기관의 표면 상 둘 다에 위치되는 일 실시예가 도 4c(v)에 도시된다.

[0019] 일반적으로 그리고 본 명세서의 실시예들 중 어느 하나에 대해, 제1 IC 다이는 제2 IC 다이보다 임의의 치수들에 대해 더 작거나 더 클 수 있다. 후면 스페이서들의 위치(들)은 적절히 조정될 수 있다.

[0020] 도 4a-도 4e는 본 발명의 실시예들에 따른 패키지 구조들을 제조하는 방법들을 설명한다. 물론, 다른 방법들이 가능하다. 도 4a에서, 빌드업 층 프로세스는 구조(i)/A로부터 사용되었다. 구조(i)/A는 패키지 기관들(410)에 내장되는 2개의 제1 IC 다이들(405)을 포함한다. 패키지 기관들(410) 내의 라인들 및 비아들은 존재하지만 도시되지 않는다. 2개의 패널들(패키지 기관들(410) 및 제1 IC 다이들(405)을 포함함)은 (분리 층(411)에서) 분리되고 패키지 기관(410)이 구축되는 빌드 기관(415)은 제거되어 구조(ii)/A(구조(i)/A의 2분의 1임)를 산출한다. 제1 IC 다이(405)는 표면 상에 다이 후면 필름과 같은 유전체 후면 스페이서(420)를 포함한다. 후면 스페

이서(420)는 예를 들어 폴리머/무기 복합물로 구성되는 다이 후면 필름(dbf), 예를 들어 이산화 실리콘 및 또는 질화 실리콘과 같은 유전체 필름, 패시베이션 층, 스핀 온 글라스, 및 또는 세라믹 박막이다. 포토레지스트 층(425)(또는 DFR)은 패키지 기판(410)의 표면에 피착(deposit)되고 패턴화되어 구조(iii)/A를 산출한다. IC 다이(405) 상의 유전체 층(420)은 그것이 노출되는 곳에서 예를 들어 플라즈마 에치 프로세스 또는 용매 기반 제거 프로세스에 의해 에칭되어, IC 다이 인터커넥트들(424)을 노출시켜 구조(iv)/A를 산출한다. 용매 기반 제거 절차는 용매로서 예를 들어 아크릴 기반 DBF 및 PGMEA(2-(1-메톡실)프로필 아세테이트) 또는 TMAH(tetramethylammonium hydroxide)와 함께 사용될 수 있다. IC 다이(405) 상에 남는 유전체 층(420)의 양은 IC 다이 인터커넥트들(424)을 노출시키도록 충분히 제거된 후에 선택적이고 선택되는 값들은 처리의 용이성, 요구되는 기계적 보조 본딩의 양, 및 또는 본딩 스톱 층에 요구되는 z-높이와 같은 고려 사항들에 의존할 수 있다. 그 다음, 구조(iv)/A는 포토레지스트 층(425)을 제거하고, 선택적 접착제(430)를 선택적으로 피착하고, 인터커넥트 영역(444)을 함께 생성하는 제1 IC 다이(405) 및 제2 IC 다이(440)의 인터커넥트들을 본딩함으로써 3D 적층 패키지 구조(v)/A를 제조하기 위해 사용될 수 있다. 대체 실시예들에서 제2 IC 다이(440)와 패키지 기판(410)/ 유전체 층(420) 사이의 본드는 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드일 수 있다. 이러한 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드는 본드를 형성하는 재료의 층이 본딩될 양 표면들 상에 존재하는 퓨전 본딩 프로세스를 통해 형성될 수 있다. 제1 IC 다이(405)와 제2 IC 다이(440) 사이의(인터커넥트 영역(444) 내의) 인터커넥트 본드는 예를 들어 열 압축 본딩 또는 제약된 리플로우에 의해 형성된다. 그 다음, 선택적 언더필 층은 캐비티(445)로 유동될 수 있다.

[0021] 도 4b에서, 구조(i)/B는 예를 들어 패턴화된 포토레지스트 층(425)을 제거하는 단계를 포함하는 도 4a 구조들(i)-(iv)의 방법을 사용하여 제조된다. 구조(i)/B에서, 패키지 기판(450)은 표면 상에 다이 후면 필름과 같은 유전체 층(460)을 갖는 제1 IC 다이(455)를 수용한다. 표면 상의 유전체 층(460)은 부분적으로 제거되어 제1 IC 다이 인터커넥트들(462)을 노출시킨다. 상승된 스페이서(465)는 패키지 기판(450) 및 유전체 층(460)의 표면 상에 형성되어 구조(ii)/B를 산출한다. 상승된 스페이서(465)는 예를 들어 픽 앤 플레이스, 물리적 또는 화학적 피착, 디스펜스 및 큐어 기술들에 의해 형성될 수 있다. 그 다음, 구조(iii)/B는 구조(iii)/B 상에 선택적 접착제(470)를 선택적으로 피착하고 인터커넥트 영역(477)을 함께 생성하는 제1 IC 다이(455) 및 제2 IC 다이(475)의 인터커넥트들을 본딩함으로써 3D 적층 패키지 구조(iv)/B를 제조하기 위해 사용될 수 있다. 대체 실시예들에서, 제2 IC 다이(475)와 상승된 스페이서(465) 사이의 본드는 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드일 수 있다. 이러한 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드는 본드를 형성하는 재료의 층이 본딩될 양 표면들 상에 존재하는 퓨전 본딩 프로세스를 통해 형성될 수 있다. 제1 IC 다이(455)와 제2 IC 다이(475) 사이의(인터커넥트 영역(477) 내의) 인터커넥트 본드는 예를 들어 열 압축 본딩 또는 제약된 리플로우에 의해 형성된다. 그 다음, 선택적 언더필 층은 캐비티(479)로 유동될 수 있다.

[0022] 도 4c 구조(i)/C는 예를 들어 도 4a 구조들(i)-(ii)의 방법을 사용하여 제조된다. 구조(i)/C에서, 패키지 기판(451)은 제1 IC 다이(456)를 수용한다. 제1 IC 다이(456)는 표면 상에 다이 후면 필름과 같은 유전체 층(420)을 포함한다. 유전체 층(420)은 예를 들어 용매를 사용하여 제거되어 구조(ii)/C를 산출한다. 상승된 스페이서(466)는 구조(iii)/C를 산출하면서 피착된다. 상승된 스페이서(466)는 예를 들어 질화 실리콘, 이산화 실리콘, 건식 필름 포토레지스트(DFR), 및 또는 아지노모토 빌드업 필름(ABF)(미국 뉴저지주 포트리 소재의 Ajinomoto Fine-Techno Co, Inc.로부터 입수가가능함)과 같은 재료로 구성된다. 상승된 스페이서(466)는 선택적으로 에칭되어 구조(iv)/C를 산출한다. IC 다이 전기 인터커넥트들(463)은 다시 노출된다. 그 다음, 구조(iv)/C는 구조(iii)/C상에 선택적 접착제(471)를 선택적으로 피착하고 인터커넥트 영역(478)을 함께 생성하는 제1 IC 다이(456) 및 제2 IC 다이(476)의 인터커넥트들을 본딩함으로써 3D 적층 패키지 구조(v)/C를 제조하기 위해 사용될 수 있다. 대체 실시예들에서, 제2 IC 다이(476)와 상승된 스페이서(466) 사이의 본드는 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드일 수 있다. 이러한 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드는 본드를 형성하는 재료의 층이 본딩될 양 표면들 상에 존재하는 퓨전 본딩 프로세스를 통해 형성될 수 있다. 제1 IC 다이(456)와 제2 IC 다이(476) 사이의(인터커넥트 영역(478) 내의) 인터커넥트 본드는 예를 들어 열 압축 본딩 또는 제약된 리플로우에 의해 형성된다. 그 다음, 선택적 언더필 층은 캐비티(481)로 유동될 수 있다.

[0023] 도 4d에서, 구조(i)/D는 예를 들어 패턴화된 포토레지스트 층(425)을 제거하는 단계를 포함하는 도 4a 구조들(i)-(iv)의 방법을 사용하여 제조된다. 구조(i)/D에서, 패키지 기판(480)은 표면 상에 다이 후면 필름과 같은 유전체 층(485)을 갖는 제1 IC 다이(482)를 수용한다. 표면 상의 유전체 층(485)은 부분적으로 제거되어 제1 IC 다이 인터커넥트들(487)을 노출시킨다. 상승된 패턴화 상승된 층(489)은 패키지 기판(480)의 표면 상에 형

성되어 구조(ii)/D를 산출한다. 상승된 스페이서(489)는 예를 들어 미리 형성된 영역이 에폭시로 패키지 기판(480)에 부착되는 픽 앤 플레이스 프로세스에 의해, 상승된 스페이서(489)가 에폭시로 형성되는 선택적 에폭시 피착 프로세스에 의해, 스페이서 입자들을 디스펜스함으로써, 또는 유기 폴리머(UV 경화형 잉크와 같은)를 디스펜스함으로써 형성될 수 있다. 선택적으로, 하나 이상의 장치들(490)은 캐비티(498) 및 패키지 기판(480)으로 형성되는 전기 인터커넥션들 내에 배치된다. 장치들(490)은 예를 들어 멤스 RF 스위치들, 캔틸레버 기반 센서들, 가속도계들, 자이로스코프들, 발진기들, 압전저항 센서들, 패시브들, RFID 시스템들, 안테나들, 및 또는 GPS 시스템들과 같은 센서들 및 또는 액추에이터들일 수 있다. 구조(iii)/D는 선택적 접착제(492)를 상승된 스페이서(489) 상에 선택적으로 피착하고, 제2 IC 칩(495)을 부착하고, 인터커넥트 영역(497)을 함께 생성하는 제1 IC 다이(480) 및 제2 IC 다이(495)의 인터커넥트들을 본딩함으로써 형성된다. 대체 실시예들에서, 제2 IC 다이(495)와 상승된 스페이서(489) 사이의 본드는 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드일 수 있다. 이러한 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드는 본드를 형성하는 재료의 층이 본딩될 양 표면들 상에 존재하는 퓨전 본딩 프로세스를 통해 형성될 수 있다. 제1 IC 다이(480)와 제2 IC 다이(495) 사이의(인터커넥트 영역(497) 내의) 인터커넥트 본드는 예를 들어 열 압축 본딩 또는 제약된 리플로우 프로세스에 의해 형성된다. 선택적으로, 캐비티(498)는 가스, 불활성 가스, 또는 다른 필러 재료를 포함한다. 캐비티(498)는 선택적으로 불활성 및 또는 제어된 분위기를 갖는 밀봉된 영역이다. 대체 실시예들에서, 언더필 층은 예를 들어 밀봉된 및 3D 본딩된 구조로 유도되는 마이크로채널들의 형성을 통해 또는 도 1b 및 도 2b의 선택적 액세스 영역들(160 및 260)과 같은 영역들을 통해 각각 캐비티(498)로 유동될 수 있다.

[0024]

도 4e 구조(i)/E는 예를 들어 도 4a 구조들(i)-(ii)의 방법을 사용하여 제조된다. 구조(i)/E에서, 패키지 기판(500)은 제1 IC 다이(510)를 수용한다. 제1 IC 다이(510)는 표면 상에 다이 후면 필름과 같은 유전체 층(515)을 포함한다. 유전체 층(515)은 예를 들어 용매 또는 플라즈마 애싱 프로세스를 사용함으로써 제거되어 구조(ii)/E를 산출한다. 유전체 층(515)이 제거된 후에, IC 다이 인터커넥트들(520)이 노출된다. 상승된 패턴화 유전체 층(525)이 피착되어 구조(iii)/E를 산출한다. 상승된 스페이서(525)는 예를 들어 질화 실리콘, 이산화 실리콘, 건식 필름 포토레지스트(DFR), 및 또는 ABF와 같은 유전체 재료로 구성된다. 상승된 패턴 층(525)은 예를 들어 미리 형성된 영역이 에폭시로 패키지 기판(500)에 부착되는 픽 앤 플레이스 프로세스에 의해, 상승된 패턴 층(525)이 에폭시인 선택적 에폭시 피착 프로세스에 의해 형성되거나, 스페이서 입자들을 디스펜스하거나, 유기 폴리머(UV 경화형 잉크와 같은)를 디스펜스하는 프로세스에 의해 형성될 수 있다. 이러한 실시예에서, 상승된 패턴화 층(525)은 패키지 기판(500) 내에 리세스되는 제1 IC 다이(510)의 새도우 내부에 형성된다. 대체 실시예들에서, 상승된 패턴 층(525)은 패키지 기판(500)의 근접 표면 상의 제1 IC 다이(510)의 새도우 외부에 또는 제1 IC 다이(510)의 표면 및 패키지 기판(500)의 표면 상 둘 다에 형성될 수도 있다. 도 4e에 도시된 실시예에서, 제1 IC 다이(510) 및 제2 IC 다이(530)는 동일한 크기이지만, 대체 실시예들에서, 제1 IC 다이(510)는 제2 IC 다이(530)보다 더 큰 풋프린트를 갖고 그 역도 또한 마찬가지이다. 그 다음, 구조(iii)/E는 예를 들어 선택적 접착제(527)를 구조(iii)/E 상에 선택적으로 피착하고 인터커넥트 영역(532)을 함께 생성하는 제1 IC 다이(510) 및 제2 IC 다이(530)의 인터커넥트들을 본딩함으로써 3D 적층 패키지 구조(iv)/E를 제조하기 위해 사용될 수 있다. 제2 IC 다이(530)와 상승된 패턴 층(525) 사이의 본드는 예를 들어 퓨전 본딩, 접착제 본딩, 직접 본딩, 또는 열압착 본딩에 의해 형성될 수 있다. 대체 실시예들에서, 제2 IC 다이(495)와 상승된 스페이서(489) 사이의 본드는 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드일 수 있다. 이러한 Si-Si, SiO₂-SiO₂, 또는 SiN-SiN 본드는 본드를 형성하는 재료의 층이 본딩될 양 표면들 상에 존재하는 퓨전 본딩 프로세스를 통해 형성될 수 있다. 제1 IC 다이(510)와 제2 IC 다이(530) 사이의(인터커넥트 영역(532) 내의) 인터커넥트 본드는 예를 들어 열 압축 본딩 또는 제약된 리플로우에 의해 형성된다. 그 다음, 선택적 언더필 층은 캐비티(535)로 유동될 수 있다. 선택적 언더필 층은 예를 들어 밀봉된 및 3D 본딩된 구조로 유도되는 마이크로채널들의 형성을 통해 또는 도 1b 및 도 2b의 선택적 액세스 영역들(160 및 260)과 같은 영역들을 통해 각각 캐비티(535)로 유동될 수 있다. 대체 실시예들에서, 캐비티(535)는 가스 또는 불활성 가스로 충전되고 캐비티(535)에서 가스 또는 불활성 가스를 유지하도록 밀봉된다.

[0025]

일반적으로, IC 다이 인터커넥트들은 IC 칩들 사이에 전기 통신을 제공할 수 있는 임의의 타입의 구조 및 재료들을 포함할 수 있다. 본 발명의 실시예들에 따르면, IC 다이 인터커넥트들은 제1 IC 다이의 표면 상의 단자(예를 들어, 패드, 범프, 칼럼, 또는 필라)와 제2 IC 다이의 표면 상의 메이팅(mating) 단자(예를 들어, 패드, 범프, 칼럼, 또는 필라) 사이에 연장되는 리플로우 솔더 범프들을 포함할 수 있다. 임의의 적절한 솔더 재료는 본 발명의 실시예들에 사용될 수 있다. 예를 들어, 솔더 재료는 주석, 구리, 은, 금, 납, 니켈, 인듐 뿐만 아니라, 이들 및/또는 다른 금속들의 조합을 포함할 수 있다.

[0026] 본 명세서에 논의되는 IC 다이들은 프로세서들(단일 코어 또는 멀티 코어), 로직 칩들, 메모리 칩들, 아날로그 칩들, 디지털 칩들, 그래픽 칩들, 및 또는 MEMS와 같은 임의의 타입의 집적 회로 장치일 수 있다. 예를 들어, 제1 다이는 프로세서일 수 있고 제2 IC 다이는 메모리 칩, 적층 메모리/로직 유닛, 또는 복수의 적층 메모리 칩들일 수 있다. 다른 예시적 칩 조합들은 마이크로프로세서들, 그래픽 프로세서들, 신호 프로세서들, 네트워크 프로세서들, 다수의 기능 유닛들(하나 이상의 처리 유닛들, 그래픽 유닛들, 통신 유닛들, 신호 처리 유닛들, 및 또는 보안 유닛들과 같은)을 갖는 SoC(system-on-chip)를 포함한다. 메모리 칩은 예를 들어 SRAM(static random access memory) 칩, 및 또는 DRAM(dynamic random access memory) 칩, 및 또는 비휘발성 메모리 칩일 수 있다. 일 실시예에서, 본 명세서에 설명되는 패키지 구조들은 고체 상태 드라이브들이다. IC 다이들의 상대 크기들은 본 명세서에 도시되는 것과 상이할 수 있고, IC 다이들은 동일한 크기일 수 있거나, 제1 IC 다이는 제2 다이보다 더 클 수 있고 그 역도 또한 마찬가지이다.

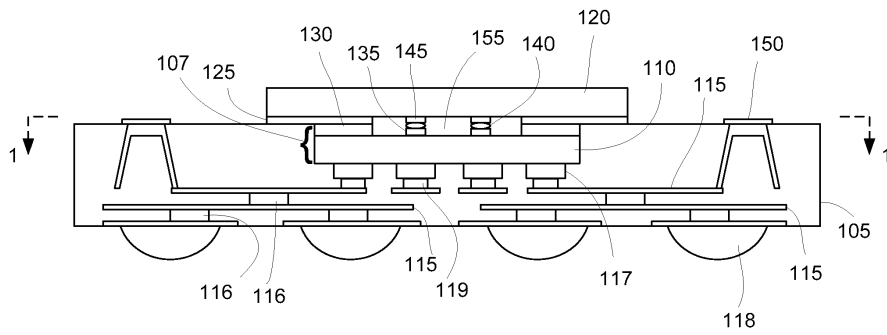
[0027] 본 발명의 실시예들에 따른 패키지 구조들은 예를 들어 핸드헬드 컴퓨팅 시스템(예를 들어, 휴대 전화, 스마트폰, 또는 뮤직 플레이어), 이동 컴퓨팅 시스템(예를 들어, 랩톱, 넷북, 또는 태블릿), 데스크톱 컴퓨팅 시스템, 또는 서버와 같은 임의의 타입의 컴퓨팅 시스템의 일부를 포함할 수 있다. 패키지 구조는 컴퓨팅 시스템으로의 통합을 위해 메인보드 어셈블리 위에 장착될 수 있다. 일반적으로, 메인 보드는 보드 상에 배치되는 컴퓨팅 시스템의 다양한 구성요소들 중 하나 이상 사이에 그리고 보드 상에 배치되는 다양한 구성요소들과 컴퓨팅 시스템의 다른 요소들 사이에 전기 통신을 제공할 수 있는 임의의 적절한 타입의 회로 보드 또는 다른 기판을 포함할 수 있다.

[0028] 도 5는 메인보드 어셈블리를 제공하지만, 다른 타입들의 어셈블리 구조들이 또한 가능하다. 메인보드 어셈블리는 컴퓨팅 시스템의 전부 또는 일부를 형성하는 연관된 구성요소들을 갖는 메인 보드(505)를 포함한다. 일 실시예에서, 예를 들어 메인 보드(505)는 유전체 재료 층에 의해 서로 분리되고 전기 전도 비아들에 의해 상호연결되는 다수의 전도 라인들을 포함하는 PCB(printed circuit board)이다. 전도 라인들 및 또는 비아들 중 임의의 하나 이상은 메인 보드(505)와 결합되는 구성요소들 사이에 전기 신호들을 라우팅하기 위해 그리고 입력 및 출력을 메인 보드(505)에 결합되는 구성요소들 중 하나 이상에 제공하기 위해 원하는 회로 패턴으로 형성될 수 있다. 그러나, 메인 보드(505)는 임의의 다른 적절한 기판을 포함할 수 있다. 도 1-도 3(a-b)에 대해 설명되는 구조와 같은 패키지 구조(515)는 메인 보드(505)의 제1 측면 상에 배치된다. 하나 이상의 부가 IC 장치들(520)은 메인 보드(505)의 제1 측면 또는 제2 측면 상에 위치된다. 부가 IC 장치들(520)은 예를 들어 처리 장치들, 메모리 장치들, 신호 처리 장치들, 무선 통신 장치들, 안테나, 그래픽 컨트롤러들(또는 그래픽 드라이버들), 입력/출력 컨트롤러들, 오디오 프로세서들 및 또는 컨트롤러들, 전력 전달 및 또는 관리 구성요소들, 예컨대 전압 조정기, 전원 장치들, 예컨대 배터리들, 및 또는 수동 장치들 예컨대 커패시터, 및 또는 하나 이상의 사용자 인터페이스 장치들, 예컨대, 오디오 입력 장치들, 오디오 출력 장치들, 키패드 또는 다른 데이터 입력 장치 예컨대 터치 스크린 디스플레이, 및 또는 그래픽 디스플레이 뿐만 아니라, 이들 및 또는 다른 장치들의 임의의 조합이다. 메인보드 어셈블리는 컴퓨팅 시스템의 일부로서 하우징 및 또는 케이스에 배치될 수 있다. 컴퓨팅 시스템은 안테나, 냉각 시스템, 예컨대 하나 이상의 팬들 및 또는 히트 싱크들, 사용자 인터페이스 장치들, 예컨대 키패드들, 터치 패드들, 터치 스크린들, 및 또는 오디오 입력 및 또는 출력 장치들, 디스플레이 스크린들, 전원 장치들, 예컨대 배터리들, 및 또는 메인보드 어셈블리에 대해 열거되는 다른 구성요소들을 부가적으로 포함할 수 있으며, 그의 일부 또는 전부는 메인보드 어셈블리에 전기적으로 결합된다.

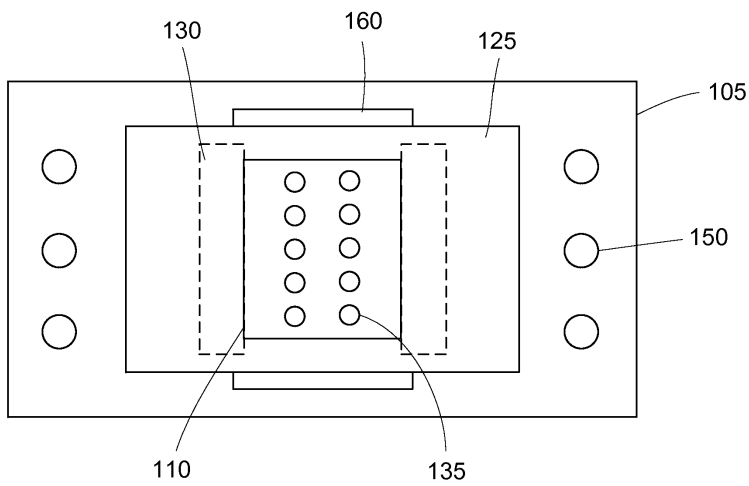
[0029] 당업자들은 도시되고 설명된 다양한 구성요소들에 대한 치환들인 바와 같이 수정들 및 변형들이 본 개시 도처에서 가능하다는 것을 이해한다. 이러한 명세서 도처에서 "일 실시예" 또는 "하나의 실시예"에 대한 참조는 실시예와 관련하여 설명되는 특정 특징, 구조, 재료, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함되는 것을 의미하지만, 반드시 그들이 모든 실시예에 존재하는 것을 나타내는 것은 아니다. 더욱이, 실시예들에 개시되는 특정 특징들, 구조들, 재료들, 및 특성들은 하나 이상의 실시예들에서 임의의 적절한 방식으로 조합될 수 있다. 다양한 추가 층들 및 또는 구조들이 포함될 수 있으며/있거나 설명된 특징들이 다른 실시예들에서 생략될 수 있다.

도면

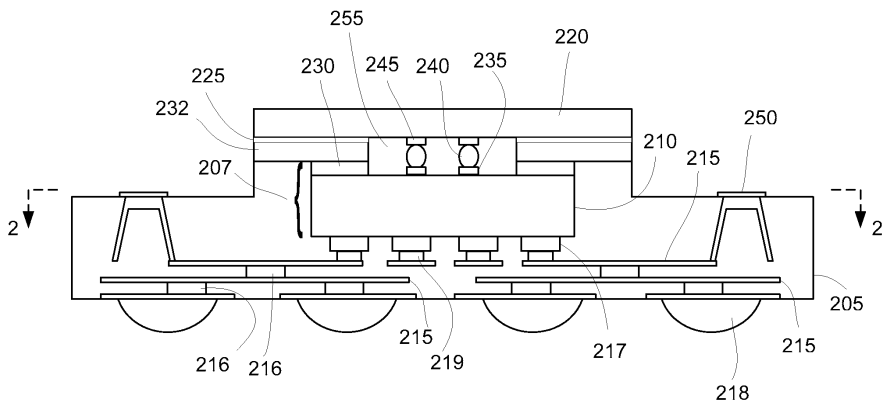
도면1a



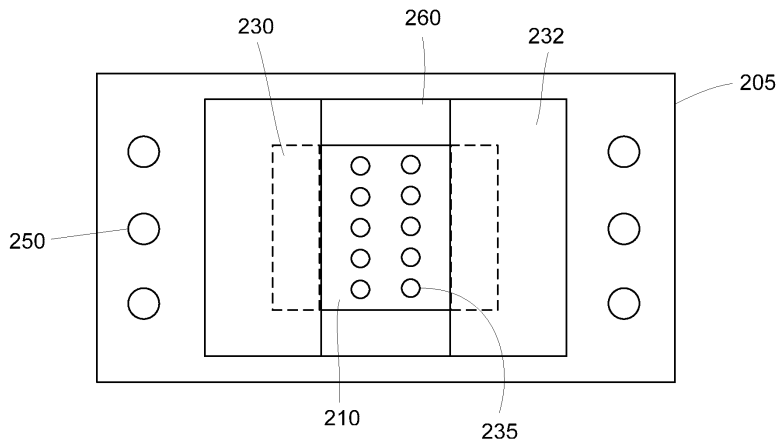
도면1b



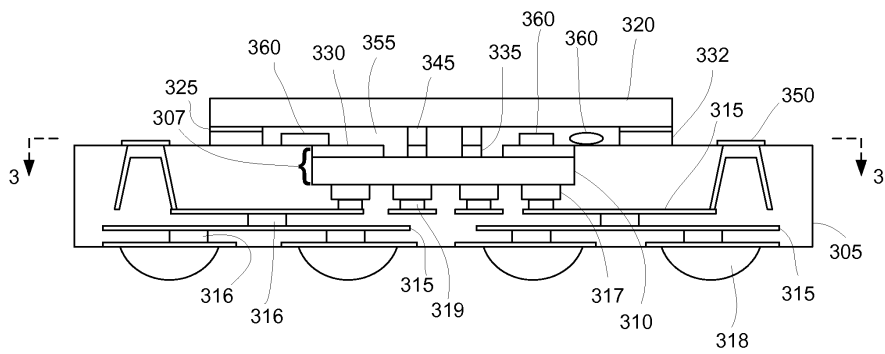
도면2a



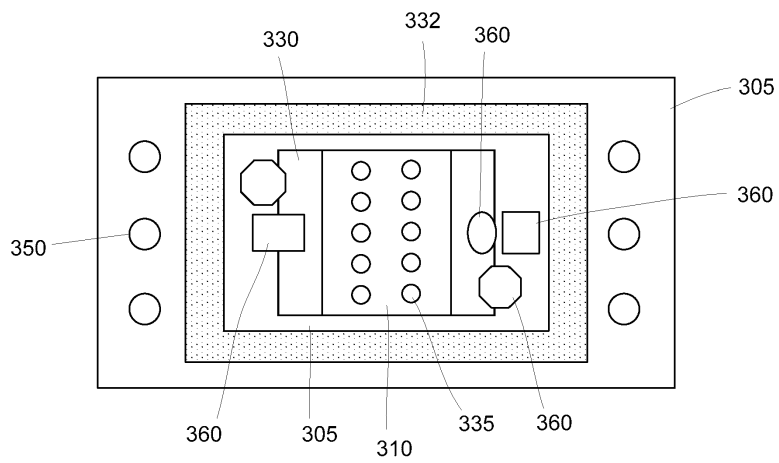
도면2b



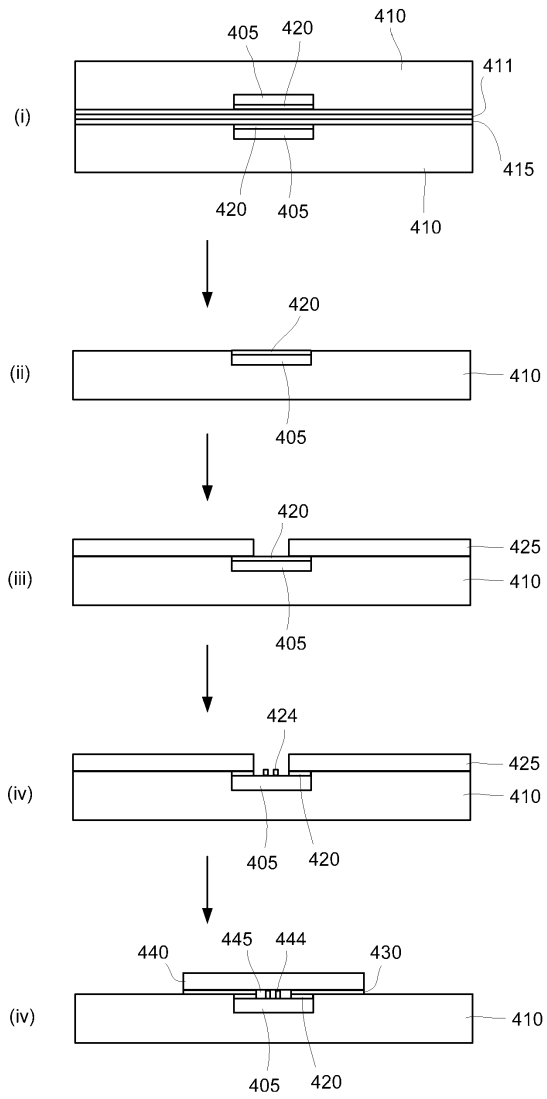
도면3a



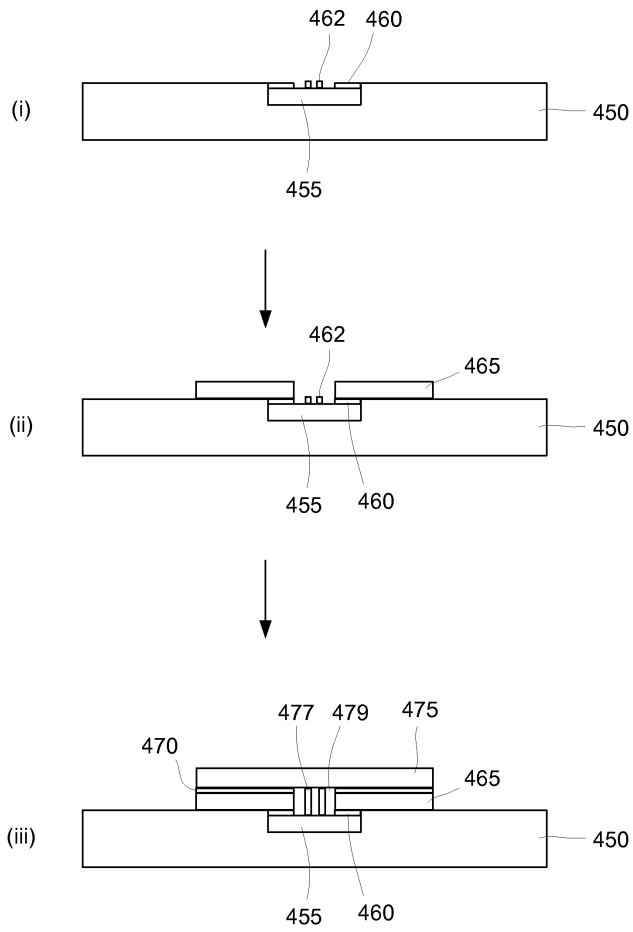
도면3b



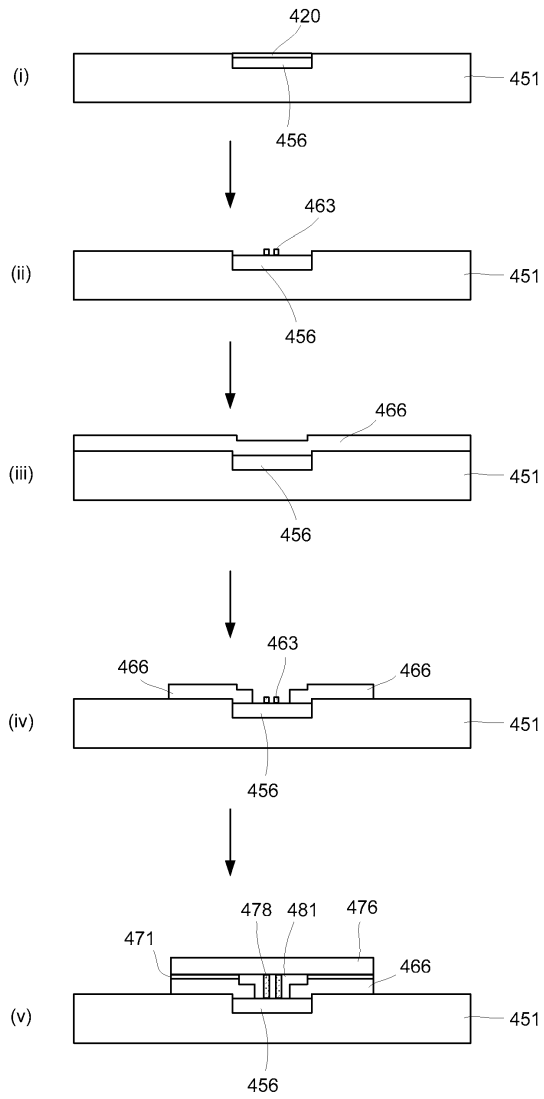
도면4a



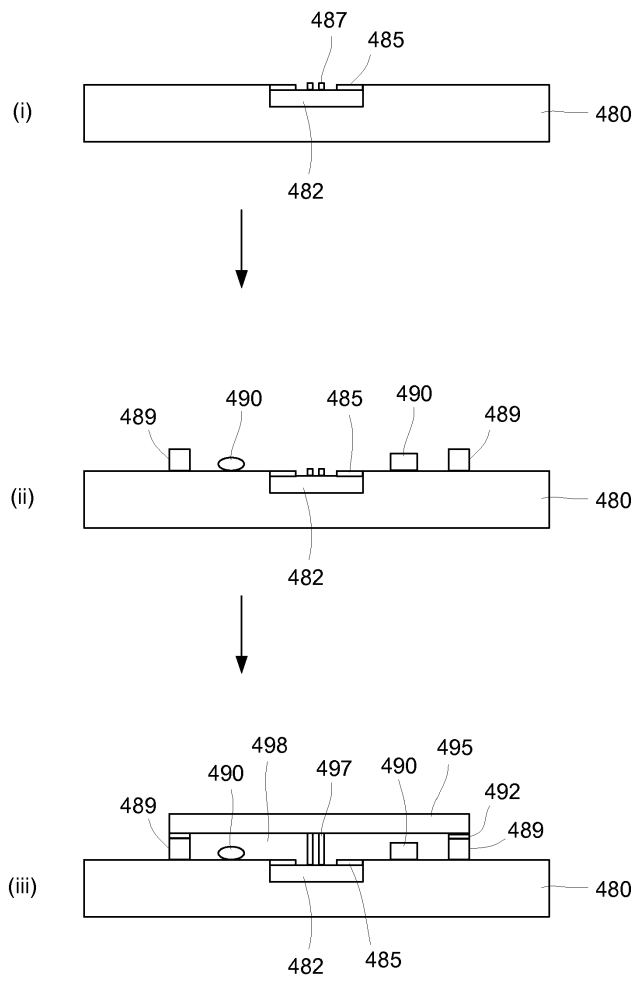
도면4b



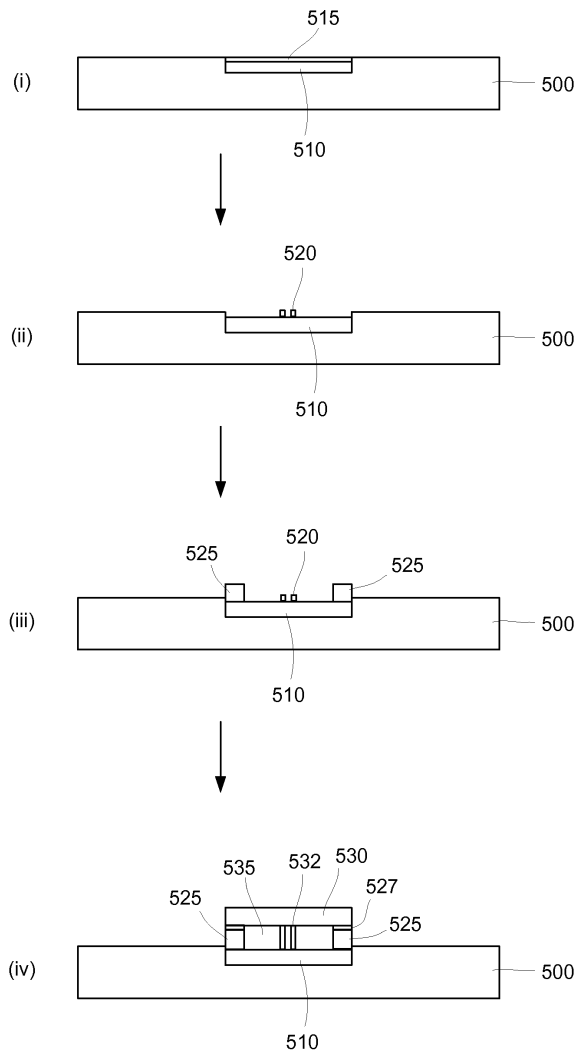
도면4c



도면4d



도면4e



도면5

