(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0023297
(43) 공개일자 2012년03월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0085647
(22) 출원일자 2010년09월01일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
장성일
경기 화성시 반송동 나루마을신도브래뉴아파트 613동 1002호
박영우
서울특별시 강남구 남부순환로 3032, 미도 apt 102동 108호 (대치동)
이재구
경기도 수원시 영통구 봉영로1482번길 18, 104동 506호 (영통동, 영통3차 풍림아이원아파트)
(74) 대리인
권혁수, 송윤호, 오세준

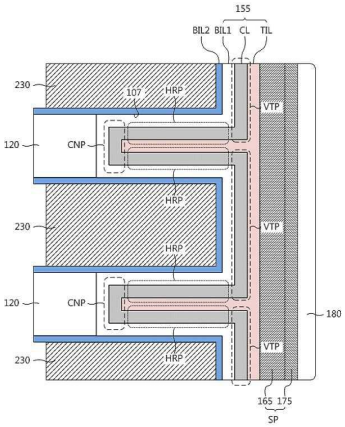
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **3차원 반도체 장치 및 그 제조 방법**

(57) 요 약

3차원 반도체 장치 및 그 제조 방법이 제공된다. 이 장치는 차례로 적층된 전극들을 포함하면서 기판 상에 배치되는 전극 구조체, 전극 구조체를 관통하는 반도체 패턴들, 반도체 패턴들과 전극 구조체 사이에 개재되는 전하저장 패턴들, 그리고 전하저장 패턴들과 전극 구조체 사이에 개재되는 블록킹절연 패턴들을 포함한다. 블록킹 절연 패턴들 각각은 수평적으로 연장되어 반도체 패턴들 중의 복수의 것들의 주변에 배치되고, 전하저장 패턴들 각각은 수평적으로 분리되어 반도체 패턴들 중의 서로 다른 것들의 주변에 배치될 수 있다. 전하저장 패턴들 각각은 전극들과 반도체 패턴의 측벽들 사이로부터 수평적으로 연장되어 전극들의 수평면들 사이에 개재되는 수평부들을 구비할 수 있다.

대 표 도 - 도11a



특허청구의 범위

청구항 1

차례로 적층된 전극들을 포함하면서 기판 상에 배치되는 전극 구조체;

상기 전극 구조체를 관통하는 반도체 패턴들;

상기 반도체 패턴들과 상기 전극 구조체 사이에 개재되는 전하저장 패턴들; 및

상기 전하저장 패턴들과 상기 전극 구조체 사이에 개재되는 블록킹절연 패턴들을 포함하되,

상기 블록킹 절연 패턴들 각각은 수평적으로 연장되어 상기 반도체 패턴들 중의 복수의 것들의 주변에 배치되고, 상기 전하저장 패턴들 각각은 수평적으로 분리되어 상기 반도체 패턴들 중의 서로 다른 것들의 주변에 배치되고,

상기 전하저장 패턴들 각각은 상기 전극들과 상기 반도체 패턴의 측벽들 사이로부터 수평적으로 연장되어 상기 전극들의 수평면들 사이에 개재되는 수평부들을 구비하는 3차원 반도체 장치.

청구항 2

청구항 1에 있어서,

상기 전극들 각각은 상기 반도체 패턴에 인접하는 제 1 측벽 및 상기 반도체 패턴으로부터 이격된 제 2 측벽을 갖고,

상기 수평부의 바깥 가장자리는, 수평적 위치에서, 상기 제 1 측벽과 상기 제 2 측벽 사이에 위치하는 3차원 반도체 장치.

청구항 3

청구항 1에 있어서,

상기 전하저장 패턴은, 수직적으로 인접하는 한 쌍의 전극들 사이에서, 수직하게 분리된 한 쌍의 수평부들을 갖는 3차원 반도체 장치.

청구항 4

청구항 3에 있어서,

상기 전하저장 패턴은 상기 수직하게 분리된 한 쌍의 수평부들을 수직하게 연결하는 연결부들을 더 포함하는 3차원 반도체 장치.

청구항 5

청구항 3에 있어서,

상기 전하저장 패턴과 상기 반도체 패턴 사이에 배치되는 터널 절연막을 더 포함하되, 상기 터널 절연막은 상기 수직하게 분리된 한 쌍의 수평부들 사이에 배치되는 연장부들을 포함하는 3차원 반도체 장치.

청구항 6

청구항 3에 있어서,

상기 한 쌍의 수평부들 사이의 영역에는, 진공보다는 크고 실리콘 산화물보다는 작은 유전율을 갖는 매체(medium)가 배치되는 3차원 반도체 장치.

청구항 7

청구항 1에 있어서,

상기 전극 구조체는, 수직적 위치에서 상기 전극들 사이에 형성되는, 적어도 하나의 제 1 영역 및 적어도 하나

의 제 2 영역을 포함하고, 상기 제 2 영역은 상기 전극들 사이의 수직적 거리가 상기 제 1 영역보다 큰 영역이되,

상기 반도체 패턴의 수평 폭은 상기 제 1 영역에서보다 상기 제 2 영역에서 더 큰 3차원 반도체 장치.

청구항 8

청구항 7에 있어서,

상기 반도체 패턴은 상기 전극 구조체를 관통하는 제 1 반도체 패턴 및 상기 제 1 반도체 패턴 내에 삽입되어 상기 기판에 접속하는 제 2 반도체 패턴을 포함하되,

상기 제 2 반도체 패턴의 외측벽은 상기 제 2 영역에서 상기 제 1 반도체 패턴의 내측벽으로부터 이격되어, 상기 제 2 영역에는 상기 제 1 및 제 2 반도체 패턴들에 의해 정의되는 갭 영역이 형성되는 3차원 반도체 장치.

청구항 9

청구항 1에 있어서,

수직적인 위치에서 상기 전극들 사이에 배치되는 층간절연막들을 더 포함하는 3차원 반도체 장치.

청구항 10

청구항 1에 있어서,

상기 전하저장 패턴들과 상기 블록킹 절연 패턴들 사이에 개재되는 추가적인 블록킹 절연 패턴들을 더 포함하되, 상기 추가적인 블록킹 절연 패턴들 각각은 수평적으로 분리되어 상기 반도체 패턴들 중의 서로 다른 것들의 주변에 배치되는 3차원 반도체 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 3차원적으로 배열된 메모리 셀들을 포함하는 3차원 반도체 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 3D-IC 메모리 기술은 메모리 용량의 증대를 위한 기술로서, 메모리 셀들을 3차원적으로 배열하는 것과 관련된 제반 기술들을 의미한다. 메모리 용량은, 3D-IC 메모리 기술 이외에도, (1) 패턴 미세화 기술 및 (2) 다중 레벨 셀(MLC) 기술을 통해서도 증대될 수 있다. 하지만, 패턴 미세화 기술은 고비용의 문제를 수반하고, MLC 기술은 증가시킬 수 있는 셀당 비트의 수에서 제한될 수 밖에 없다. 이런 이유에서, 3D-IC 기술은 메모리 용량의 증대를 위한 필연적인 방법인 것으로 보인다. 물론, 패턴 미세화 및 MLS 기술들이 3D-IC 기술에 접목될 경우, 더욱 증가된 메모리 용량을 구현할 수 있다는 점에서, 패턴 미세화 및 MLS 기술들 역시 3D-IC 기술과는 독립적으로 발전할 것으로 기대된다.

[0003] 3D-IC 기술의 하나로서, 펀치-앤-플러그(punch-and-plug) 기술이 최근 제안되었다. 상기 펀치-앤-플러그 기술은 다층의 박막들을 기판 상에 차례로 형성한 후 상기 박막들을 관통하는 플러그들을 형성하는 단계들을 포함한다. 이 기술을 이용하면, 제조 비용의 큰 증가없이 3D 메모리 소자의 메모리 용량을 크게 증가시킬 수 있기 때문에, 이 기술은 최근 크게 주목받고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 국소화된(localized) 전하 저장 영역을 갖는 3차원 반도체 장치를 제공하는 데 있다.

[0005] 본 발명이 이루고자 하는 일 기술적 과제는 전하 저장을 위한 영역을 국소화시킬 수 있는 3차원 반도체 장치의 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 반도체 패턴보다 긴 길이의 전하저장막을 갖는 3차원 반도체 장치가 제공된다. 이 장치는 차례로 적층된 전극들을 포함하면서 기판 상에 배치되는 전극 구조체, 상기 전극 구조체를 관통하는 반도체 패턴들, 상기 반도체 패턴들과 상기 전극 구조체 사이에 개재되는 전하저장 패턴들, 그리고 상기 전하저장 패턴들과 상기 전극 구조체 사이에 개재되는 블록킹절연 패턴들을 포함한다. 상기 블록킹 절연 패턴들 각각은 수평적으로 연장되어 상기 반도체 패턴들 중의 복수의 것들의 주변에 배치되고, 상기 전하저장 패턴들 각각은 수평적으로 분리되어 상기 반도체 패턴들 중의 서로 다른 것들의 주변에 배치될 수 있다. 이때, 상기 전하저장 패턴들 각각은 상기 전극들과 상기 반도체 패턴의 측벽들 사이로부터 수평적으로 연장되어 상기 전극들의 수평면들 사이에 개재되는 수평부들을 구비할 수 있다.

[0007] 본 발명의 일부 실시예들에 따르면, 상기 전극들 각각은 상기 반도체 패턴에 인접하는 제 1 측벽 및 상기 반도체 패턴으로부터 이격된 제 2 측벽을 갖는다. 상기 수평부의 바깥 가장자리는, 수평적 위치에서, 상기 제 1 측벽과 상기 제 2 측벽 사이에 위치할 수 있다.

[0008] 본 발명의 일부 실시예들에 따르면, 상기 전하저장 패턴은, 수직적으로 인접하는 한 쌍의 전극들 사이에서, 수직하게 분리된 한 쌍의 수평부들을 가질 수 있다. 이에 더하여, 상기 전하저장 패턴은 상기 수직하게 분리된 한 쌍의 수평부들을 수직하게 연결하는 연결부들을 더 포함할 수 있다.

[0009] 본 발명의 일부 실시예들에 따르면, 상기 반도체 패턴은 상기 전극 구조체를 관통하는 제 1 반도체 패턴 및 상기 제 1 반도체 패턴 내에 삽입되어 상기 기판에 접속하는 제 2 반도체 패턴을 포함할 수 있다. 상기 제 2 반도체 패턴의 외측벽은 소정 영역에서 상기 제 1 반도체 패턴의 내측벽으로부터 이격되어 형성될 수 있으며, 그 결과로서, 상기 제 1 및 제 2 반도체 패턴들에 의해 정의되는 갭 영역이 형성될 수 있다.

[0010] 반도체 패턴보다 긴 길이의 전하저장막을 형성하는 단계를 포함하는 3차원 반도체 장치의 제조 방법이 제공된다. 이 방법은 차례로 그리고 교대로 적층된 층간절연막들 및 희생막들을 포함하는 주형 구조체를 형성하고, 상기 주형 구조체를 관통하는 개구부를 형성하고, 상기 층간절연막들을 수평적으로 리세스시켜 상기 희생막들 사이에 언더컷 영역들을 형성하고, 상기 개구부 및 상기 언더컷 영역들을 콘포말하게 덮는 전하저장막을 형성하고, 상기 전하저장막이 형성된 상기 개구부 내에 반도체 패턴을 형성한 후, 상기 희생막들을 도전 패턴들로 대체시키는 단계를 포함할 수 있다.

[0011] 본 발명의 일부 실시예들에 따르면, 상기 대체 단계는 상기 희생막들의 측벽들을 노출시키면서 상기 주형 구조체를 관통하는 트렌치를 형성하고, 상기 노출된 희생막들을 제거하여 리세스 영역들을 형성하고, 상기 트렌치 내에 상기 리세스 영역들을 채우는 도전막을 형성한 후, 상기 트렌치 내에서 상기 도전막을 선택적으로 제거하여 상기 리세스 영역들 내에 잔존하는 상기 도전 패턴들을 형성하는 단계를 포함할 수 있다.

[0012] 본 발명의 일부 실시예들에 따르면, 상기 대체 단계는 상기 도전막을 형성하기 전에 상기 트렌치 및 상기 리세스 영역의 내벽을 콘포말하게 덮는 블록킹 절연막을 형성하는 단계를 더 포함할 수 있다.

[0013] 본 발명의 일부 실시예들에 따르면, 상기 대체 단계 이후, 상기 트렌치 내에서 상기 블록킹 절연막을 제거하여 상기 층간절연막의 측벽들을 노출시키는 단계가 더 실시될 수 있다.

[0014] 본 발명의 일부 실시예들에 따르면, 상기 전하저장막은 상기 언더컷 영역의 수직적 두께의 절반보다 얇은 두께로 형성될 수 있다.

[0015] 본 발명의 일부 실시예들에 따르면, 상기 전하저장막을 형성하기 전에, 상기 언더컷 영역의 내벽을 덮는 추가적인 블록킹 절연막을 형성하는 단계가 더 실시될 수 있다. 이 경우, 상기 전하저장막의 증착 두께(T)는 $(T_u-2T_b)/2$ (여기서, T_u는 상기 언더컷 영역의 수직적 두께이고, T_b는 상기 추가적인 블록킹 절연막의 증착 두께)보다 얇을 수 있다.

[0016] 본 발명의 일부 실시예들에 따르면, 상기 대체 단계 이후, 상기 도전 패턴들 사이의 층간절연막들을 제거하여 상기 언더컷 영역에서 상기 전하저장막의 측벽을 노출시키는 단계가 더 실시될 수 있다. 이에 더하여, 상기 전하저장막의 노출된 측벽을 식각하여 상기 전하저장막을 수직적으로 분리시키는 단계가 더 실시될 수 있다.

발명의 효과

[0017] 본 발명의 실시예들에 따르면, 국소화된(localized) 전하 저장 영역을 갖는 3차원 반도체 장치가 제공된다. 이

에 따라, 전하의 퍼짐(spreading)에 따른 기술적 문제들이 억제될 수 있다. 한편, 본 발명의 일부 실시예들에 따르면, 트렌치에 인접한 전하저장막의 일부가 제거될 수 있다. 이러한 전하저장막의 부분적 제거는 상기 전하의 퍼짐의 문제를 더욱 억제할 수 있다. 이러한 전하 퍼짐의 억제는 반도체 장치의 신뢰성을 개선하는데 기여한다.

도면의 간단한 설명

[0018] 도 1 내지 도 10는 본 발명의 일 실시예에 따른 3차원 반도체 장치의 제조 방법을 도시하는 단면도들이다.

도 11a 및 도 11b는 본 발명의 실시예들에 따른 3차원 반도체 장치를 보다 상세하게 설명하기 위한 단면도들이다.

도 12는 본 발명의 일 실시예에 따른 터널 절연막을 도시하는 사시도이다.

도 13a 및 도 13b는 본 발명의 일 실시예에 따른 전하저장막과 다른 막들의 모양들 및 이들 사이의 상대적 배치를 예시적으로 도시하는 사시도들이다.

도 14 및 도 15은 본 발명의 제 1 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도들이다.

도 16은 본 발명의 제 2 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다.

도 17 내지 도 20은 본 발명의 제 3 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다.

도 21은 본 발명의 제 4 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다.

도 22는 본 발명에 따른 플래시 메모리 장치를 구비하는 메모리 카드의 일 예를 간략히 도시한 블록도이다.

도 23은 본 발명에 따른 플래시 메모리 시스템(1310)을 장착하는 정보 처리 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0020] 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막을 다른 영역 또는 막과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

[0021] 본 발명의 실시예들에 따른 3차원 반도체 장치는 셀 어레이 영역, 주변회로 영역, 센스 앰프 영역, 디코딩 회로 영역 및 연결 영역을 포함할 수 있다. 상기 셀 어레이 영역에는, 복수의 메모리 셀들 및 상기 메모리 셀들로의 전기적 연결을 위한 비트라인들 및 워드라인들이 배치된다. 상기 주변 회로 영역에는 상기 메모리 셀들의 구동을 위한 회로들이 배치되고, 상기 센스 앰프 영역에는 상기 메모리 셀들에 저장된 정보를 판독하기 위한 회로들이 배치된다. 상기 연결 영역은 상기 셀 어레이 영역과 상기 디코딩 회로 영역 사이에 배치될 수 있으며, 여기에는 상기 워드라인들과 상기 디코딩 회로 영역을 전기적으로 연결하는 배선 구조체가 배치될 수 있다.

[0022] 아래에서는, 3차원 반도체 장치의 셀 어레이 영역의 일부분과 관련된 기술적 특징들이 주로 설명될 것이다. 한편, 2009년 12월 18일에 출원된 한국특허출원번호 2009-0126854, 2010년 2월 18일에 출원된 한국특허출원번호 2010-0014751, 2010년 1월 22일에 출원된 한국특허출원번호 2010-0006124, 2009년 10월 19일에 출원된 한국특

허출원번호 2009-0099370, 2009년 6월 8일에 출원된 미국특허출원번호 12/480,399는 상기 셀 어레이 영역뿐만이 아니라 (주변회로 영역 또는 연결 영역과 같은) 다른 영역들과 관련된 기술적 특징들을 개시하고 있다. 한국특허출원번호 2009-0126854, 2010-0014751, 2010-0006124, 2009-0099370 및 미국특허출원번호 12/480,399에 개시된 내용들은 완전한 형태로서 이 출원의 일부로 포함된다.

[0023] 이에 더하여, 상기 한국특허출원번호 2010-0006124는 메모리 구조체를 형성하는 단계를 반복함으로써, 메모리 구조체를 다층으로 형성하는 구성을 개시하고 있다. 본 발명의 기술적 사상은 아래에서 설명될 메모리 구조체를 반복적으로 형성함으로써 다층의 메모리 구조체들을 형성하는 실시예들로 확장되어 구현될 수 있다.

[0024] [3차원 반도체 장치-제조 방법]

[0025] 도 1 내지 도 10는 본 발명의 일 실시예에 따른 3차원 반도체 장치의 제조 방법을 도시하는 단면도들이다.

[0026] 도 1을 참조하면, 기판(10) 상에 주형 구조체(100)를 형성한다. 상기 기판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 상기 기판(10)은 실리콘 웨이퍼일 수 있다.

[0027] 변형된 실시예에 따르면, 상기 기판(10)과 상기 주형 구조체(100) 사이에는 적어도 하나의 트랜지스터를 포함하는 하부 구조체(미도시)가 배치될 수 있다. 하지만, 아래에서는, 본 발명의 기술적 사상에 대한 보다 쉬운 이해를 위해, 상기 주형 구조체(100)가 상기 기판(10) 상에 직접 형성되는 실시예를 예시적으로 설명할 것이다. 그럼에도 불구하고, 본 발명의 기술적 사상이 예시적으로 설명되는 실시예들에 한정되는 것은 아니다.

[0028] 상기 주형 구조체(100)는 복수의 희생막들(sacrificial layers; 130) 및 복수의 층간 절연막들(interlayer dielectrics; 120)을 포함할 수 있다. 상기 층간 절연막들(120) 및 상기 희생막들(130)은, 도시된 것처럼, 교대로 그리고 반복적으로 적층될 수 있다. 상기 희생막(130)은 상기 층간 절연막(120)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 즉, 소정의 식각 레서피를 사용하여 상기 희생막(130)을 식각하는 공정에서, 상기 희생막(130)은 상기 층간 절연막(120)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 유사하게, 상기 층간 절연막(120)은 상기 희생막(130)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 알려진 것처럼, 이러한 식각 선택성(etch selectivity)은 상기 층간 절연막(120)의 식각 속도에 대한 상기 희생막(130)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 일 실시예에 따르면, 상기 희생막(130)은 상기 층간 절연막(120)에 대해 1:10 내지 1:200(더 한정적으로는, 1:30 내지 1:100)의 식각 선택비를 제공할 수 있는 물질들 중의 하나일 수 있다. 예를 들면, 상기 층간 절연막(120)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지일 수 있고, 상기 희생막(130)은 실리콘막, 실리콘 산화막, 실리콘 카바이드 및 실리콘 질화막 중에서 선택되는 상기 층간 절연막(120)과 다른 물질일 수 있다. 아래에서는, 본 발명의 기술적 사상에 대한 보다 쉬운 이해를 위해, 상기 층간 절연막들(120)은 실리콘 산화막이고 상기 희생막들(130)은 실리콘 질화막인 실시예를 예시적으로 설명할 것이다.

[0029] 이에 더하여, 상기 주형 구조체(100)는, 그것의 최상부면을 구성하는, 캐핑막(미도시)을 더 포함할 수 있다. 상기 캐핑막은 상기 희생막들(130) 및 상기 층간 절연막들(120)에 대해 식각 선택성을 갖는 물질일 수 있다. 예를 들면, 상기 캐핑막은 실리콘, 실리콘 게르마늄 또는 실리콘 카바이드 중의 하나일 수 있다.

[0030] 도 2를 참조하면, 상기 주형 구조체(100)를 관통하는 개구부들(105)을 형성한 다. 이에 따라, 상기 층간 절연막들(120) 및 상기 희생막들(130)의 측벽들이 상기 개구부들(105)에 의해 노출될 수 있다.

[0031] 이 실시예에 따르면, 상기 개구부들(105)은 홀 모양으로 형성될 수 있다. 즉, 상기 개구부들(105) 각각은 그것의 깊이가 그것의 폭보다 적어도 5배 이상 큰 원통형으로 형성될 수 있다. 이에 더하여, 이 실시예에 따르면, 상기 개구부들(105)은 상기 기판(10)의 상부면(즉, xy 평면) 상에 2차원적으로 형성될 수 있다. 즉, 상기 개구부들(105) 각각은 x 및 y 방향을 따라 다른 것들로부터 이격되어 형성되는 고립된 영역일 수 있다.

[0032] 상기 개구부들(105)을 형성하는 단계는 상기 주형 구조체(100) 상에 상기 개구부들(105)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계 및 이를 식각 마스크로 사용하여 상기 주형 구조체(100)를 이방성 식각하는 단계를 포함할 수 있다. 한편, 상기 주형 구조체(100)는 적어도 두 종류의 서로 다른 막들을 포함하기 때문에, 상기 개구부(105)의 측벽은 상기 기판(10)의 상부면에 완전하게 수직하기 않을 수 있다. 예를 들면, 상기 기판(10)의 상부면에 가까울수록, 상기 개구부(105)의 폭은 감소될 수 있다. 상기 개구부(105) 폭의 이러한 불균일함은 3차원적으로 배열되는 트랜지스터들의 동작 특성에서의 불균일함을 유발할 수 있다. 이러한 불균일함에 대

한 보다 상세한 설명 및 이를 개선할 수 있는 방법들은 미국출원번호 12/420,518에 개시되고 있으며, 여기에 개시된 내용들은 완전한 형태로서 이 출원의 일부로 포함된다.

[0033] 한편, 상기 주형 구조체(100)가 상기 기판(10) 상에 직접 형성되는 실시예의 경우, 상기 개구부(105)는 도시된 것처럼 상기 기판(10)의 상부면을 노출시키도록 형성될 수 있다. 이에 더하여, 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 개구부(105) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다.

[0034] 도 3을 참조하면, 상기 개구부들(105)에 의해 노출되는 상기 층간 절연막들(120)의 측벽을 수평적으로 리세스하여 언더컷 영역들(107)을 형성한다. 상기 언더컷 영역(107)은 상기 개구부들(105)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있다. 또한, 상기 언더컷 영역(107)의 수평적 깊이(W0)는 인접하는 두 개구부들(105) 사이의 거리의 1/3보다 작고 상기 층간절연막(120)의 최소 두께의 절반보다 큰 조건을 충족시키는 범위 내에서 선택될 수 있다.

[0035] 상기 언더컷 영역들(107)을 형성하는 단계는 상기 희생막들(130)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 상기 층간 절연막들(120)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 상기 희생막들(130)이 실리콘 질화막이고 상기 층간 절연막들(120)이 실리콘 산화막인 경우, 상기 수평적 식각 단계는 불산을 포함하는 식각액을 사용하여 수행될 수 있다.

[0036] 도 4를 참조하면, 상기 개구부(105) 내에 수직막(150)을 형성한다. 상기 수직막(150)은 상기 개구부들(105)로부터 수평적으로 연장되어 상기 주형 구조체(100)의 상부면을 덮을 수도 있다. 상기 수직막(150)은 터널 절연막(TIL) 및 상기 터널절연막(TIL)보다 앞서 형성되는 전하저장막(CL)을 포함할 수 있다.

[0037] 물질의 종류 및 형성 방법에 있어서, 상기 전하저장막(CL)은 트랩 사이트들이 풍부한 절연막들 또는 나노 입자들을 포함하는 절연막들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 전하저장막(CL)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 더 구체적인 예로, 상기 전하저장막(CL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.

[0038] 상기 터널 절연막(TIL)은 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 터널 절연막(TIL)은 상기 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 이에 더하여, 상기 터널 절연막(TIL)은 증착 공정 이후 실시되는 소정의 열처리 단계를 더 경험할 수 있다. 상기 열처리 단계는 급속-열-질화 공정(Rapid Thermal Nitridation; RTN) 또는 질소 및 산소 중의 적어도 하나를 포함하는 분위기에서 실시되는 어닐링 공정일 수 있다.

[0039] 한편, 일부 실시예들에 따르면, 도 4에 도시된 것처럼, 상기 수직막(150)은 상기 전하저장막(CL)보다 앞서 형성되는 제 1 블록킹 절연막(BIL1)을 더 포함할 수 있다. 상기 제 1 블록킹 절연막(BIL1)은 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 제 1 블록킹 절연막(BIL1)은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이거나, 실리콘 산화막일 수 있다.

[0040] 본 발명의 일 측면에 따르면, 상기 전하저장막(CL)은 도 4에 도시된 것처럼 상기 개구부(105)로부터 수평적으로 연장되어, 상기 언더컷 영역(107)의 내벽 또는 상기 상기 제 1 블록킹 절연막(BIL1)이 형성된 상기 언더컷 영역(107)의 내벽을 콘포말하게 덮을 수 있다. 이때, 상기 언더컷 영역(107)은 상기 전하저장막(CL)에 의해 완전히 매립되지 않을 수 있다. 즉, 상기 전하저장막(CL)이 상기 언더컷 영역(107)의 내벽 상에 직접 형성되는 경우, 상기 전하저장막(CL)은 상기 언더컷 영역(107)의 수직적 두께의 절반보다 얇은 두께로 증착될 수 있다. 상기 제 1 블록킹 절연막(BIL1)이 형성되는 경우, 상기 전하저장막(CL)은, 상기 제 1 블록킹 절연막(BIL1)에 의해 채워지지 않은, 상기 언더컷 영역의 수직적 두께의 절반보다 얇은 두께로 증착될 수 있다. 이에 따라, 수직적 단면에서, 상기 전하저장막(CL)의 길이는 상기 언더컷 영역(107) 내에서 상기 희생막들(130) 사이의 수직적 거리(또는 해당 층간절연막(120)의 두께)보다 길어질 수 있다. 결과적으로, 수직적 단면에서, 상기 전하저장막(CL)의 총 길이는 상기 개구부(105)의 깊이보다 길어질 수 있다. 이 실시예에 따른 상기 전하저장막(CL)의 3차원적 모양은 도 13a 및 도 13b에 예시적으로 도시되었다.

[0041] 상술한 것처럼, 상기 언더컷 영역(107)이 상기 전하저장막(CL)에 의해 완전히 매립되지 않을 경우, 상기 터널

절연막(TIL)의 측벽은 수평적으로 연장되어 상기 전하저장막(CL)이 형성된 상기 언더컷 영역(107)의 빈 공간을 부분적으로 또는 완전히 채울 수 있다.

[0042] 도 5를 참조하면, 상기 개구부(105) 내에 상기 제 1 반도체막(160)을 형성한다. 상기 제 1 반도체막(160)은 다결정 또는 단결정 구조를 갖는 실리콘막일 수 있지만, 이에 한정되는 것은 아니다. 예를 들면, 유기 반도체막 또는 상변화막 등이 상기 제 1 반도체막(160)으로 사용될 수 있다.

[0043] 상기 제 1 반도체막(160)은 상기 수직막(150)이 형성된 개구부(105)의 내측벽을 콘포말하게 덮을 수 있다. 이에 더하여, 상기 제 1 반도체막(160)은 상기 수직막(150)이 형성된 상기 언더컷 영역(107)의 빈 공간을 부분적으로 또는 완전히 채울 수 있다. 예를 들면, 상기 언더컷 영역들(107)은 상기 기판(10)으로부터의 높이에 따라 다른 두께를 가질 수 있으며, 상기 제 1 반도체막(160)은 상기 언더컷 영역들(107) 중에서 두꺼운 수직적 두께를 갖는 것의 내부로 연장될 수 있다.

[0044] 보다 구체적으로, 상기 언더컷 영역들(107)은 얇은 두께를 갖는 적어도 하나의 영역(이하, 제 1 영역(R1)) 및 상기 제 1 영역(R1)보다 두꺼운 두께를 갖는 적어도 하나의 영역(이하, 제 2 영역(R2))을 포함할 수 있다. 이 경우, 도 5에 도시된 것처럼, 상기 제 1 영역(R1)은 상기 수직막(150)에 의해 매립되고, 상기 제 2 영역(R2)은 상기 수직막(150) 및 상기 제 1 반도체막(160)에 의해 매립될 수 있다. 하지만, 본 발명의 기술적 사상이 도 5에 예시적으로 도시된 실시예에 한정되는 것은 아니다. 예를 들면, 본 발명의 기술적 사상은 아래에서 도 14 내지 도 16, 도 20 및 도 21을 참조하여 설명될 다른 실시예들을 통해 구현될 수 있다.

[0045] 도 6을 참조하면, 상기 제 1 반도체막(160) 및 상기 수직막(150)을 패터닝하여 상기 기판(10)을 노출시킨 후, 상기 노출된 기판(10)에 접속하는 제 2 반도체막을 형성한다. 이어서, 상기 제 2 반도체막이 형성된 상기 개구부(105)를 채우는 매립 절연막(180)이 더 형성될 수 있다.

[0046] 상기 기판(10)을 노출시키는 단계는 상기 제 1 반도체막(160)을 이방성 식각하여 상기 개구부(105)의 바닥에서 상기 수직막(150)의 상부면을 노출시킨 후, 상기 노출된 수직막(150)을 식각하여 상기 기판(10)의 상부면을 노출시키는 단계를 포함할 수 있다. 그 결과로서, 상기 수직막(150) 및 상기 제 1 반도체막(160)은 상기 주형 구조체(100)의 상부면 그리고 상기 개구부(105)의 바닥면 상에서 제거되고, 상기 개구부들(105)의 측벽 상에 국소적으로 잔존하는 수직 패턴(155) 및 제 1 반도체 패턴(165)을 형성한다.

[0047] 일부 실시예들에 따르면, 상기 주형 구조체(100)의 상부에서 상기 제 2 반도체막을 제거하는 단계가 더 실시될 수 있다. 이 경우, 도 6에 도시된 것처럼, 상기 제 2 반도체막은 상기 개구부(105) 내에 국소적으로 잔존하는 제 2 반도체 패턴들(175)을 구성할 수 있다. 변형된 실시예들에 따르면, 이러한 제거 단계는 후속 단계에서 실시될 수 있다. 상기 제 1 및 제 2 반도체 패턴들(165, 175)은, 메모리 셀들로의 신호 전달을 위한 경로로서 사용되는, 반도체 패턴(SP)을 구성할 수 있다.

[0048] 상기 제 2 반도체막은 원자층 증착(ALD), 화학적 기상 증착(CVD) 또는 에피택시얼 기술들 중의 한가지를 사용하여 형성될 수 있으며, 다결정 또는 단결정 구조를 갖는 실리콘막일 수 있다. 하지만, 이에 한정되는 것은 아니며, 유기 반도체막 등이 상기 제 2 반도체막으로 사용될 수 있다. 일부 실시예들에 따르면, 상기 제 2 반도체막은 상기 개구부(105)를 완전히 매립하지 않는 두께를 가지고 콘포말하게 형성될 수 있다. 즉, 상기 제 2 반도체막은 상기 개구부(105) 내에 핀홀을 정의할 수 있다. 상기 매립 절연막(180)은 상기 핀홀을 채우도록 형성될 수 있으며, 에스오지 기술을 이용하여 형성되는 절연성 물질들 또는 증착 기술을 사용하여 형성되는 실리콘 산화막 중의 한가지일 수 있다.

[0049] 도 7을 참조하면, 상기 주형 구조체(100)을 관통하면서 상기 희생막들(130) 및 상기 절연막들(120)의 측벽들을 노출시키는 트렌치들(200)을 형성한다. 상기 트렌치들(200)은 상기 개구부들(105)로부터 이격되어 이들 사이를 가로지를 수 있다.

[0050] 상기 트렌치들(200)을 형성하는 단계는 상기 주형 구조체(100)의 상부 또는 상기 매립 절연막(180)의 상부에 식각 마스크(190)를 형성한 후, 상기 기판(10)의 상부면이 노출될 때까지 상기 식각 마스크(190) 아래의 막들을 이방성 식각하는 단계를 포함할 수 있다. 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 트렌치(200) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다.

[0051] 한편, 상기 개구부(105)의 경우와 유사하게, 상기 기판(10)의 상부면에 가까울수록 상기 트렌치들(200)은 감소된 폭을 가질 수 있다. 상기 트렌치들(200) 폭의 이러한 불균일함은 3차원적으로 배열되는 트랜지스터들의 동작 특성에서의 불균일함을 유발할 수 있다. 이러한 불균일함에 대한 보다 상세한 설명 및 이를 개선할 수 있는 방법들은 2009년 4월 8일에 미국에 출원된 미국출원번호 12/420,518에 개시되고 있으며, 여기에 개시된 내용들은

완전한 형태로서 이 출원의 일부로 포함된다.

[0052] 일 실시예에 따르면, 한 쌍의 트렌치들(200)이 상기 개구부들(105)의 양측에 형성될 수 있다. 하지만, 본 발명의 기술적 사상이 이러한 실시예에 한정되는 것은 아니며 다양하게 변형될 수 있다. 즉, 상기 한 쌍의 트렌치들(200) 사이의 거리 또는 이들 사이에 배치되는 상기 개구부들(105)의 수 및 배치는 다양하게 변형될 수 있다. 예를 들면, 2009년 12월 18일에 출원된 한국특허출원번호 2009-0126854는 상기 개구부들(105)에 대한 상기 트렌치들(200)의 상대적 배치와 관련된 변형된 실시예들을 개시하고 있다. 상기 한국특허출원번호 2009-0126854에 개시된 내용들은 완전한 형태로서 이 출원의 일부로서 포함된다.

[0053] 한편, 도 7에 도시된 것처럼, 상기 반도체 패턴(SP)의 상부 영역에 접속하는 패드(PD)가 상기 식각 마스크(190)를 형성하기 전에 더 형성될 수 있다. 상기 패드(PD)는 상기 기판(10)과 다른 도전형을 갖는 반도체 물질일 수 있다. 변형된 실시예들에 따르면, 상기 패드(PD)는 상기 트렌치(200)를 형성한 이후에 형성될 수도 있으며, 이러한 변형은 당업자의 통상의 지식에 기초하여 달성될 수 있다는 점에서 별도의 설명은 생략한다.

[0054] 도 8을 참조하면, 상기 트렌치들(200)에 의해 노출된 상기 희생막들(130)을 선택적으로 제거하여 상기 층간 절연막들(120) 사이에 리세스 영역들(210)을 형성한다.

[0055] 상기 리세스 영역들(210)은 상기 트렌치들(200)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있으며, 상기 수직 패턴들(155)의 측벽들을 노출시키도록 형성될 수 있다. 이에 더하여, 상기 언더컷 영역들(107)로 연장된 상기 수직 패턴(155)의 상부면 및 하부면이 상기 리세스 영역(210)에 의해 노출될 수 있다.

[0056] 상기 리세스 영역들(210)을 형성하는 단계는 상기 층간 절연막들(120) 및 상기 수직 패턴들(155)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 상기 희생막들(130)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 상기 희생막들(130)이 실리콘 질화막이고 상기 층간 절연막들(120)이 실리콘 산화막인 경우, 상기 수평적 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다.

[0057] 상기 제 1 블록킹 절연막(BIL1)은 상기 리세스 영역들(210)을 형성하는 단계에서 상기 전하저장막(CL)이 손상되는 것을 방지하는 보호막으로서 기능할 수 있다. 이 경우, 상기 리세스 영역들(210)을 형성한 후, 상기 리세스 영역(210)에 의해 노출되는 상기 제 1 블록킹 절연막(BIL1)의 부분들을 제거하는 단계가 추가적으로 실시될 수 있다.

[0058] 도 9를 참조하면, 상기 리세스 영역들(210)을 차례로 채우는 제 2 블록킹 절연막(BIL2) 및 도전 패턴들(230)을 형성한다. 상기 제 2 블록킹 절연막(BIL2)은 상기 리세스 영역(210)의 내벽을 콘포말하게 덮을 수 있고, 상기 도전 패턴(230)은 상기 제 2 블록킹 절연막(BIL2)이 형성된 상기 리세스 영역(210)의 나머지 공간을 채울 수 있다.

[0059] 이 단계는 상기 리세스 영역들(210)을 차례로 채우는 제 2 블록킹 절연막(BIL2) 및 도전막을 차례로 형성한 후, 상기 트렌치들(200) 내에서 상기 도전막을 제거하여 상기 리세스 영역들(210) 내에 상기 도전 패턴들(230)을 국소적으로 남기는 단계를 포함할 수 있다.

[0060] 상기 제 2 블록킹 절연막(BIL2)은 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 제 2 블록킹 절연막(BIL2)은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이거나, 실리콘 산화막일 수 있다. 본 발명의 실시예들에 따르면, 상기 제 2 블록킹 절연막(BIL2)은 유전율 또는 두께에 있어서 상기 제 1 블록킹 절연막(BIL1)보다 클 수 있지만, 다른 실시예에 따르면 그 반대일 수 있다.

[0061] 상기 도전막은, 상기 제 2 블록킹 절연막(BIL2)에 의해 덮인, 상기 리세스 영역들(210)을 채우도록 형성될 수 있다. 이때, 상기 트렌치들(200)은 상기 도전막에 의해 완전히 또는 부분적으로 채워질 수 있다. 상기 도전막은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 상기 도전막은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다. 일 실시예에 따르면, 상기 도전막은 상기 트렌치(200)의 내벽을 콘포말하게 덮도록 형성될 수 있으며, 이 경우, 상기 도전 패턴(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 등방적 식각의 방법으로 제거하는 단계를 포함할 수 있다. 다른 실시예에 따르면, 상기 도전막은 상기 트렌치(200)를 채우도록 형성될 수 있으며, 이 경우 상기 도전 패턴(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 이방성 식각하는 단계를 포함할 수 있다.

[0062] 상기 도전 패턴들(230)을 형성한 후, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 상기 불순물 영역들(240)은 이온 주입 공정을 통해 형성될 수 있으며, 상기 트렌치(200)를 통해 노출된 상기 기판(10) 내에

형성될 수 있다. 도전형에 있어서, 상기 불순물 영역들(240)은 상기 기판(10)과 다를 수 있다. 한편, 상기 반도체 패턴(SP)은 상기 기판(10)과 동일한 도전형을 갖거나 진성 반도체(intrinsic semiconductor)일 수 있다.

[0063] 일 실시예에 따르면, 상기 불순물 영역들(240) 각각은 서로 연결되어 등전위 상태에 있을 수 있다. 다른 실시예에 따르면, 상기 불순물 영역들(240) 각각은 서로 다른 전위를 가질 수 있도록 전기적으로 분리될 수 있다. 또 다른 실시예에 따르면, 상기 불순물 영역들(240)은, 서로 다른 복수의 불순물 영역들을 포함하는, 독립적인 복수의 소오스 그룹들을 구성할 수 있으며, 소오스 그룹들 각각은 서로 다른 전위를 갖도록 전기적으로 분리될 수 있다.

[0064] 도 10을 참조하면, 상기 트렌치들(200)을 채우는 전극 분리 패턴(250)을 형성한다. 상기 전극 분리 패턴(250)을 형성하는 단계는 상기 불순물 영역들(240)이 형성된 결과물 상에 전극 분리막을 형성한 후, 그 결과물을 식각하여 상기 식각 마스크(190) 또는 상기 패드(PD)의 상부면을 노출시키는 단계를 포함할 수 있다. 상기 전극 분리막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중의 적어도 한가지로 형성될 수 있으며, 상기 식각 단계는 화학적-기계적 연마 기술 또는 에치백 기술과 같은 평탄화 기술을 사용하여 실시될 수 있다.

[0065] 이어서, 상기 패드(PD) 각각의 상부에 상부 플러그들(260)을 형성한 후, 상기 상부 플러그들(260)의 상부에 이들을 연결하는 상부 배선들(270)을 형성한다. 상기 상부 배선들(270) 각각은 상기 상부 플러그(260) 및/또는 상기 패드(PD)을 통해 상기 제 1 반도체 패턴(165) 및 상기 제 2 반도체 패턴(175)에 전기적으로 연결될 수 있으며, 상기 도전 패턴들(230)을 가로지르도록 형성될 수 있다. 낸드 플래시 메모리를 위한 실시예에 따르면, 상기 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트라인들로 사용될 수 있다.

[0066] [3차원 반도체 장치-구조]

[0067] 도 11a 및 도 11b는 본 발명의 실시예들에 따른 3차원 반도체 장치를 보다 상세하게 설명하기 위한 단면도들이다. 도 12는 본 발명의 일 실시예에 따른 터널 절연막을 도시하는 사시도이고, 도 13a 및 도 13b는 본 발명의 일 실시예에 따른 전하저장막과 다른 막들의 모양들 및 이들 사이의 상대적 배치를 예시적으로 도시하는 사시도들이다. 보다 구체적으로, 도 11a 및 도 11b는, 각각, 도 1 내지 도 10을 참조하여 설명된 제조 방법 및 변형된 제조 방법을 통해 만들어질 수 있는 3차원 반도체 장치를 부분적으로 도시하는 단면도들이다. 설명의 간결함을 위해, 도 1 내지 도 10을 참조하여 설명된 구성 요소들 및 이들의 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0068] 도 11a를 참조하면, 상기 전하저장막(CL)은 상기 개구부(105) 및 상기 언더컷 영역(107)을 콘포말하게 덮을 수 있다. 이에 따라, 상기 전하저장막(CL)은 상기 개구부(105)의 내측벽 상에 형성되는 수직부들(VTP), 상기 수직부들(VTP)로부터 수평적으로 연장되어 상기 언더컷 영역(107) 내에 배치되는 수평부들(HRP) 및 상기 언더컷 영역(107) 내에서 상기 수평부들(HRP)을 연결하는 연결부들(CNP)을 포함할 수 있다.

[0069] 도시된 것처럼, 하나의 언더컷 영역(107) 내에는, 서로 다른 수직부들(VTP)로부터 연장되어 공통된 하나의 연결부(CNP)에 의해 연결되는, 한 쌍의 수평부들(HRP)이 배치될 수 있다. 본 발명의 일부 실시예들에 따르면, 상기 수평부들(HRP)은 상기 연결부(CNR)를 통해서만 연결될 수 있다. 즉, 상기 연결부(CNR)를 통한 연결을 제외하면, 상기 수평부들(HRP) 및 상기 수직부들(VTP)은 수직적 위치에서 공간적으로 분리될 수 있다. 이러한 공간적 분리는 전하의 퍼짐(spreading)에 따른 기술적 문제들을 억제할 수 있다. 이에 더하여, 상기 수평부들(HRP)이 상기 연결부(CNR)를 통해서 연결되는 경우에 조차, 상기 수평부들(HRP) 사이의 공간적 분리는 상기 전하 퍼짐에서 전하의 경로 길이를 증가시키기 때문에, 상기 전하의 퍼짐에 따른 기술적 문제는 여전히 유효하게 억제될 수 있다.

[0070] 한편, 도 11a에 도시된 것처럼, 상기 수평부들(HRP) 사이의 공간은 상기 전하저장막(CL)보다 큰 밴드갭을 갖는 상기 터널절연막(TIL)에 의해 채워질 수 있다. 예를 들면, 상기 터널 절연막(TIL)은 도 12에 도시된 것처럼 상기 개구부(105)로부터 수평적으로 연장되어 상기 전하저장막(CL)의 수평부들(HRP) 사이에 배치되는 연장부들(EXP)을 가질 수 있다. 상기 터널 절연막(TIL)의 내측벽은 상기 반도체 패턴(SP)에 의해 정의되고, 그것의 외측벽은 상기 전하저장막(CL)에 의해 정의될 수 있다.

[0071] 하지만, 본 발명의 변형된 실시예들에 따르면, 상기 수평부들(HRP) 사이의 공간은 상기 터널절연막(TIL)에 의해 부분적으로 채워질 수 있다. 예를 들면, 도 11b에 도시된 것처럼, 상기 수평부들(HRP) 사이에는 갭(GAP)이 형성될 수 있다. 일부 실시예에 따르면, 상기 갭(GAP)은 실리콘 산화막보다 낮은 유전율을 갖는 매체(medium)(예를 들면, 진공, 공기, 또는 저유전 절연막들(low-k dielectrics) 중의 적어도 하나)로 채워질 수 있다. 상기 갭(GAP)이 낮은 유전율을 갖는 매체로 채워지는 경우, 상기 수직부들(VTP) 사이의 전기적 간섭 특성이 유효하게

개선될 수 있다. 여기서, 간섭 특성은 상기 수직부들(VTP) 중의 하나에 저장되는 전하가 이에 인접하는 다른 수직부(VTP) 또는 이에 인접하는 상기 반도체 패턴(SP)의 일부 영역에 전기적으로 영향을 주는 기술적 문제일 수 있다.

[0072] 한편, 상술한 제조 방법에 따르면, 상기 제 2 블록킹 절연막(BIL2) 및 상기 도전 패턴(230)은 도 8 및 도 9를 참조하여 설명된 것처럼 상기 희생막(130)을 제거함으로써 만들어지는 상기 리세스 영역(210)을 채우도록 형성된다. 이에 따라, 도 13a 및 도 13b에 도시된 것처럼, 복수의 상기 개구부들(105), 복수의 상기 전하저장막들(CL) 및 복수의 상기 반도체 패턴들(SP)이 하나의 상기 제 2 블록킹 절연막(BIL2)을 관통하도록 형성될 수 있다. 이에 비해, 상기 전하저장막(CL)은 상기 개구부들(105) 각각의 내부에 국소적으로 형성될 수 있다.

[0073] 본 발명의 일 측면(some aspect)에 따르면, 도 13a 및 도 13b에 도시된 것처럼, 상기 전하저장막들(CL) 각각 및 상기 반도체 패턴들(SP) 각각은 수직적으로 배열된 복수의 상기 제 2 블록킹 절연막들(BIL2)을 수직적으로 관통하도록 형성되고, 상기 제 2 블록킹 절연막들(BIL2) 각각은, 수평적으로 배열된, 복수의 상기 전하저장막들(CL) 및 복수의 상기 반도체 패턴들(SP)을 가로지르도록 형성될 수 있다.

[0074] 상술한 제조 방법에 따르면, 상기 전하저장막(CL)은 상기 층간절연막(120)을 리세스시킴으로써 형성되는 상기 언더컷 영역(107)을 덮도록 형성된다. 이에 따라, 상기 전하저장막(CL)의 바깥 가장자리(Outer Edge)는 도 11b에 도시된 것처럼 상기 도전 패턴(230)의 상기 반도체 패턴(SP)에 인접하는 제 1 측벽(S1)과 이로부터 이격된 제 2 측벽(S2) 사이에 위치할 수 있다.

[0075] [제 1 변형예]

[0076] 도 14 및 도 15은 본 발명의 제 1 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도들이다. 설명의 간결함을 위해, 상술한 실시예들에서 설명된 구성 요소들 및 이들의 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0077] 상기 제 1 영역들(R1)은 상기 수직막(150)에 의해 완전히 또는 부분적으로 채워짐으로써, 상기 제 1 반도체막(160)은 상기 제 1 영역들(R1) 내에 형성되지 않을 수 있다. 반면, (상기 제 1 영역(R1)에 비해 두꺼운) 상기 제 2 영역들(R2)은 상기 수직막(150) 뿐만이 아니라 상기 제 1 반도체막(160)에 의해 채워질 수 있다. 이에 따라, 도 15에 도시된 것처럼, 상기 반도체 패턴(SP)의 상기 제 2 영역(R2)에서 폭(W2)은 해당 반도체 패턴(SP)의 상기 제 1 영역(R1)에서의 폭(W1)보다 더 클 수 있다.

[0078] 한편, 제 1 변형예에 따르면, 상기 제 1 반도체막(160)은, 도 14에 도시된 것처럼, 상기 제 2 영역(R2)에서 상기 언더컷 영역(107)을 완전히 채우지 않을 수 있다. 즉, 상기 제 1 반도체막(160)은 상기 수직막(150)이 형성된 상기 언더컷 영역(107)의 잔존 두께의 절반보다 얇은 두께로 증착될 수 있다. 이후, 도 15에 도시된 것처럼, 상기 제 2 반도체 패턴(175)은 상기 제 1 반도체막(160)에 의해 채워지지 않은 상기 언더컷 영역(107)을 완전히 채우지 않도록 형성될 수 있다. 상기 제 1 반도체막(160)에 의해 채워지지 않은 상기 언더컷 영역(107)은 실리콘 산화막보다 낮은 유전율을 갖는 매체(medium)(예를 들면, 진공, 공기, 또는 저유전 절연막들(low-k dielectrics) 중의 적어도 하나)로 채워질 수 있다.

[0079] 반도체 장치의 동작에서, 상기 제 2 영역(R2)을 지나는 전류는 상기 제 1 반도체 패턴(165)을 통한 우회 경로가 아니라 상기 제 2 반도체 패턴(175)을 통한 최단 경로를 통해 흐를 수 있다. 이에 따라, 상기 반도체 패턴(SP)을 경유하는 전류의 감소 또는 저항의 증가가 억제될 수 있다.

[0080] [제 2 변형예]

[0081] 도 16은 본 발명의 제 2 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다. 설명의 간결함을 위해, 상술한 실시예들에서 설명된 구성 요소들 및 이들의 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0082] 상기 전극 분리 패턴(250)을 형성하기 전에, 상기 도전 패턴들(230)을 형성하는 주형으로 사용된, 상기 층간절연막(120)의 잔존부분들을 제거하는 단계가 더 실시될 수 있다. 이 경우, 도 16에 도시된 것처럼, 상기 전극 분리 패턴(250)은 상기 층간절연막(120)이 제거됨으로써 생성되는 공간을 채우도록 형성될 수 있다.

[0083] 다른 변형된 실시예에 따르면, 도시하지는 않았지만, 상기 전극 분리 패턴(250)은 상기 층간절연막(120)이 제거됨으로써 생성되는 공간을 부분적으로 채우도록 형성될 수 있으며, 나머지 공간은 실리콘 산화막보다 낮은 유전율을 갖는 매체(medium)(예를 들면, 진공, 공기, 또는 저유전 절연막들(low-k dielectrics) 중의 적어도 하나)

로 채워질 수 있다.

[0084] 또다른 변형된 실시예에 따르면, 상기 층간절연막(120)의 잔존부분들을 제거하는 동안, 상기 제 1 블록킹 절연막(BIL1) 또는 상기 전하저장막(CL)이 부분적으로 식각될 수 있다. 이 경우, 도 16에 도시된 것처럼, 상기 전하저장막(CL)은 수직적으로 분리된 부분들로 구성될 수 있다. 즉, 이 실시예에 따르면, 상기 전하저장막(CL)은, 도 11a를 참조하여 설명된 실시예와 달리, 상기 연결부들(CNP)이 제거되어 상기 수평부들(HRP)이 수직적으로 분리된 구조를 가질 수 있다.

[0085] [제 3 변형예]

[0086] 도 17 내지 도 20은 본 발명의 제 3 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다. 설명의 간결함을 위해, 상술한 실시예들에서 설명된 구성 요소들 및 이들의 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0087] 상기 도전 패턴(230)을 형성하는 단계는, 도 17에 도시된 것처럼, 상기 리세스 영역(210)을 채우는 도전막(220)을 실질적으로 콘포말하게 형성하는 단계를 포함할 수 있다. 한편, 도 1에 도시된 것처럼, 상기 희생막들(130) 중의 일부(예를 들면, 최상부층)은 다른 것들에 비해 두꺼운 두께로 형성될 수 있다. 그 결과로서, 상기 리세스 영역들(210)의 일부는 D1의 두께로 형성되고, 다른 일부는 상기 두께 D1보다 큰 D2의 두께로 형성될 수 있다.

[0088] 이 경우, 상기 도전막(220)이 두께 D1의 절반보다 두껍고 두께 D2의 절반보다 얇은 두께로 형성될 경우(즉, D1/2 < Tc < D2/2), 도 17에 도시된 것처럼, 얇은 두께(D1)의 리세스 영역들(210)은 상기 도전막(220)에 의해 완전히 채워지는 반면, 두꺼운 두께(D2)의 리세스 영역(210)은 상기 도전막(220)에 의해 콘포말하게 덮이지만 상기 도전막(220)에 의해 완전히 채워지지 않을 수 있다.

[0089] 이후, 도 18에 도시된 것처럼, 상기 도전막(220)을 등방적으로 식각하여 얇은 두께(D1)의 상기 리세스 영역(210)에 잔존하는 도전 패턴들(230)을 형성한다. 상기 도전막(220)을 식각하는 단계는 상기 도전막(220)의 증착 두께(Tc)보다 큰 식각 깊이로 실시될 수 있다. 이에 따라, 두꺼운 두께(D2)의 리세스 영역(210)에서는 상기 도전막(220)이 제거되어, 상기 제 2 블록킹 절연막(BIL2)이 노출될 수 있다. 변형된 실시예에 따르면, 상기 제 2 블록킹 절연막(BIL2) 역시 상기 두꺼운 두께(D2)의 리세스 영역(210)에서 제거되어 상기 수직 패턴(155)의 표면이 노출될 수 있다.

[0090] 도 19를 참조하면, 상기 도전막(220)이 제거된, 상기 두꺼운 두께(D2)의 리세스 영역(210)은 상기 전극 분리 패턴(250)에 의해 채워질 수 있다. 이 경우, 상기 도전 패턴(230)이 상기 패드(PD) 또는 상기 반도체 패턴(SP)의 상부 영역의 주위에서 제거될 수 있다. 한편, 상기 패드(PD)은, 도 19에 도시된 것보다, 잔존하는 상기 도전 패턴들(230)의 최상부층에 더 인접하게 형성될 수 있다. 즉, 이 실시예에 따르면, 상기 패드(PD)의 하부면은 상기 도전 패턴들(230)의 최상부층의 상부면보다 상기 기판(10)으로부터 더 멀리 이격될 수 있다.

[0091] 도 20은 도 16을 참조하여 설명된 실시예에 도 17 내지 도 19를 참조하여 설명된 제조 방법을 적용함으로써 만들어지는 반도체 장치를 도시하는 단면도이다. 즉, 도 20에 도시된 것처럼, 상기 제 1 반도체 패턴(165)은 상기 제 2 영역(R2)에서 상기 언더컷 영역(107)을 완전히 채우지 않고, 상기 도전 패턴(230)은 상기 패드(PD) 주위에 형성되지 않을 수 있다.

[0092] [제 4 변형예]

[0093] 도 21은 본 발명의 제 4 변형예에 따른 3차원 반도체 장치의 제조 방법을 예시적으로 보여주는 단면도이다. 설명의 간결함을 위해, 상술한 실시예들에서 설명된 구성 요소들 및 이들의 중복되는 기술적 특징들에 대한 설명은 아래에서 생략될 수 있다.

[0094] 도 17 및 도 18을 참조하여 설명된 것처럼, 상기 도전막(220)을 식각하는 단계는 상기 도전막(220)의 증착 두께(Tc)보다 큰 식각 깊이로 실시될 수 있다. 이 경우, 도 21에 도시된 것처럼, 상기 층간절연막(120)의 측벽들을 덮는 상기 제 2 블록킹 절연막(BIL2)의 측벽들이 상기 도전 패턴들(230) 사이에서 노출될 수 있다. 하지만, 앞서 설명한 실시예들에 도시된 것과 같이, 상기 트렌치(200)의 내부에서 상기 제 2 블록킹 절연막(BIL2)은 제거되어, 상기 층간절연막(120)의 측벽들이 노출될 수도 있다.

[0095] 도 22는 본 발명에 따른 플래시 메모리 장치를 구비하는 메모리 카드(1200)의 일 예를 간략히 도시한 블록도이다. 도 22를 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치

(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0096] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

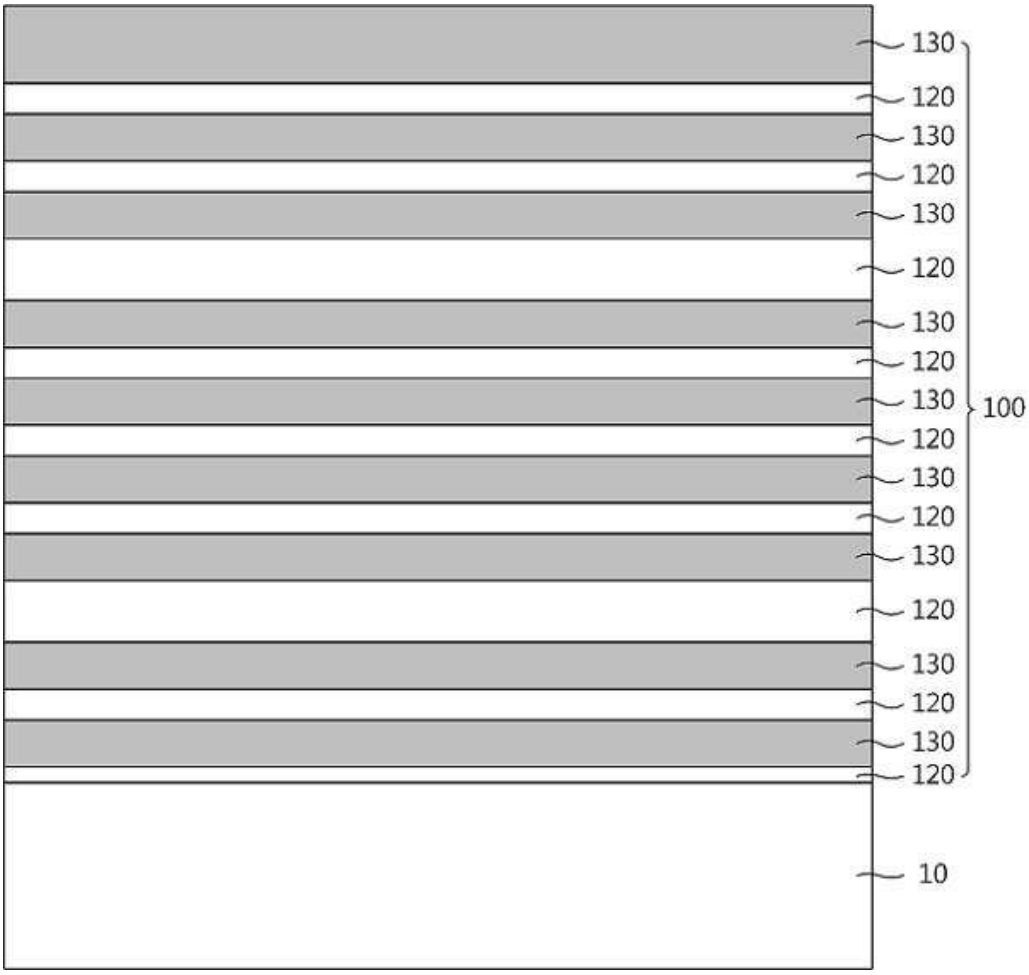
[0097] 이상의 본 발명의 플래시 메모리 장치 및 메모리 카드 또는 메모리 시스템에 따르면, 더미 셀들의 소거 특성이 개선된 플래시 메모리 장치(1210)를 통해서 신뢰성 높은 메모리 시스템을 제공할 수 있다. 특히, 최근 활발히 진행되는 반도체 디스크 장치(Solid State Disk:이하 SSD) 장치와 같은 메모리 시스템에서 본 발명의 플래시 메모리 장치가 제공될 수 있다. 이 경우, 더미 셀로로부터 야기되는 읽기 에러를 차단함으로써 신뢰성 높은 메모리 시스템을 구현할 수 있다.

[0098] 도 23은 본 발명에 따른 플래시 메모리 시스템(1310)을 장착하는 정보 처리 시스템(1300)을 간략히 보여주는 블록도이다. 도 23을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor:CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

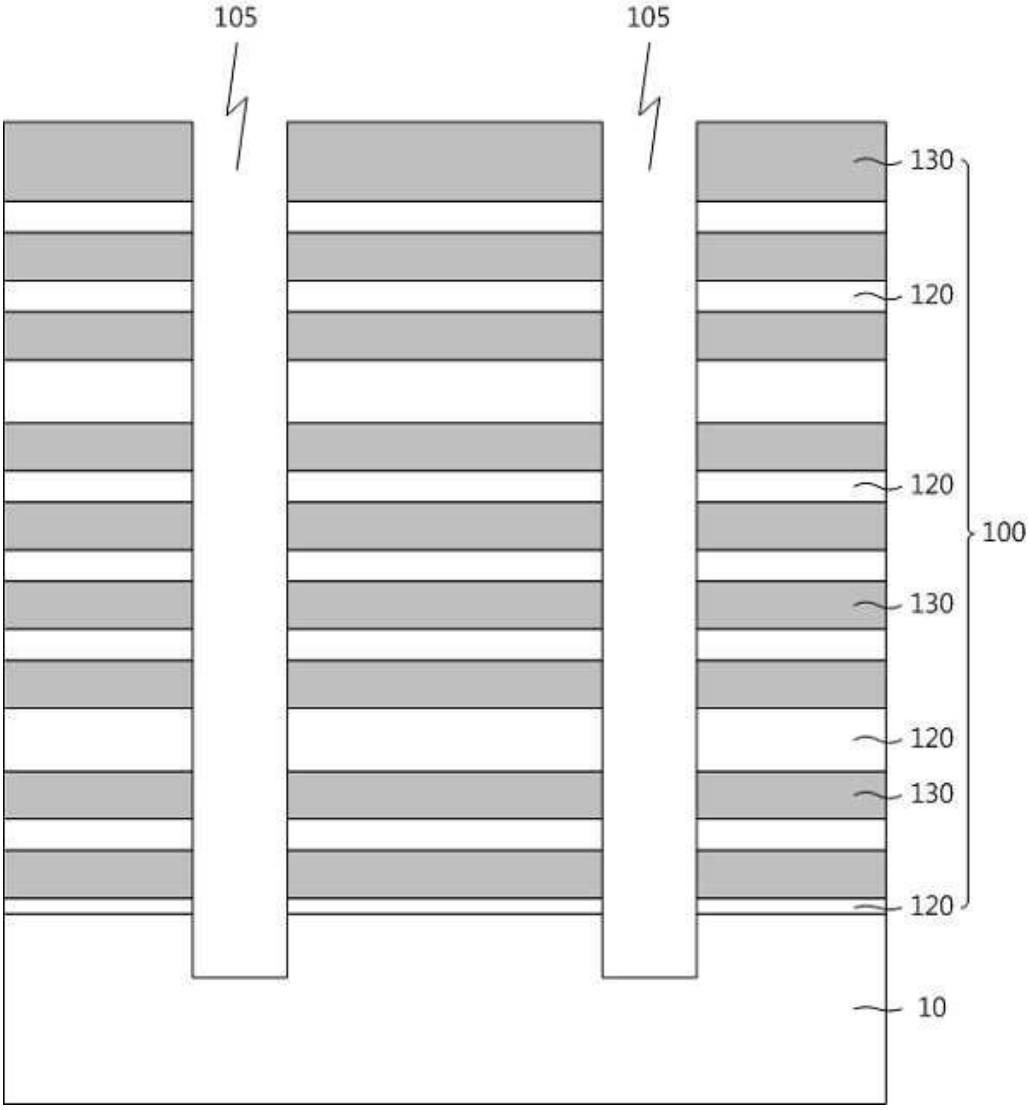
[0099] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

도면

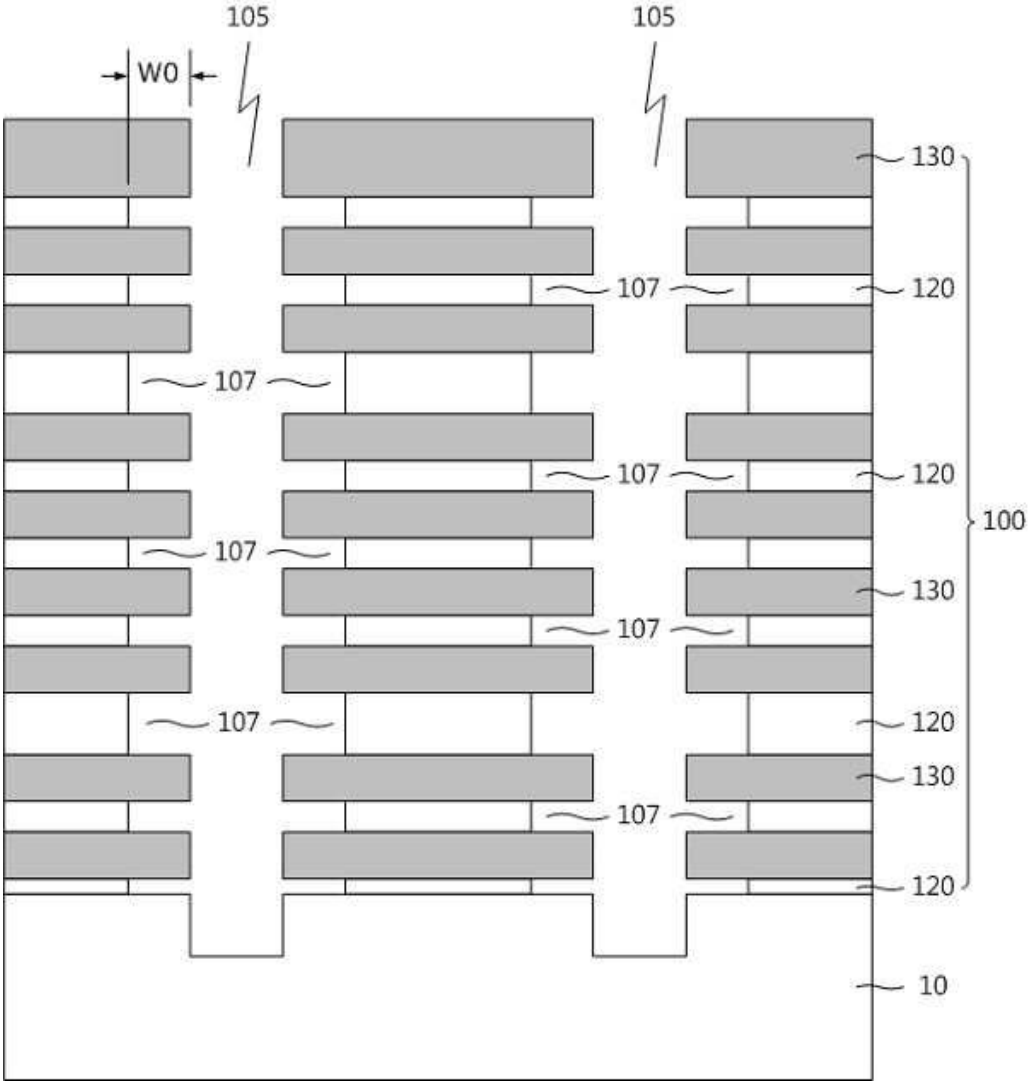
도면1


130
120
130
120
130
120
130
120
130
120
130
120
130
120
130
120
130
120
100
10

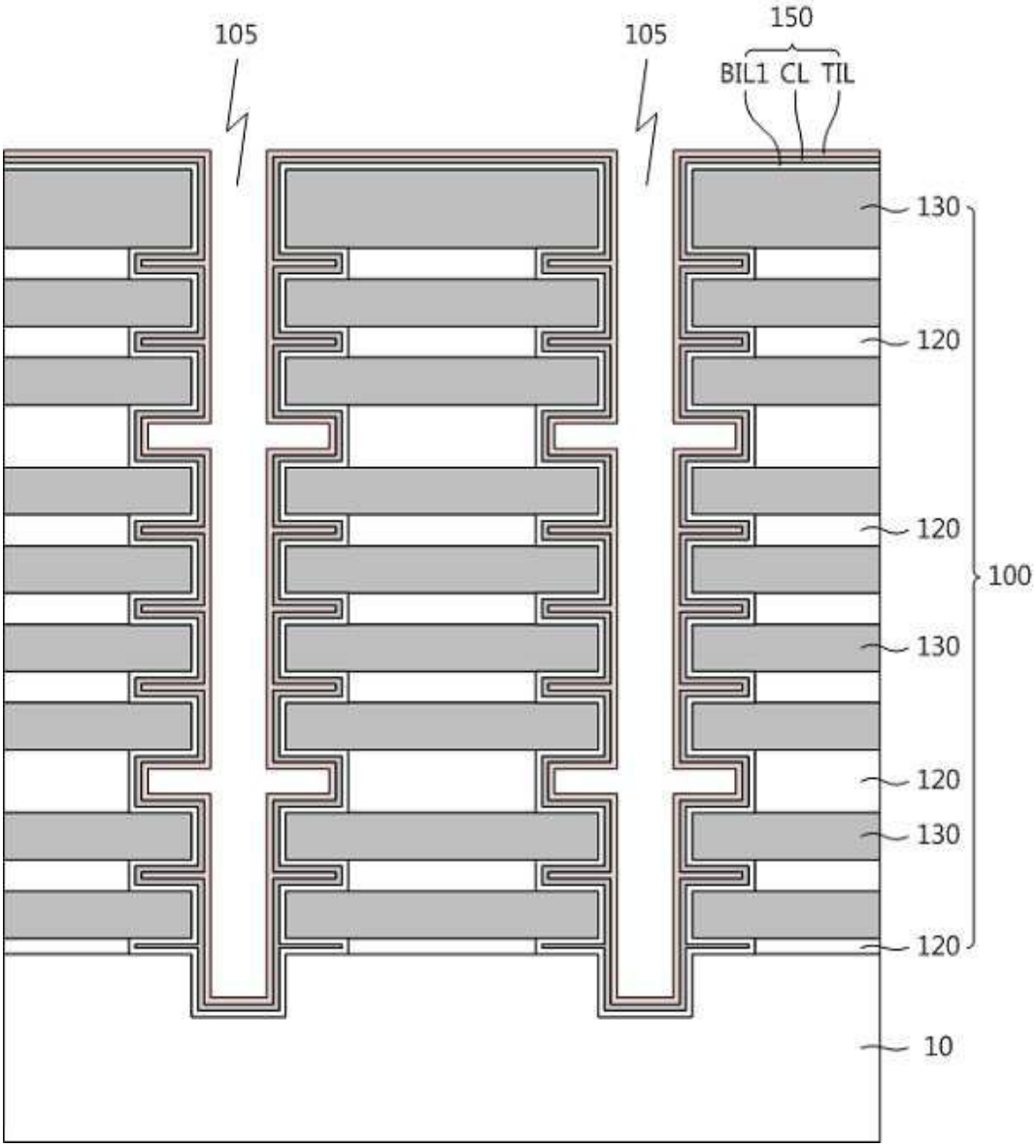
도면2



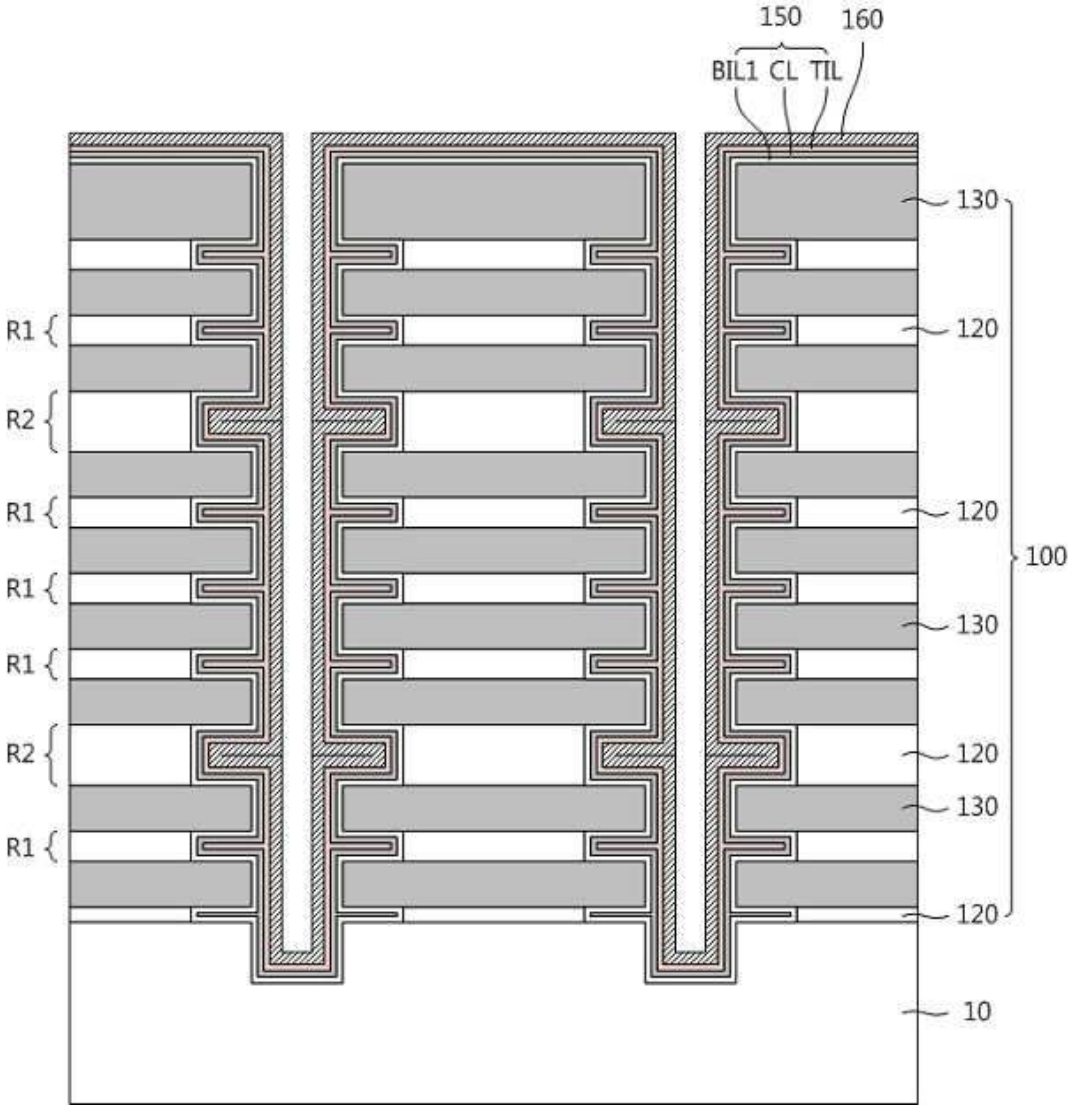
도면3


105
105
W0
130
107
120
107
107
120
100
107
130
107
107
120
130
107
120
10

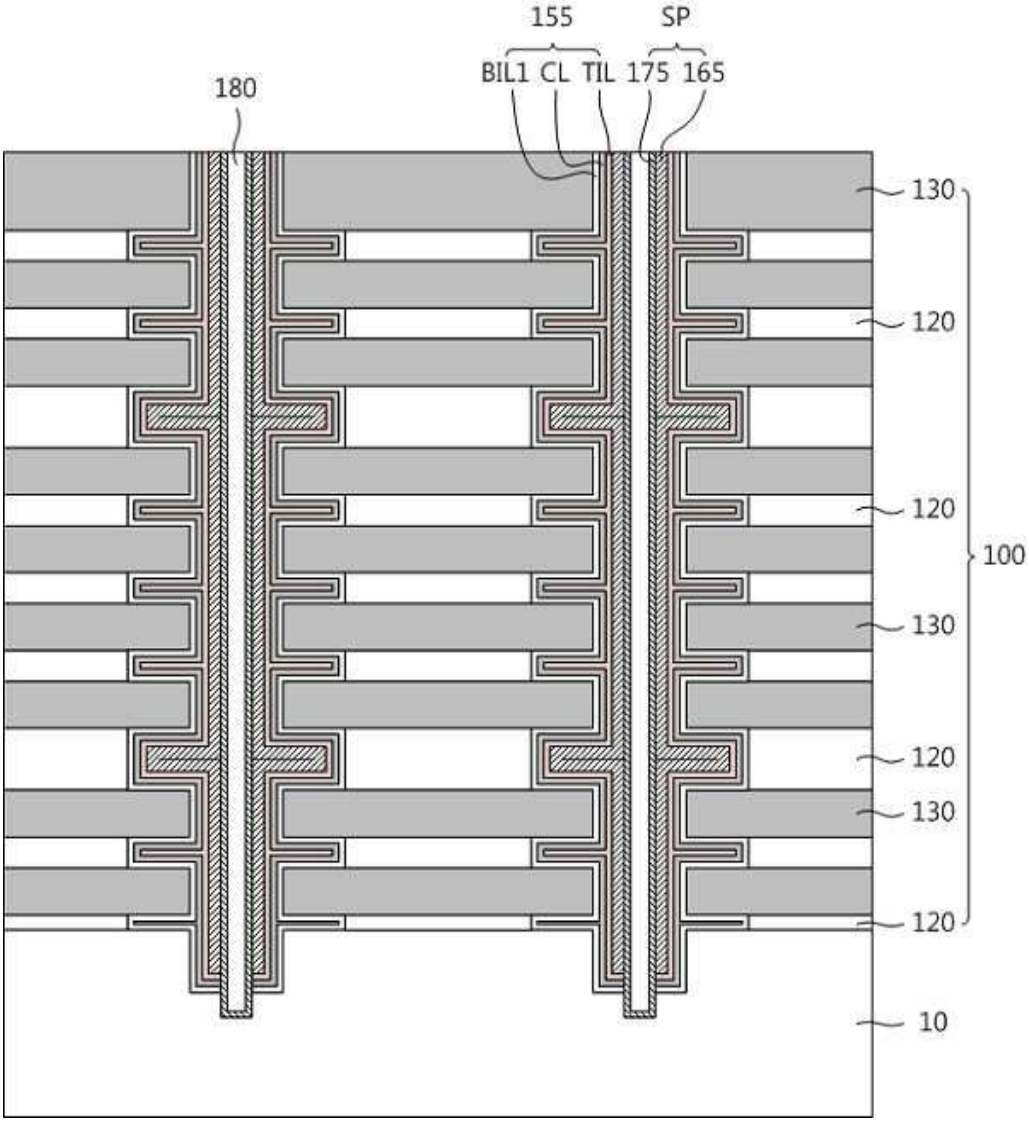
도면4



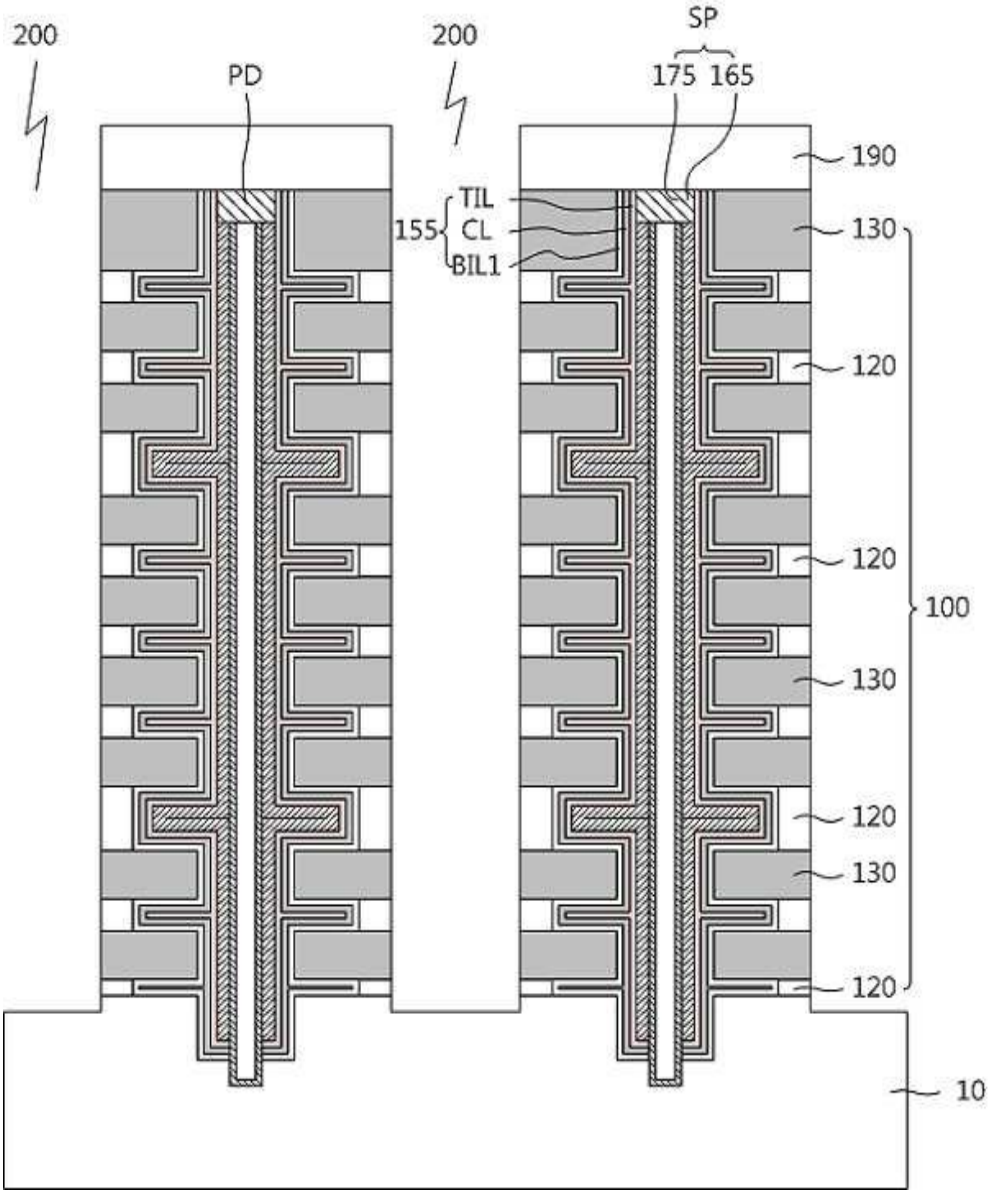
도면5


150
160
BIL1
CL
TIL
130
120
120
130
120
130
120
100
10
R1
R2
R1
R1
R1
R2
R1

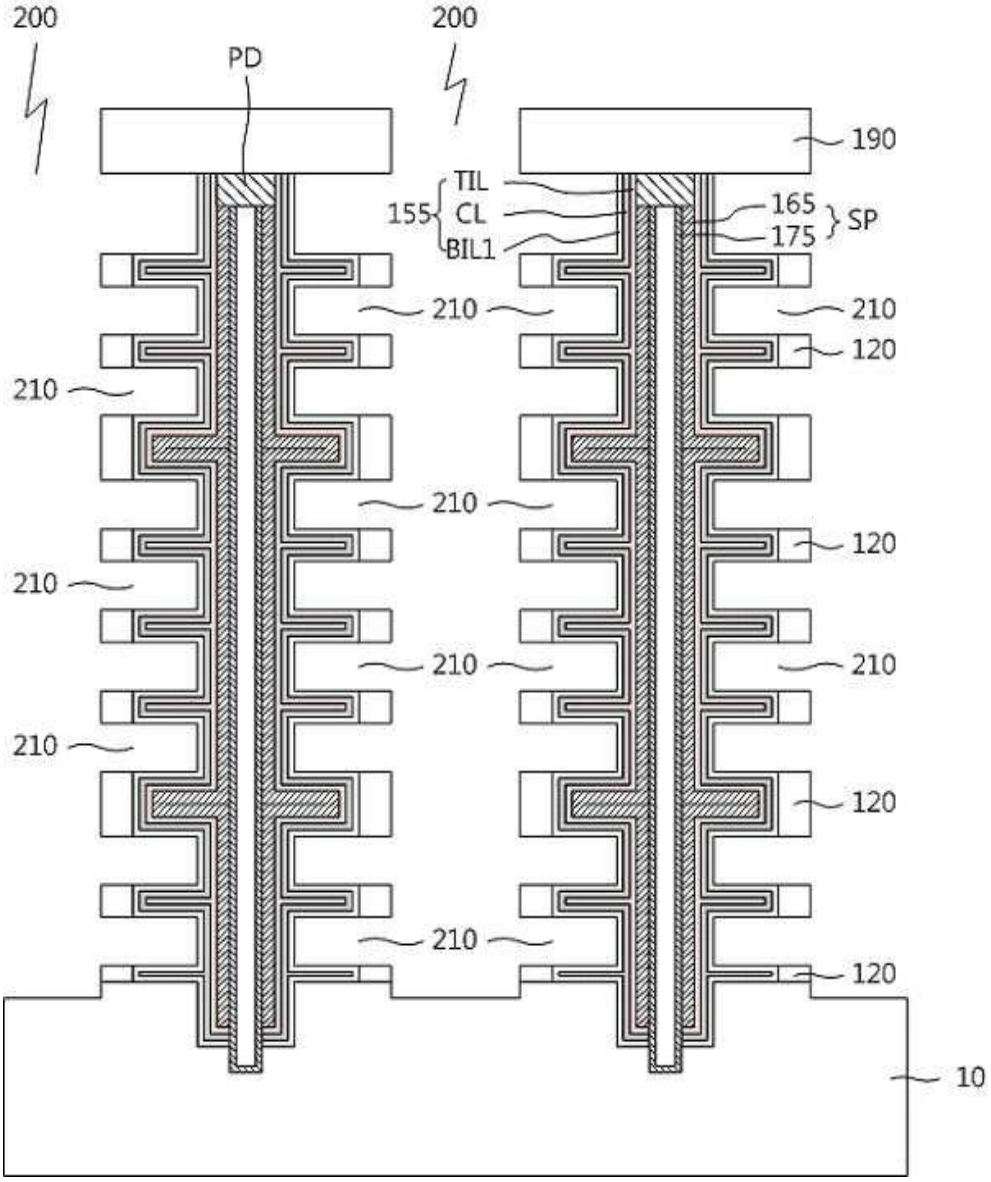
도면6



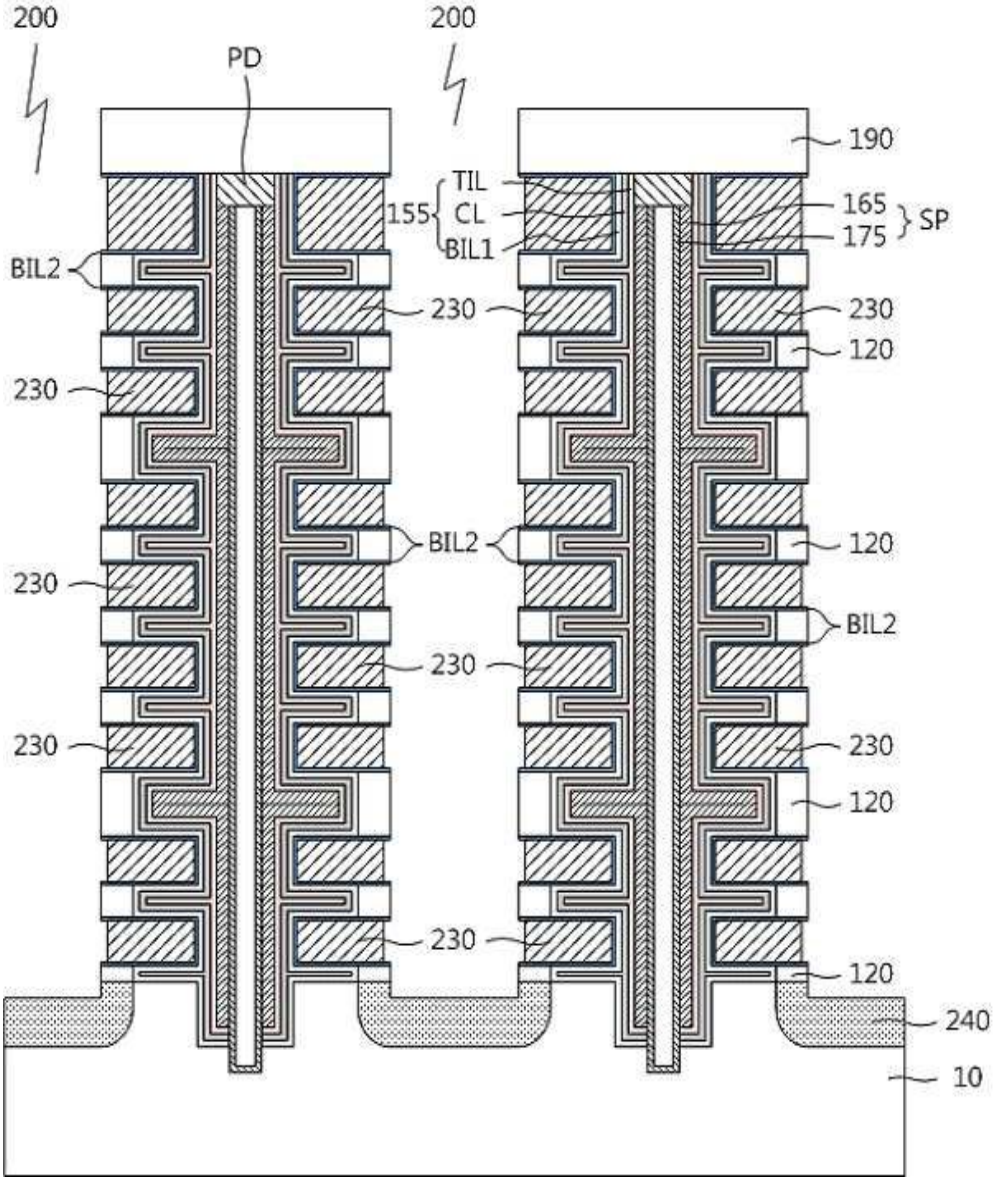
도면7


200
PD
200
SP
175 165
190
TIL
155 CL
BIL1
130
120
120
100
130
120
130
120
10

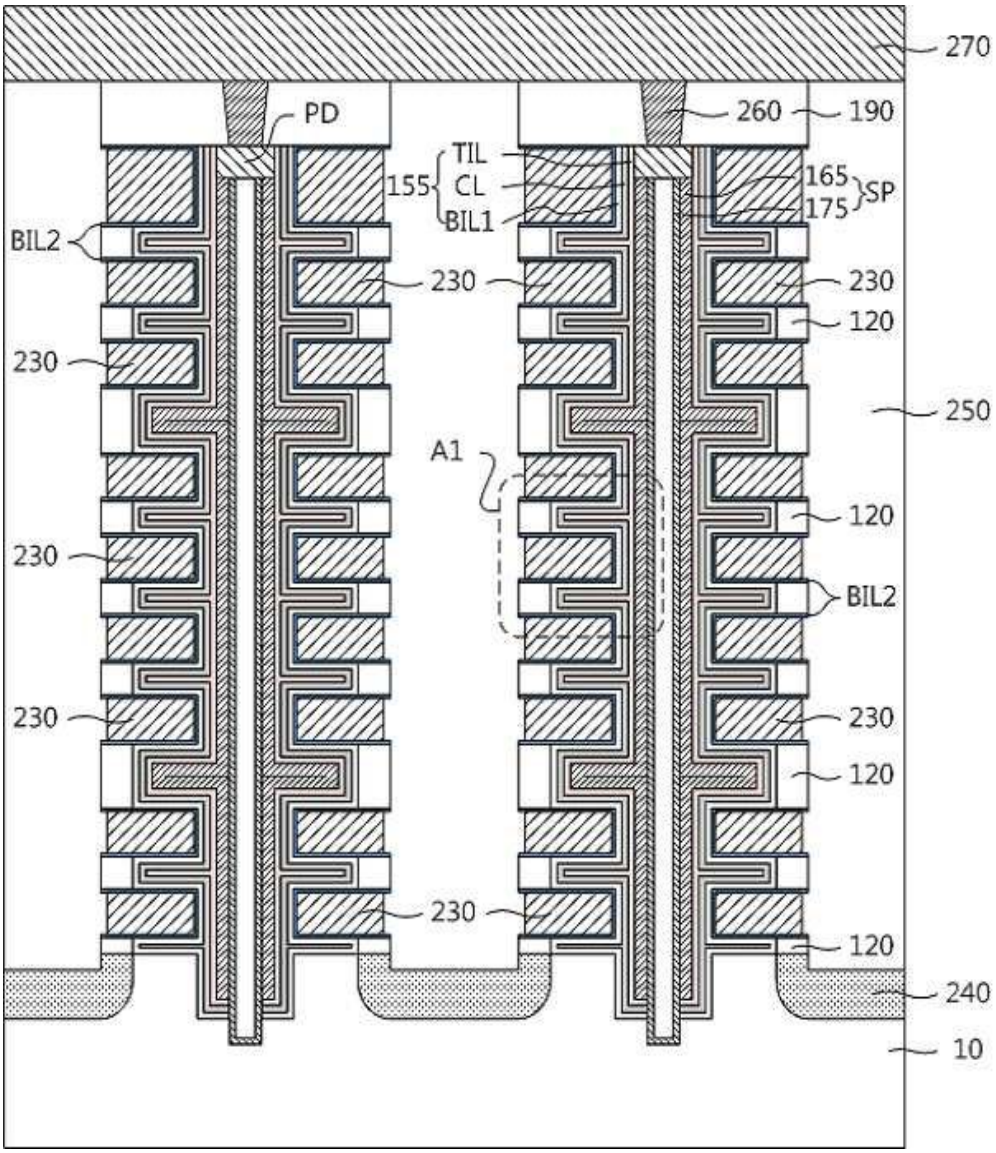
도면8


200
PD
200
190
TIL
155
CL
BIL1
165
175
SP
210
210
120
210
210
120
210
210
210
120
210
120
10

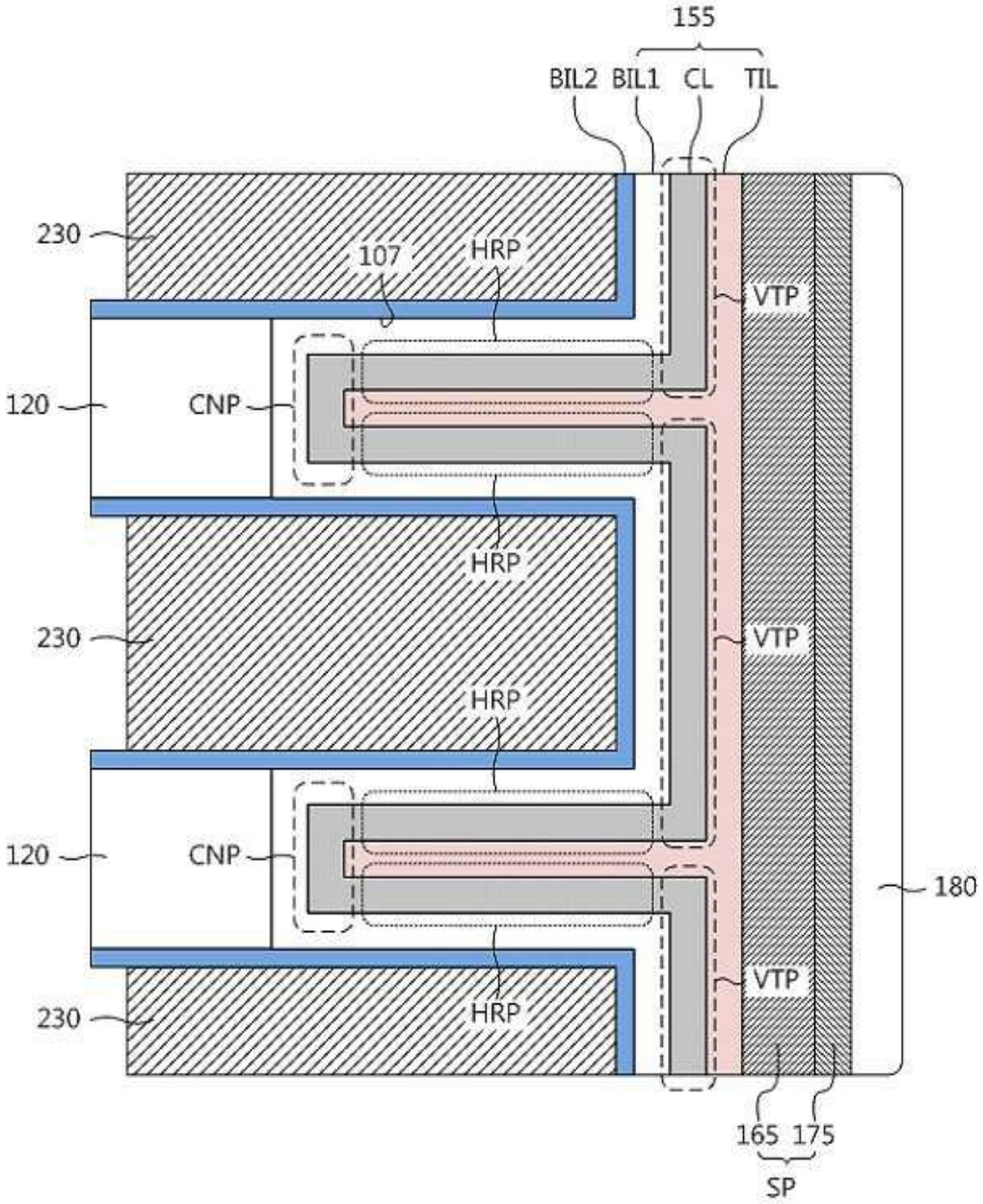
도면9


200
PD
200
190
TIL
155
CL
BIL1
165
175
SP
BIL2
230
230
120
230
BIL2
120
230
BIL2
230
230
120
230
120
240
10

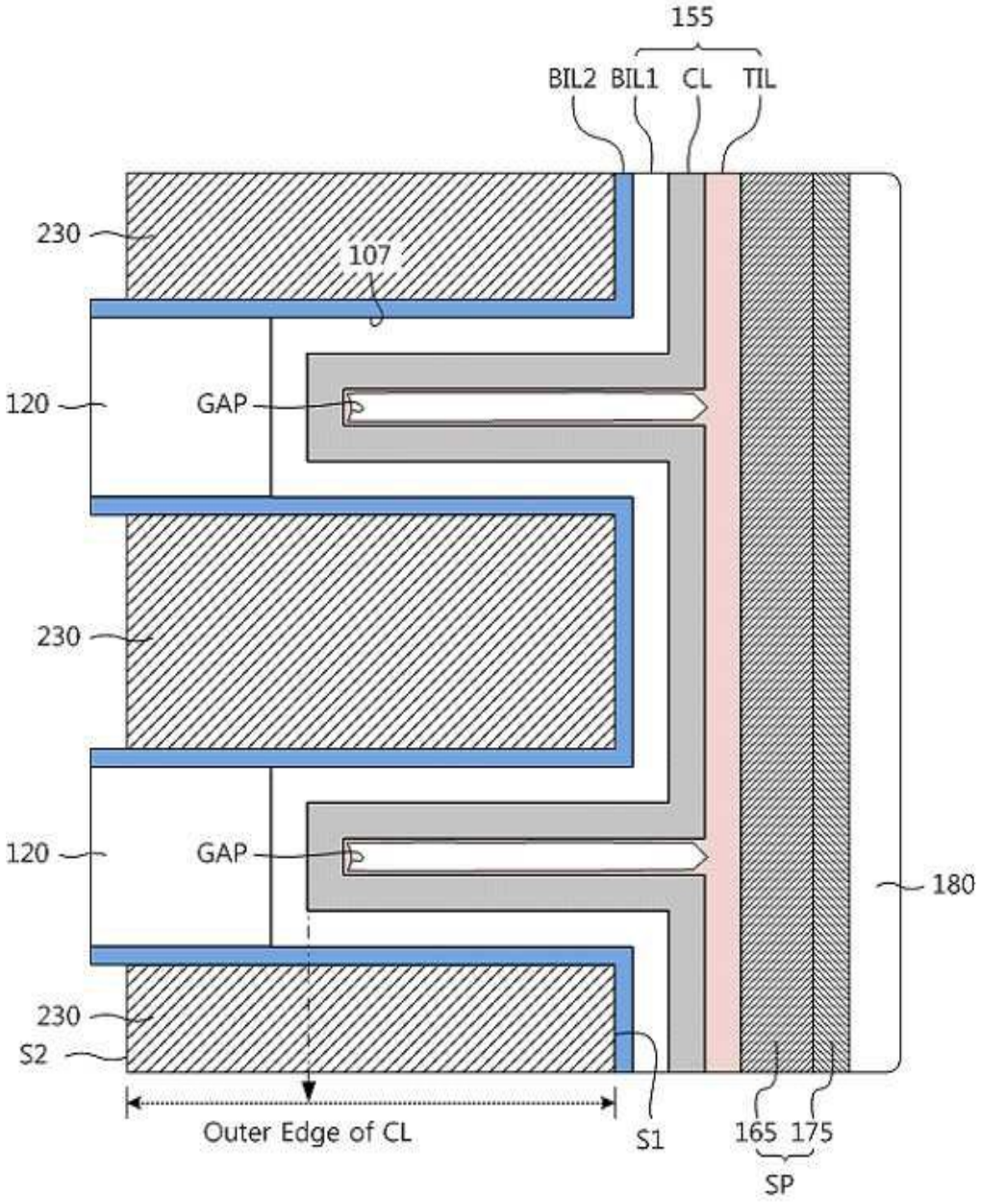
도면10


270
PD
260
190
TIL
155
CL
BIL1
165
175
SP
BIL2
230
230
120
230
250
A1
120
230
BIL2
230
230
120
230
120
240
10

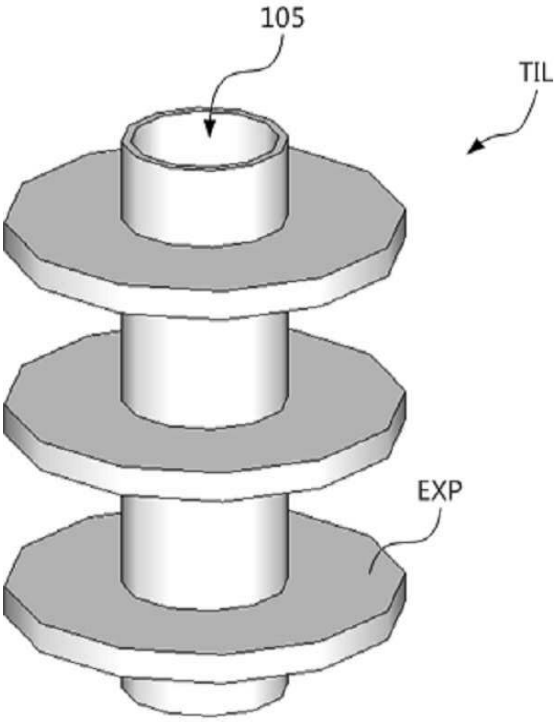
도면11a


155
BIL2
BIL1
CL
TIL
230
107
HRP
VTP
120
CNP
HRP
230
VTP
HRP
120
CNP
180
VTP
230
HRP
165
175
SP

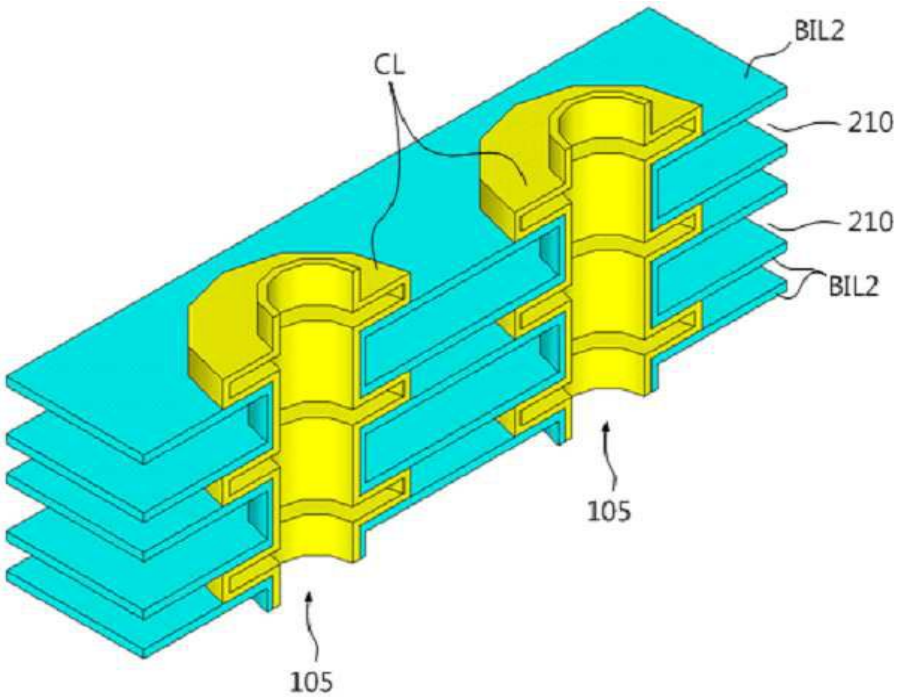
도면11b


155
BIL2
BIL1
CL
TIL
230
107
120
GAP
230
120
GAP
180
230
S2
Outer Edge of CL
S1
165
175
SP

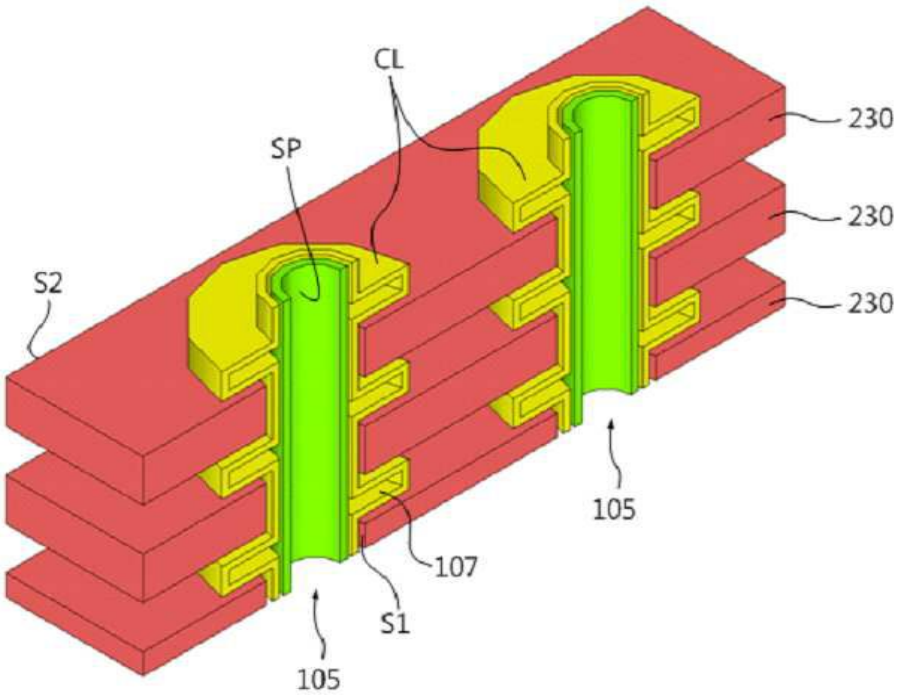
도면12



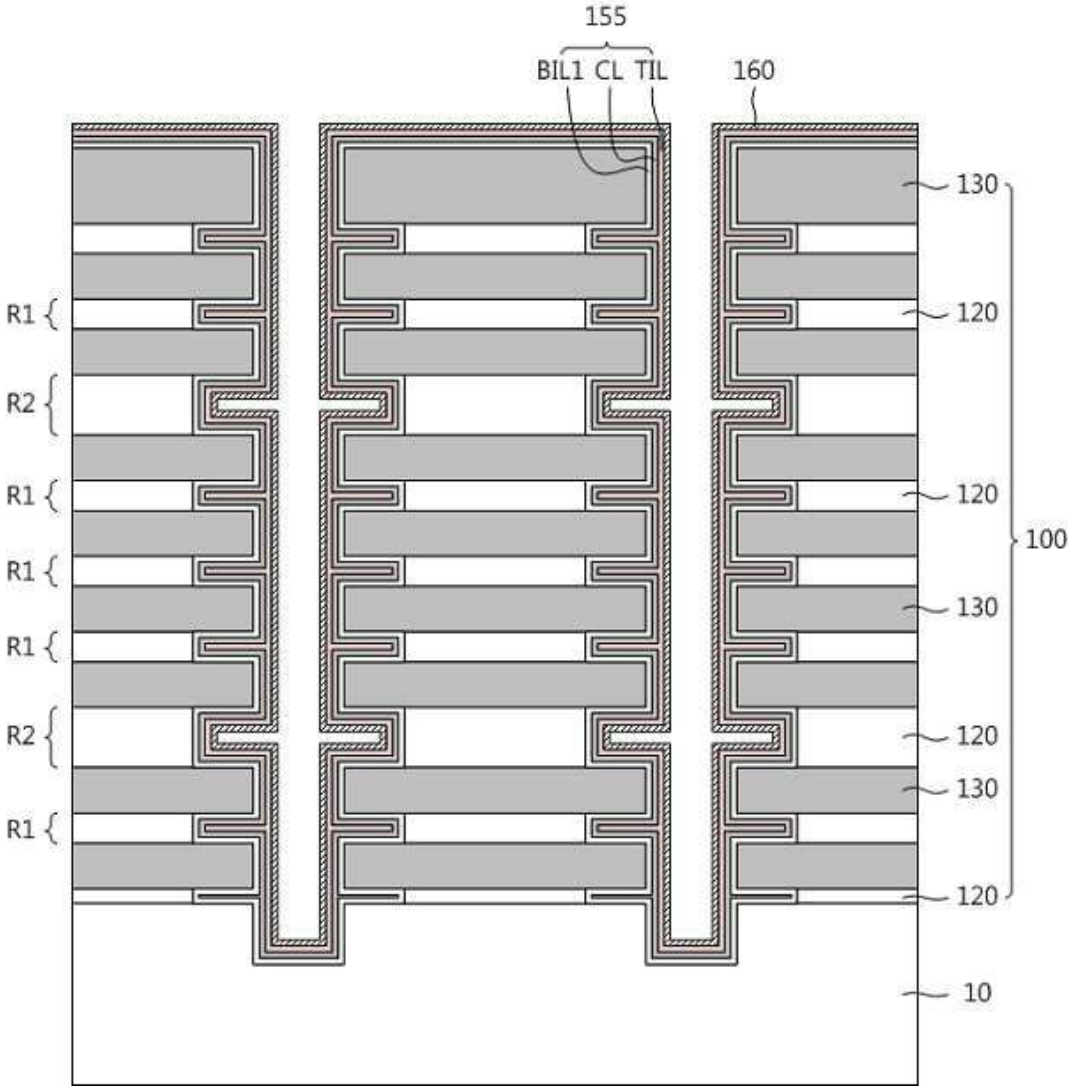
도면13a



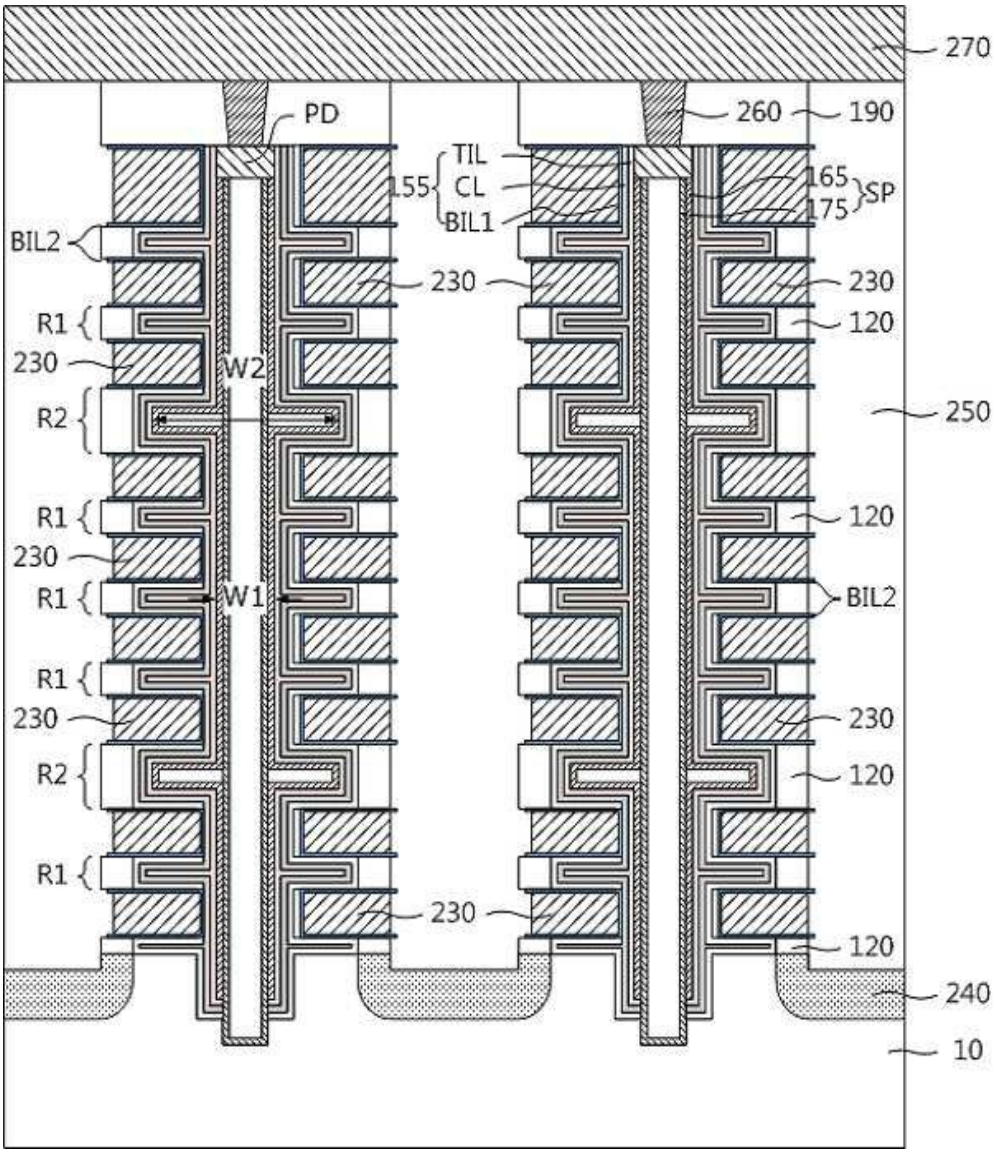
도면13b



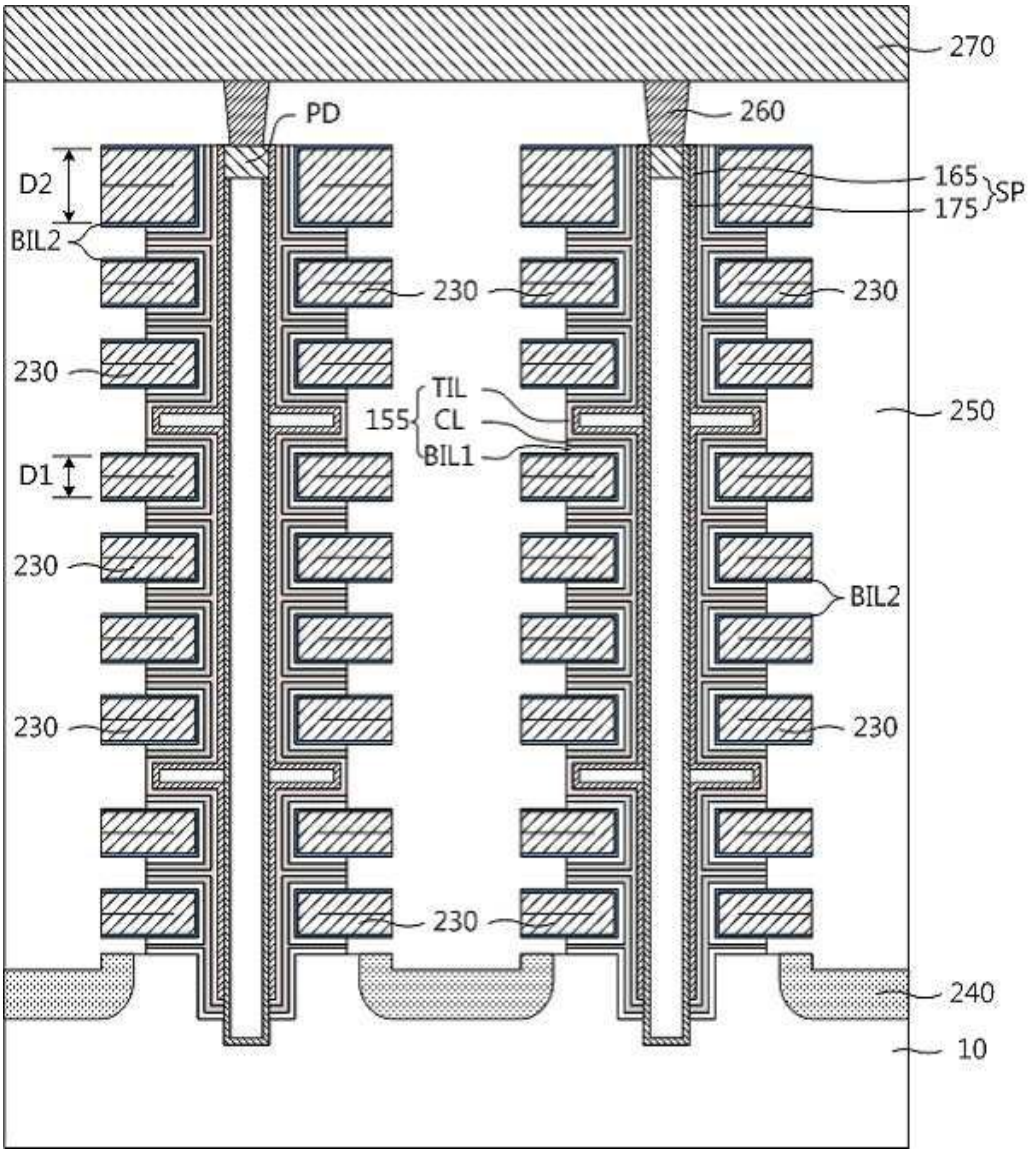
도면14


155
BIL1
CL
TIL
160
130
120
120
100
130
120
130
120
10
R1
R2
R1
R1
R1
R2
R1

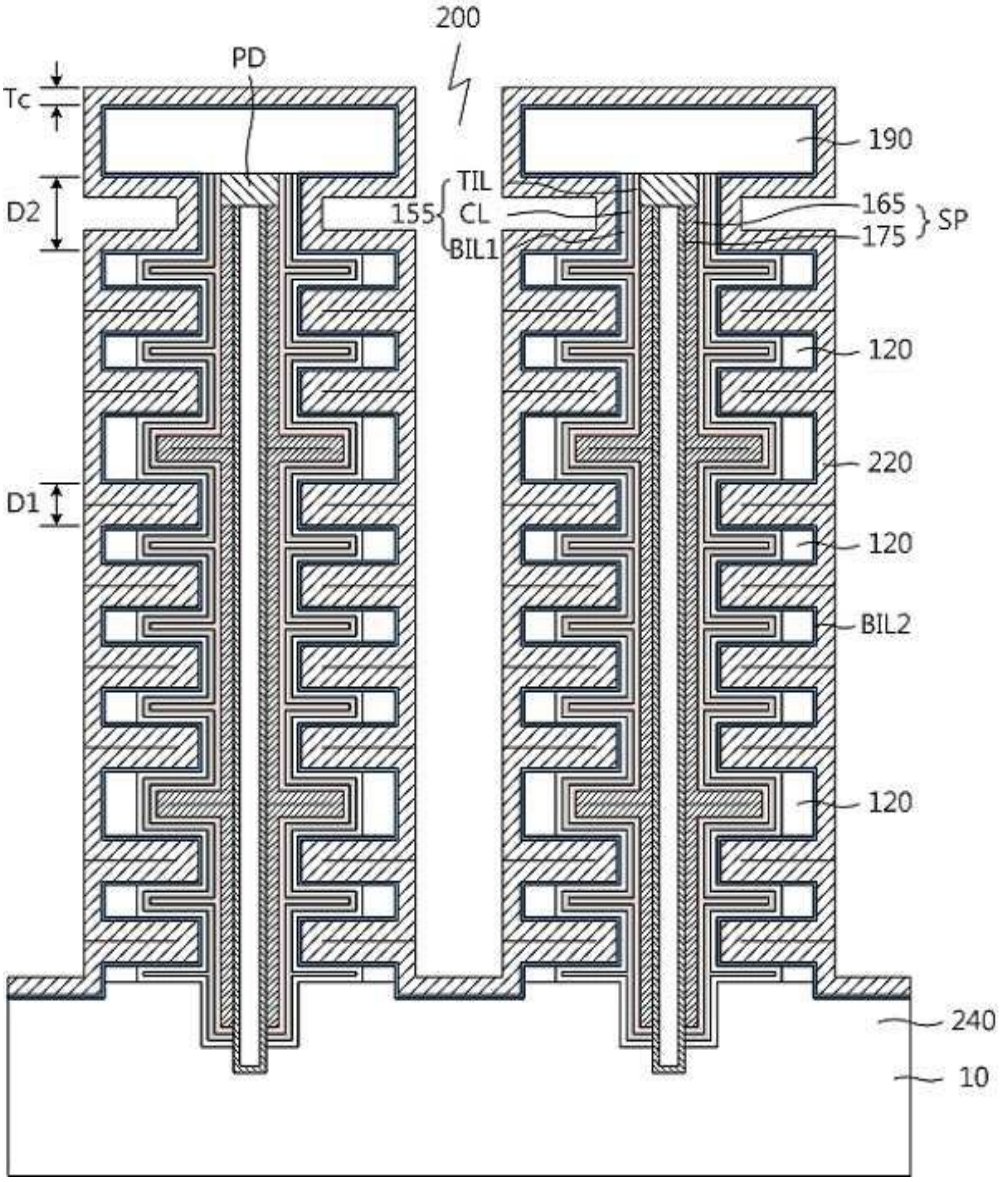
도면15


270
PD
260
190
TIL
155
CL
BIL1
165
175
SP
BIL2
230
230
R1
120
230
W2
R2
250
R1
120
230
R1
W1
BIL2
R1
230
230
R2
120
R1
230
120
240
10

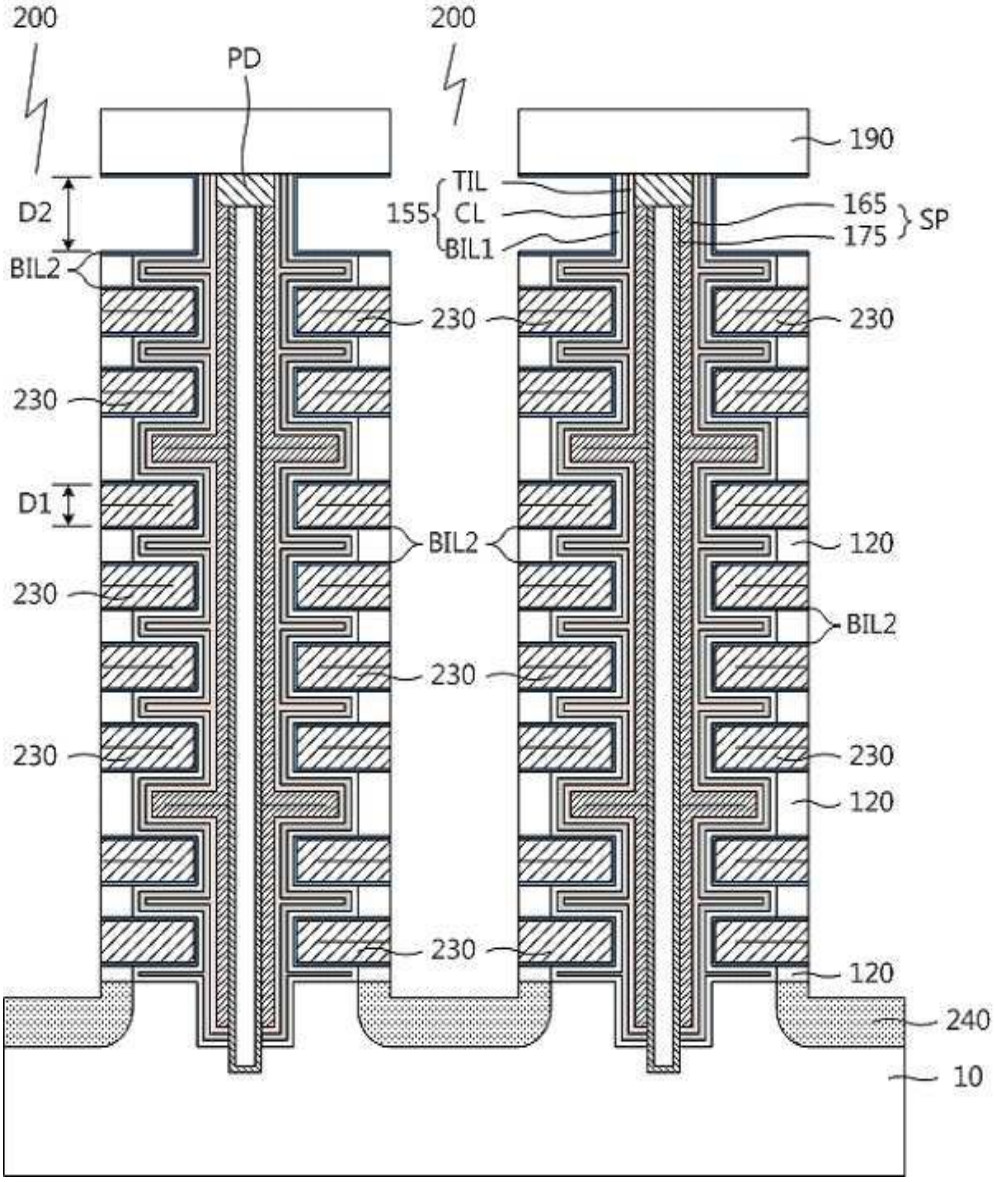
도면16


270
PD
260
D2
165
SP
175
BIL2
230
230
230
TIL
155
CL
BIL1
250
D1
230
BIL2
230
230
230
240
10

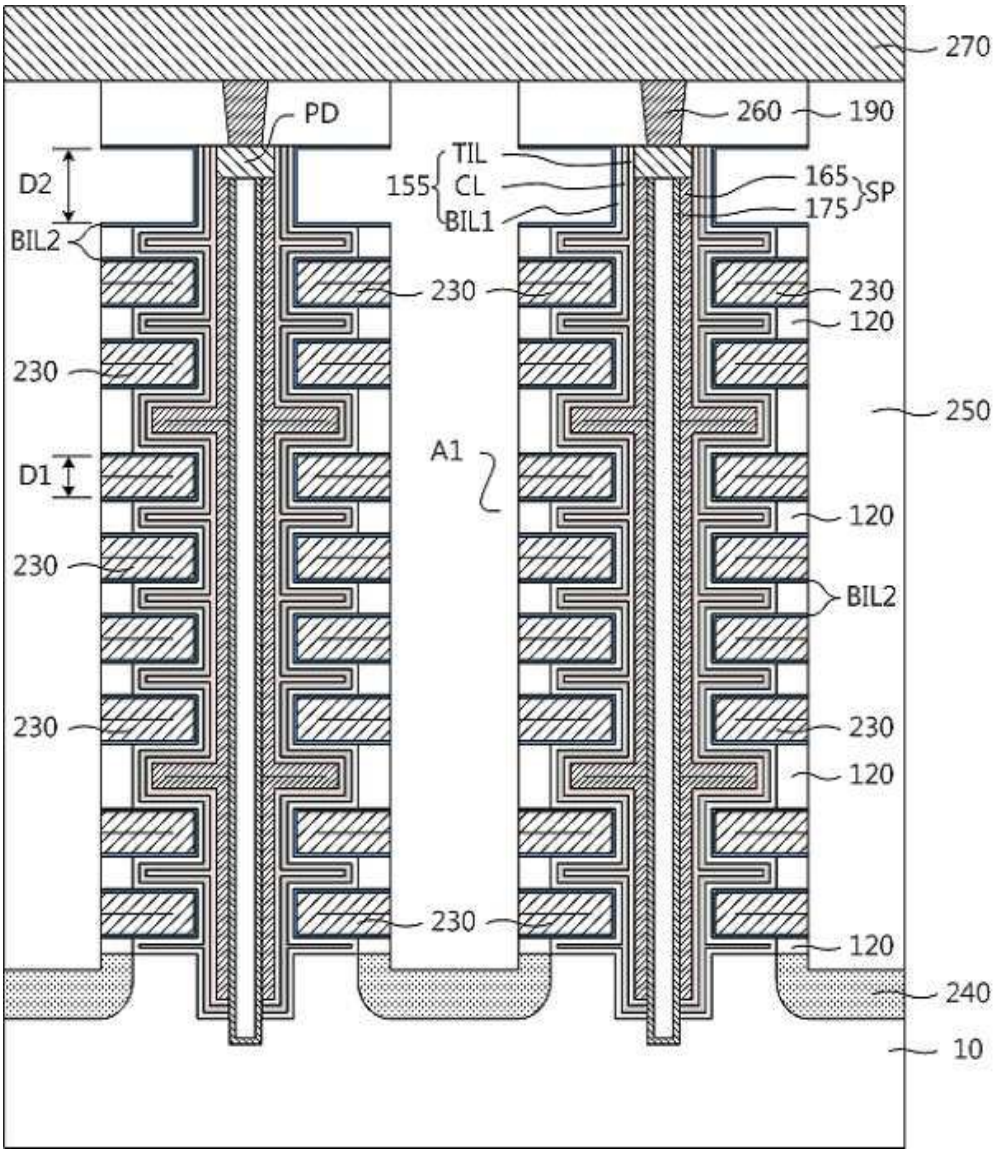
도면17


200
PD
Tc
D2
D1
155
TIL
CL
BIL1
190
165
175
SP
120
220
120
BIL2
120
240
10

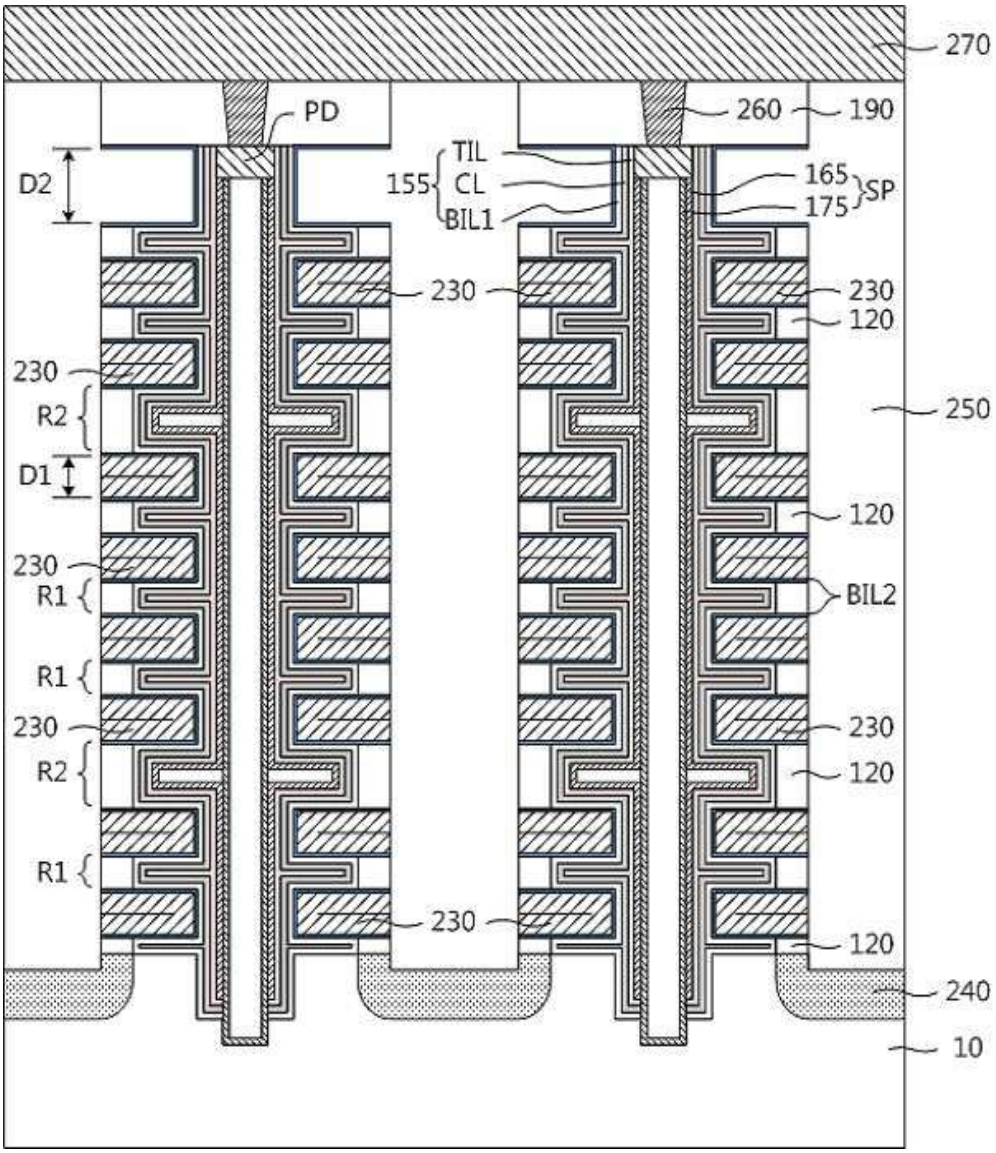
도면18


200
PD
200
190
TIL
155
CL
BIL1
165
175
SP
D2
BIL2
230
230
230
D1
BIL2
120
230
BIL2
230
230
230
120
230
120
240
10

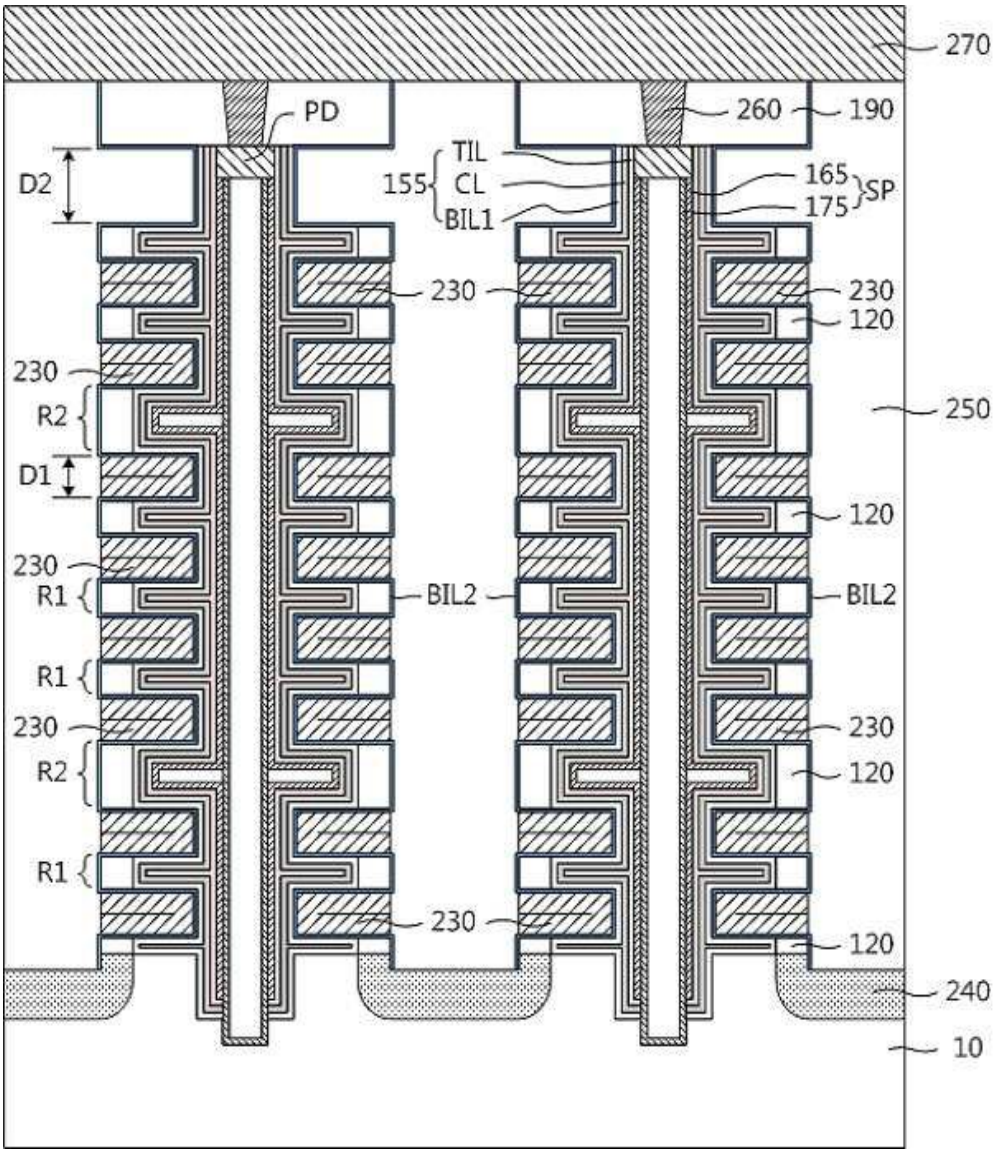
도면19


270
PD
260
190
D2
TIL
155
CL
BIL1
165
175
SP
BIL2
230
230
120
230
250
A1
D1
120
230
BIL2
230
230
120
230
120
240
10

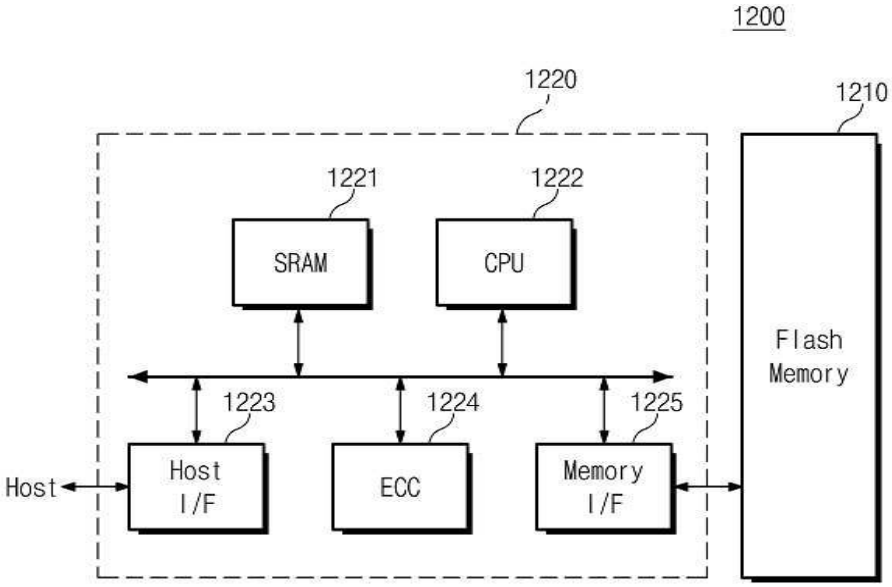
도면20


270
PD
260
190
D2
155
TIL
CL
BIL1
165
175
SP
230
230
120
230
R2
250
D1
120
230
R1
BIL2
R1
230
230
R2
120
R1
230
120
240
10

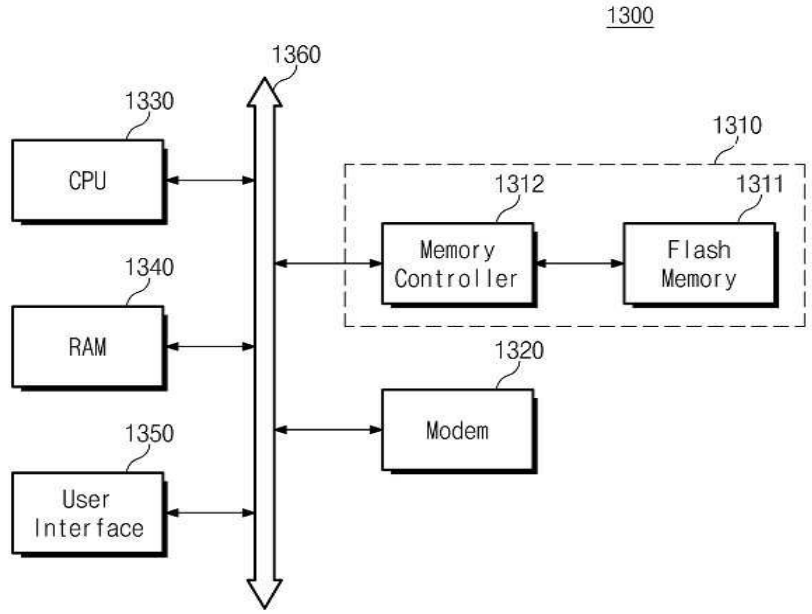
도면21


270
PD
260
190
TIL
155
CL
BIL1
165
175
SP
D2
230
230
120
230
R2
250
D1
120
230
R1
BIL2
BIL2
R1
230
230
R2
120
R1
230
120
240
10

도면22


1200
1220
1210
1221
1222
SRAM
CPU
Flash
Memory
1223
1224
1225
Host
Host
I/F
ECC
Memory
I/F

도면23


1300
1360
1330
1310
CPU
1312
1311
Memory
Controller
Flash
Memory
1340
RAM
1320
Modem
1350
User
Interface