



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0105093
(43) 공개일자 2016년09월06일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) G11C 5/14 (2006.01)
G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 7/1003 (2013.01)
G11C 5/146 (2013.01)
(21) 출원번호 10-2015-0028322
(22) 출원일자 2015년02월27일
심사청구일자 없음 | (71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
정해강
경기도 광명시 사성로 91 두산위브아파트 113동
1502호
(74) 대리인
김성남 |
|---|--|

전체 청구항 수 : 총 14 항

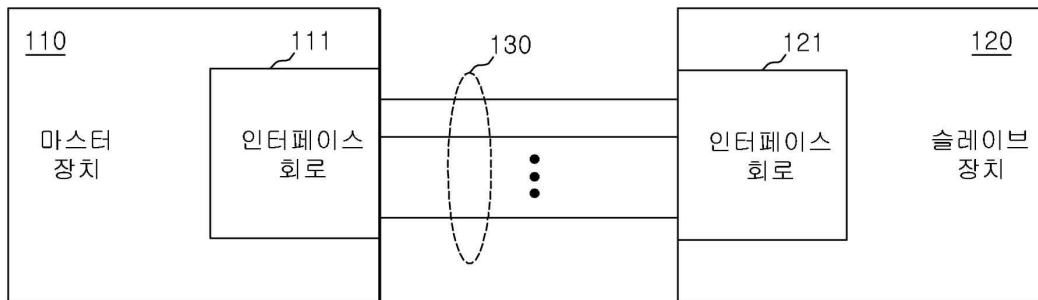
(54) 발명의 명칭 고속 통신을 위한 인터페이스 회로 및 이를 포함하는 시스템

(57) 요약

시스템의 데이터 전송부는 데이터에 기초하여 데이터 전송 라인을 구동하고, 특정 동작 구간에서 터미네이션 전압에 대응하는 전압 레벨로 상기 데이터 전송 라인을 구동한다. 터미네이션 저항을 통해 상기 데이터 전송 라인과 연결되는 터미네이션 노드는 터미네이션 전압 레벨로 설정될 수 있다.

대표도 - 도1

1



(52) CPC특허분류

G11C 5/147 (2013.01)

G11C 7/1006 (2013.01)

G11C 7/1078 (2013.01)

G11C 7/12 (2013.01)

명세서

청구범위

청구항 1

데이터에 기초하여 데이터 전송 라인을 구동하고, 특정 동작 구간에서 터미네이션 전압에 대응하는 전압 레벨로 상기 데이터 전송 라인을 구동하는 데이터 전송부;

상기 데이터 전송 라인 및 터미네이션 노드 사이에 연결되는 터미네이션 저항; 및

상기 데이터 전송 라인을 통해 전송되는 신호를 수신하는 데이터 수신부를 포함하는 시스템.

청구항 2

제 1 항에 있어서,

상기 특정 동작 구간은 데이터 스트로브 신호의 프리앰블이 전송될 때인 시스템.

청구항 3

제 1 항에 있어서,

상기 데이터 전송부의 턴온 임피던스 값은 상기 터미네이션 저항의 임피던스 값과 실질적으로 동일한 시스템.

청구항 4

제 1 항에 있어서,

데이터 스트로브 신호에 기초하여 데이터 스트로브 전송 라인을 구동하는 데이터 스트로브 전송부; 및

상기 데이터 스트로브 전송 라인을 통해 전송되는 신호를 수신하는 데이터 스트로브 수신부를 더 포함하는 시스템.

청구항 5

제 1 항에 있어서,

상기 터미네이션 전압 레벨은 상기 시스템의 전원전압과 접지전압의 중간 레벨인 시스템.

청구항 6

제 1 항에 있어서,

상기 터미네이션 노드 및 접지전압 사이에 연결되는 캐패시터 소자를 더 포함하는 시스템.

청구항 7

데이터에 기초하여 인에이블되는 폴업 신호 및 폴다운 신호에 응답하여 데이터 전송 라인을 구동하는 데이터 전송부;

프리앰블 이후에 상기 데이터와 동기되는 데이터 스트로브 신호를 데이터 스트로브 전송 라인으로 전송하는 데이터 스트로브 전송부; 및

프리앰블 제어신호에 응답하여 상기 폴업 신호 및 상기 폴다운 신호 모두를 인에이블 시키는 터미네이션 전압 제어부를 포함하는 전송 장치를 포함하는 시스템.

청구항 8

제 7 항에 있어서,

상기 데이터 스트로브 신호의 프리앰블은 라이트 동작이 수행될 때 생성되는 시스템.

청구항 9

제 7 항에 있어서,

상기 데이터 전송부는 상기 풀업 신호 및 상기 풀다운 신호가 모두 인에이블되었을 때 상기 데이터 전송 라인을 터미네이션 전압에 대응하는 전압 레벨로 구동하는 시스템.

청구항 10

제 9 항에 있어서,

상기 터미네이션 전압은 상기 시스템의 전원전압 및 접지전압의 중간 레벨인 시스템.

청구항 11

제 7 항에 있어서,

상기 데이터 전송 라인과 터미네이션 노드 사이에 연결되는 터미네이션 저항; 및

상기 데이터 전송 라인과 연결되어 상기 데이터 전송 라인을 통해 전송된 신호를 수신하는 데이터 수신부를 포함하는 수신 장치를 더 포함하는 시스템.

청구항 12

제 11 항에 있어서,

상기 데이터 전송부의 턴온 임피던스 값은 상기 터미네이션 저항의 임피던스 값과 실질적으로 동일한 시스템.

청구항 13

제 11 항에 있어서,

상기 수신 장치는 상기 터미네이션 노드와 연결되는 캐패시터 소자를 더 포함하는 시스템.

청구항 14

제 11 항에 있어서,

상기 데이터 수신부는 상기 데이터 스트로브 신호의 프리앰블이 전송될 때 비활성화되는 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 통신 시스템에 관한 것으로, 더 상세하게는 고속 통신을 위한 인터페이스 회로 및 이를 포함하는 시스템에 관한 것이다.

배경 기술

[0002] 퍼스널 컴퓨터, 태블릿 PC, 랩탑 컴퓨터, 스마트 폰과 같은 개인 전자제품들은 다양한 전자 구성요소로 구성될 수 있다. 상기 전자 제품 내의 서로 다른 두 개의 전자 구성요소는 짧은 시간 내에 많은 데이터를 처리할 수 있도록 고속으로 통신할 수 있다. 상기 전자 구성요소들은 일반적으로 인터페이스 회로를 통해 통신할 수 있다.

[0003] 전자 구성요소의 성능이 발전하면서, 대역폭을 증가시키고 전력 소모를 감소시킬 수 있는 통신 방식의 필요성이 증가되고 있다. 전력소모가 감소되면서 전자 구성요소를 연결하는 신호 전송라인을 통해 전송되는 신호의 스윙 폭은 감소하고 있다. 따라서, 정확한 신호 전송이 이루어지기 위해서는 신호를 송수신하는 전자 구성요소들의 임피던스 매칭이 중요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 특정 동작 구간에서 터미네이션 노드를 터미네이션 전압을 설정할 수 있는 터미네이션

회로, 이를 포함하는 인터페이스 회로 및 시스템을 제공할 수 있다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 시스템은 데이터에 기초하여 데이터 전송 라인을 구동하고, 특정 동작 구간에서 터미네이션 전압에 대응하는 전압 레벨로 상기 데이터 전송 라인을 구동하는 데이터 전송부; 상기 데이터 전송 라인 및 터미네이션 노드 사이에 연결되는 터미네이션 저항; 및 상기 데이터 전송 라인을 통해 전송되는 신호를 수신하는 데이터 수신부를 포함할 수 있다.

[0006] 본 발명의 실시예에 따른 시스템은 데이터에 기초하여 인에이블되는 폴업 신호 및 풀다운 신호에 응답하여 데이터 전송 라인을 구동하는 데이터 전송부; 프리앰블 이후에 상기 데이터와 동기되는 데이터 스트로브 신호를 데이터 스트로브 전송 라인으로 전송하는 데이터 스트로브 전송부; 및 프리앰블 제어신호에 응답하여 상기 폴업 신호 및 상기 풀다운 신호 모두를 인에이블 시키는 터미네이션 전압 제어부를 포함하는 전송 장치를 포함할 수 있다.

발명의 효과

[0007] 본 발명의 실시예는 시스템의 통신 정확성 및 효율성을 증가시킬 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예에 따른 시스템의 구성을 보여주는 도면,
- 도 2는 본 발명의 실시예에 따른 시스템의 구성을 보여주는 도면,
- 도 3은 본 발명의 실시예에 따른 시스템의 구성을 보다 상세하게 보여주는 도면,
- 도 4는 도 2 및 도 3에 도시된 시스템의 동작의 일 예를 보여주는 도면,
- 도 5는 본 발명의 실시예에 따른 시스템의 동작을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1에서, 본 발명의 실시예에 따른 시스템(1)은 마스터 장치(110) 및 슬레이브 장치(120)를 포함할 수 있다. 상기 시스템(1)은 워크스테이션(Workstation), 랩탑(Laptops), 클라이언트-사이드 터미널들(Client-side terminals), 서버(Servers), 분산 컴퓨팅 시스템(Distributed computing system), 핸드헬드 장치(Handheld device), 비디오 게임 콘솔(Video game consoles) 등과 같은 전자 장치를 구성하는 내부 구성요소들의 그룹을 의미할 수 있고, 상기 마스터 장치(110) 및 슬레이브 장치(120)는 하나의 링크를 형성할 수 있다.

[0010] 상기 마스터 장치(110)는 상기 슬레이브 장치(120)의 동작을 제어할 수 있다. 상기 마스터 장치(110)는 전자 장치 내에서 운영체제(Operation system)를 실행하고, 다양한 연산 기능들을 수행할 수 있다. 일 예로, 상기 마스터 장치(110)는 프로세서를 포함할 수 있고, 상기 프로세서는 중앙 처리 장치(CPU), 그래픽 처리 장치(Graphic Processing Unit, GPU), 멀티 미디어 프로세서(Multi-Media Processor, MMP), 디지털 신호 프로세서(Digital Signal Processor)를 포함할 수 있다. 또한, 어플리케이션 프로세서(AP)와 같이 다양한 기능을 가진 프로세서 칩들을 조합하여 시스템 온 칩 (System on Chip)의 형태로 구현될 수 있다.

[0011] 상기 슬레이브 장치(120)는 상기 마스터 장치(110)에 의해 제어되어 다양한 동작을 수행할 수 있다. 상기 슬레이브 장치(120)는 상기 마스터 장치(110)에 의해 제어되어 동작하는 모든 구성요소를 포함할 수 있다. 예를 들어, 상기 슬레이브 장치(120)는 시스템 메모리, 전원 컨트롤러, 통신 모듈, 멀티미디어 모듈, 입/출력 모듈 등의 다양한 기능을 수행할 수 있는 모듈들을 포함할 수 있다. 일 예로, 상기 슬레이브 장치(120)는 메모리 장치일 수 있다. 상기 메모리 장치는 SRAM(Static RAM), DRAM(Dynamic RAM), SDRAM(Synchronous DRAM) 등과 같은 휘발성 메모리 장치를 포함할 수 있고, 또한, ROM(Read Only Memory), PROM(Programmable ROM), EEPROM(Electrically Erase and Programmable ROM), EPROM(Electrically Programmable ROM), 플래시 메모리, PRAM(Phase change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM) 및 FRAM(Ferroelectric RAM) 등과 같은 비휘발성 메모리 장치 중 하나 이상을 포함할 수 있다.

[0012] 상기 마스터 장치(110)는 복수의 버스(130)를 통해 상기 슬레이브 장치(120)와 연결되어 링크를 형성할 수 있다. 상기 마스터 장치(110)는 상기 복수의 버스(130)를 통해 상기 슬레이브 장치(120)로 신호를 전송하거나 상기 슬레이브 장치(120)로부터 전송되는 신호를 수신할 수 있다. 일 예로, 상기 복수의 버스(130)는 데이터 버

스, 커맨드 버스, 어드레스 버스, 클럭 버스 등의 신호 전송 라인을 포함할 수 있으나, 이에 한정하는 것은 아니다.

[0013] 상기 마스터 장치(110) 및 슬레이브 장치(120)는 서로 원활한 통신을 수행하기 위해 인터페이스 회로(111, 121)를 포함할 수 있다. 상기 마스터 장치(110)의 인터페이스 회로(111)는 상기 버스(130)를 통해 상기 슬레이브 장치(120)로 신호를 전송하고, 상기 슬레이브 장치(120)로부터 전송된 신호를 수신할 수 있다. 특히, 상기 인터페이스 회로(111)는 상기 마스터 장치(110) 내부에서 사용되는 신호를 상기 버스를 통해 전송되기에 적합한 방식으로 변환하거나 상기 버스를 통해 전송된 신호를 상기 마스터 장치(110) 내부에서 사용되기 적합한 신호로 변환할 수 있다. 상기 슬레이브 장치(120)의 인터페이스 회로(121)는 상기 버스(130)를 통해 상기 마스터 장치(110)로부터 전송된 신호를 수신할 수 있고, 상기 마스터 장치(110)로 신호를 전송할 수 있다. 특히, 상기 인터페이스 회로(121)는 상기 버스(130)를 통해 전송된 신호를 상기 슬레이브 장치(120) 내부에서 사용되기 적합한 신호로 변환하거나 상기 슬레이브 장치(120) 내부에서 사용되는 신호를 상기 버스를 통해 전송되기에 적합한 방식으로 변환할 수 있다. 일 예로, 상기 마스터 장치(110) 및 슬레이브 장치(120)는 직렬 통신 방식을 사용하는 시스템의 구성요소일 수 있고, 상기 인터페이스 회로(111, 121)는 직렬 통신을 위한 인코딩부, 디코딩부, 직렬 화부 및 병렬화부 등의 구성요소를 포함할 수 있다.

[0014] 상기 마스터 장치(110) 및 슬레이브 장치(120)는 하나의 시스템을 구성하는 서로 다른 구성요소이므로, 상기 마스터 장치(110)와 슬레이브 장치(120) 사이의 원활한 통신을 위해서는 양 장치의 임피던스 매칭이 필요하다. 시스템의 동작 속도가 증가하고 전력소모가 감소하면서, 상기 버스(130)를 통해 전송되는 신호의 스윙 폭 또는 진폭은 계속해서 감소하고 있다. 따라서, 상기 버스(130)의 일 단과 연결되는 인터페이스 회로의 임피던스는 상기 버스(130)의 타 단과 연결되는 인터페이스 회로의 임피던스와 일치될 필요가 있다. 상기 인터페이스 회로(111, 121)들은 상기 임피던스 매칭을 위해 터미네이션 회로를 구비할 수 있다. 상기 터미네이션 회로는 상기 버스(130)를 통해 전송되는 신호를 수신하는 장치가 상기 신호를 전송하는 장치의 임피던스와 실질적으로 동일한 임피던스를 가질 수 있도록 수신 장치의 임피던스를 조절하는 회로일 수 있다.

[0015] 도 2는 본 발명의 실시예에 따른 시스템(2)의 구성을 보여주는 도면이다. 도 2에서, 상기 시스템은 메모리 컨트롤러(210) 및 메모리 장치(220)를 포함할 수 있다. 상기 메모리 컨트롤러(210)는 도 1의 마스터 장치(110)로 적용될 수 있고, 메모리 장치(220)는 도 1의 슬레이브 장치(120)로 적용될 수 있다. 상기 메모리 컨트롤러(210) 및 상기 메모리 장치(220)는 복수의 버스를 통해 연결될 수 있다. 상기 복수의 버스는 데이터 버스(231) 및 데이터 스트로브 버스(232)를 포함할 수 있다. 상기 데이터 버스는 복수의 데이터 전송 라인을 포함할 수 있고, 상기 메모리 컨트롤러(210)로부터 출력되는 데이터(DQ<0:7>)를 상기 메모리 장치(220)로 전송하거나, 상기 메모리 장치(220)로부터 출력되는 데이터(DQ<0:7>)를 상기 메모리 컨트롤러(210)로 전송할 수 있다. 상기 데이터 스트로브 버스(232)는 상기 메모리 컨트롤러(210)로부터 출력되는 데이터 스트로브 신호(DQS)를 상기 메모리 장치(220)로 전송할 수 있다. 또한, 상기 데이터 스트로브 버스(232)는 상기 메모리(220)로부터 출력되는 데이터 스트로브 신호(DQS)를 상기 메모리 컨트롤러(210)로 전송할 수 있다. 상기 데이터 스트로브 신호(DQS)는 상기 데이터 버스(231)를 통해 데이터(DQ<0:7>)가 전송되는 시점을 알리기 위한 신호로 사용될 수 있다. 예를 들어, 상기 시스템(2)이 라이트 동작을 수행할 때 상기 메모리 컨트롤러(210)는 데이터(DQ<0:7>)가 상기 데이터 버스(231)를 통해 전송되는 시점과 동기하여 상기 데이터 스트로브 신호(DQS)를 상기 데이터 스트로브 버스(232)를 통해 전송할 수 있다. 상기 데이터 스트로브 버스(232)는 복수의 데이터 스트로브 전송 라인을 포함할 수 있고, 상기 복수의 데이터 스트로브 전송 라인은 상기 데이터 스트로브 신호(DQS)와 상기 데이터 스트로브 신호의 차동 신호(DQSB)를 전송할 수 있다.

[0016] 상기 복수의 버스는 커맨드 버스(233), 어드레스 버스(234) 및 클럭 버스(235)를 더 포함할 수 있다. 상기 커맨드 버스(233), 상기 어드레스 버스(234) 및 상기 클럭 버스(235)는 상기 메모리 컨트롤러(210)가 상기 메모리 장치(220)를 제어하기 위한 신호를 전송할 수 있다. 예를 들어, 상기 커맨드 버스(233)는 상기 메모리 장치(220)가 다양한 동작을 할 수 있도록 동작 모드를 지정하는 커맨드 신호(CMD)를 전송할 수 있다. 상기 어드레스 버스(234)는 상기 메모리 장치(220)가 구비하는 메모리 어레이 중 데이터(DQ<0:7>)가 기입되는 위치를 지정하는 정보를 갖는 어드레스 신호(ADD)를 전송할 수 있다. 상기 클럭 버스(235)는 상기 메모리 장치(220)의 동작에 필요한 클럭 신호(CLK)를 전송할 수 있다. 상기 클럭 신호(CLK)는 차동 클럭 신호, 멀티 페이스 클럭 신호 또는 주파수가 상이한 복수의 클럭 신호를 포함할 수 있다.

[0017] 상기 메모리 컨트롤러(210)는 상기 데이터(DQ<0:7>), 데이터 스트로브 신호(DQS, DQSB), 커맨드 신호(CMD), 어드레스 신호(ADD) 및 클럭 신호(CLK)를 전송하기 위한 인터페이스 회로(211)를 포함할 수 있다. 또한, 상기 메모리 장치(220)는 상기 메모리 컨트롤러(210)로부터 상기 데이터(DQ<0:7>), 데이터 스트로브 신호(DQS, DQSB),

커맨드 신호(CMD), 어드레스 신호(ADD) 및 클럭 신호(CLK)를 수신하기 위한 인터페이스 회로(221)를 포함할 수 있다. 상기 인터페이스 회로(211, 221)는 물리적 계층(physical layer, PHY)일 수 있다. 상기 인터페이스 회로(211, 221)는 각각 신호를 전송하기 위해 상기 복수의 버스를 구동하는 신호 전송부를 포함할 수 있고, 상기 복수의 버스를 통해 전송되는 신호를 수신하기 위한 신호 수신부를 포함할 수 있다.

[0018] 도 3은 본 발명의 실시예에 따른 시스템(3)의 구성을 보여주는 도면이다. 상기 신호 전송 라인(311-315)을 기준으로 좌측에 도시된 구성요소는 메모리 컨트롤러의 인터페이스 회로(301)의 구성요소일 수 있고, 우측에 도시된 구성요소는 메모리 장치의 인터페이스 회로(302)의 구성요소일 수 있다. 상기 인터페이스 회로(301)는 복수의 신호 전송부(TX)를 포함할 수 있다. 상기 복수의 신호 전송부(TX)는 복수의 데이터 전송부(321-323) 및 복수의 데이터 스트로브 전송부(324-325)를 포함할 수 있다. 상기 복수의 데이터 전송부(321-323)는 데이터 전송 패드(331-333)를 통해 각각 복수의 데이터 전송 라인(311-323)과 연결될 수 있다. 상기 복수의 데이터 전송부(321-323)는 전송하려는 데이터의 레벨에 따라 상기 데이터 전송 라인(321-323)을 구동할 수 있다. 예를 들어, 전송하려는 데이터의 레벨이 논리 하이인 경우 상기 데이터 전송부(321-323)는 상기 데이터 전송 라인(311-313)을 하이 레벨로 구동할 수 있고, 전송하려는 데이터의 레벨이 논리 로우인 경우 상기 데이터 전송부(321-323)는 상기 데이터 전송 라인(311-313)을 로우 레벨로 구동할 수 있다. 상기 데이터 전송부(321-323)에 의해 상기 데이터 전송 라인(311-313)이 구동되면, 제 1 내지 제 8 데이터(DQ0-DQ7)가 각각 상기 데이터 전송 라인(311-313)을 통해 전송될 수 있다. 상기 복수의 데이터 스트로브 전송부(324, 325)는 데이터 스트로브 전송 패드(334, 335)를 통해 각각 복수의 데이터 스트로브 신호 전송 라인(314, 315)과 연결될 수 있다. 상기 복수의 데이터 스트로브 전송부(324, 325)는 상기 복수의 데이터 스트로브 신호 전송 라인(314, 315)을 통해 데이터 스트로브 신호(DQS)와 그 차동 신호(DQSB)를 전송할 수 있다.

[0019] 상기 인터페이스 회로(302)는 상기 신호 전송 라인(311-315)과 각각 연결되는 복수의 수신 패드(341-345)를 포함할 수 있다. 각각의 데이터 전송 라인(311-313)은 데이터 수신 패드(341-343)를 통해 터미네이션 저항(ZT)과 연결될 수 있다. 상기 터미네이션 저항(ZT)은 상기 데이터 전송 라인(311-313)과 터미네이션 노드(VTT) 사이에 연결될 수 있다. 또한, 상기 인터페이스 회로(302)는 복수의 신호 수신부(RX)를 포함할 수 있다. 상기 복수의 신호 수신부(RX)는 복수의 데이터 수신부(341-343) 및 복수의 데이터 스트로브 수신부(344-345)를 포함할 수 있다. 상기 복수의 데이터 수신부(341-343)는 상기 데이터 전송 라인(311-313)을 통해 전송된 데이터(DQ0-DQ7)를 수신하기 위해 상기 데이터 수신 패드(341-343)를 통해 상기 데이터 전송 라인(311-313)과 연결될 수 있다.

[0020] 상기 터미네이션 저항(ZT)은 상기 인터페이스 회로(301)와 상기 인터페이스 회로(302) 사이의 임피던스 매칭을 위해 구비될 수 있다. 상기 터미네이션 저항(ZT)은 상기 데이터 전송부(321-323)의 턴온 임피던스의 값과 실질적으로 동일한 임피던스 값을 갖는 것이 바람직하다. 상기 터미네이션 노드(VTT)는 터미네이션 전압 레벨로 설정될 수 있다. 상기 데이터 수신 패드(341-343)가 터미네이션 저항(ZT)과 연결되고, 상기 터미네이션 노드(VTT)가 터미네이션 전압 레벨로 설정되는 경우 상기 임피던스 매칭이 완료될 수 있다. 상기 인터페이스 회로(302)는 상기 터미네이션 노드(VTT)와 연결되는 캐패시터 소자(361)를 더 포함할 수 있다. 상기 캐패시터 소자(361)는 상기 터미네이션 노드(VTT)의 전압 레벨을 안정화시킬 수 있다. 상기 캐패시터 소자(361)는 전압 변화, 온도 변화 또는 그 밖의 노이즈에 의해 상기 터미네이션 노드(VTT)의 전압 레벨이 요동하는 것을 방지할 수 있다.

[0021] 상기 인터페이스 회로(302)는 복수의 데이터 스트로브 수신 패드(344, 345)를 포함할 수 있다. 상기 복수의 데이터 스트로브 수신 패드(344, 345)는 상기 복수의 데이터 스트로브 신호 전송 라인(314, 315)과 각각 연결될 수 있다. 상기 복수의 데이터 스트로브 신호 전송 라인(314, 315)은 상기 복수의 데이터 스트로브 수신 패드(344, 345)를 통해 각각 터미네이션 저항(ZT)과 연결될 수 있다. 상기 터미네이션 저항(ZT)은 상기 터미네이션 노드(VTT)와 연결될 수 있다. 또한, 상기 데이터 스트로브 신호 전송 라인(314, 315)은 상기 데이터 스트로브 수신 패드(344, 345)를 통해 상기 복수의 데이터 스트로브 수신부(354, 355)와 연결될 수 있다. 상기 복수의 데이터 스트로브 수신부(354, 355)는 상기 복수의 스트로브 신호 전송 라인(314, 315)을 통해 전송된 데이터 스트로브 신호(DQS) 및 그 차동 신호(DQSB)를 수신할 수 있다.

[0022] 도 4는 도 2 및 도 3에 도시된 시스템(2, 3)의 동작을 보여주는 타이밍도이다. 메모리 장치는 다양한 동작을 수행할 수 있다. 일반적으로, 메모리 장치는 액티브 동작, 리드 또는 라이트 동작을 수행한 후 프리차지 동작을 수행할 수 있다. 도 2를 함께 참조하면, 상기 메모리 컨트롤러(210)는 커맨드 신호(CMD)를 전송하여 상기 메모리 장치(220)의 동작을 제어할 수 있다. 먼저, 상기 메모리 컨트롤러(210)가 커맨드 버스(233)를 통해 액티브 커맨드 신호를 전송하면 상기 메모리 장치(220)는 데이터의 리드 또는 라이트를 준비하는 액티브 동작을 수행할 수 있다. 이 때, 상기 데이터 전송 라인(311-313) 및 데이터 스트로브 신호 전송 라인(314-315)을 통해서도 아

무런 신호가 전송되지 않을 수 있다(don't care). 이후, 상기 메모리 컨트롤러(210)가 커맨드 버스(233)를 통해 라이트 커맨드 신호를 전송하면 상기 메모리 장치(220)는 라이트 동작을 수행할 수 있다. 상기 메모리 컨트롤러(210)는 데이터의 라이트를 위해 상기 데이터 전송 라인(311-313)을 통해 상기 메모리 장치(220)에 저장될 데이터(DQ<0:7>)를 전송하고, 상기 데이터(DQ<0:7>)가 전송되는 시점을 알리기 위해 데이터 스트로브 신호 전송 라인(314-315)을 통해 데이터 스트로브 신호(DQS, DQSB)를 전송할 수 있다. 이 때, 상기 데이터(DQ<0:7>)의 전송 타이밍과 상기 데이터 스트로브 신호(DQS, DQSB)는 서로 동기되어야 하고, 정확한 동기를 위해 상기 데이터 스트로브 신호(DQS, DQSB)는 프리앰블을 가질 수 있다. 상기 데이터 스트로브 신호 전송 라인(314-315)을 통해 상기 프리앰블이 전송될 때에, 상기 데이터 전송 라인(311-313)을 통해서도 아직 데이터가 전송되지 않는다.

[0023] 본 발명의 실시예에 따른 시스템은 특정 동작 구간에서 상기 데이터 전송 라인(311-313)을 터미네이션 전압 레벨로 구동할 수 있다. 상기 특정 동작 구간은 상기 데이터 스트로브 신호(DQS, DQSB)의 프리앰블이 전송될 때일 수 있다. 즉, 상기 메모리 컨트롤러의 인터페이스 회로(301)는 상기 데이터 스트로브 신호(DQS, DQSB)의 프리앰블 전송 시, 상기 데이터 전송 라인(311-313)을 상기 터미네이션 전압 레벨로 구동할 수 있다. 상기 데이터 전송 라인(311-313)이 터미네이션 전압 레벨로 구동되면, 도 3에서, 터미네이션 저항(ZT)과 연결된 터미네이션 노드(VTT)를 상기 터미네이션 전압 레벨로 설정할 수 있다. 따라서, 별도의 전압 생성기에 의해 생성된 전압을 인가하지 않더라도 상기 터미네이션 노드(VTT)를 상기 터미네이션 전압 레벨로 설정할 수 있다. 이후, 상기 인터페이스 회로(301)는 데이터 스트로브 신호(DQS, DQSB)에 동기하여 데이터(DQ<0:7>)를 전송할 수 있다. 상기 터미네이션 노드(VTT)는 상기 터미네이션 전압 레벨로 설정되었기 때문에, 연속적으로 논리 하이 레벨 또는 논리 로우 레벨의 데이터가 전송되더라도, 상기 터미네이션 노드(VTT)의 전압 레벨은 크게 변동되지 않을 수 있다. 또한, 터미네이션 전압 설정을 위해 균형 부호(balanced code) 전송을 사용하는 시스템의 경우, 상기 터미네이션 노드(VTT)의 전압 레벨은 큰 변동 없이 유지될 수 있다.

[0024] 도 4에서, 라이트 동작을 예시하였으나, 시스템(2)은 리드 동작을 수행할 때에도 동일한 방식으로 동작할 수 있을 것이다. 리드 동작 중에, 상기 메모리(220)는 상기 메모리 컨트롤러(210)로 데이터 및 데이터 스트로브 신호를 전송할 수 있다. 따라서, 상기 메모리(220)의 데이터 전송부는 상기 데이터 스트로브 신호의 프리앰블이 전송될 때 상기 데이터 전송 라인을 상기 터미네이션 전압 레벨로 구동할 수 있고, 상기 메모리 컨트롤러(210)의 터미네이션 노드는 상기 터미네이션 전압 레벨로 설정될 수 있을 것이다. 또한, 특정 동작 구간은 데이터 스트로브 신호(DQS)의 프리앰블이 전송될 때인 것을 예시하였으나, 이에 한정하는 것은 아니다. 상기 특정 동작 구간은 상기 시스템(2)이 상기 데이터 전송 라인을 통해 데이터를 전송하지 않는 동안이라면 어떠한 동작 구간이라도 무방할 수 있다.

[0025] 도 5는 본 발명의 실시예에 따른 시스템(5)의 구성을 보다 상세하게 보여주는 도면이다. 도 5에서, 상기 데이터 전송 라인(511)을 기준으로 좌측에 도시된 구성요소는 메모리 컨트롤러의 인터페이스 회로(501)일 수 있고, 우측에 도시된 구성요소는 메모리 장치의 인터페이스 회로(502)일 수 있다. 도 5에서, 상기 시스템(5)은 도 3에서 데이터(DQ)를 전송 및 수신하는 데이터 전송부(321)와 데이터 수신부(351) 사이의 연결관계를 도시하였으나, 복수의 데이터 전송부(322-323) 및 복수의 데이터 수신부(352-353)의 연결관계 및 복수의 데이터 스트로브 전송부(324-325) 및 복수의 데이터 스트로브 수신부(354-355)의 연결관계 또한 도 5와 같은 구성요소를 포함할 수 있다. 데이터 전송 라인(511)은 데이터 전송 패드(531)를 통해 상기 인터페이스 회로(501)와 연결될 수 있고, 데이터 수신 패드(541)를 통해 상기 인터페이스 회로(502)와 연결될 수 있다. 상기 인터페이스 회로(501)는 데이터 전송부(520) 및 터미네이션 제어부(570)를 포함할 수 있다. 상기 데이터 전송부(520)는 상기 데이터 전송 라인(511)을 통해 전송될 데이터의 레벨에 따라 상기 데이터 전송 라인(511)을 구동할 수 있다. 예를 들어, 상기 인터페이스 회로(501)가 하이 레벨의 데이터를 전송할 때, 상기 풀업 신호(PUDQ0)가 인에이블될 수 있고, 상기 데이터 전송부(520)는 상기 데이터 전송 라인(520)을 전원전압(VDDQ)으로 구동하여 하이 레벨의 데이터(DQ0)를 전송할 수 있다. 상기 인터페이스 회로(501)가 로우 레벨의 데이터를 전송할 때, 상기 풀다운 신호(PDDQ0)가 인에이블될 수 있고, 상기 데이터 전송부(520)는 상기 데이터 전송 라인(511)을 접지전압(VSS)으로 구동하여 로우 레벨의 데이터(DQ0)를 전송할 수 있다. 상기 데이터 전송부(520)는 풀업 드라이버(521) 및 풀다운 드라이버(522)를 포함할 수 있다. 상기 풀업 드라이버(521)는 상기 풀업 신호(PUDQ0)에 응답하여 상기 데이터 전송 패드(331)와 연결된 데이터 전송 라인(311)을 상기 전원전압(VDDQ)으로 구동할 수 있다. 상기 풀다운 드라이버(522)는 상기 풀다운 신호(PDDQ0)에 응답하여 상기 데이터 전송 패드(531)와 연결된 데이터 전송 라인(511)을 상기 접지전압(VSS)으로 구동할 수 있다.

[0026] 상기 터미네이션 제어부(570)는 상기 시스템(5)의 특정 동작 구간에서 상기 데이터 전송부(520)가 상기 데이터 전송 라인(511)을 상기 터미네이션 전압 레벨로 구동할 수 있도록 한다. 상기 특정 동작 구간은 데이터 스트로

브 신호(DQS, DQSB)의 프리앰블이 전송되는 구간일 수 있다. 상기 터미네이션 제어부(570)는 상기 데이터 스트로브 신호의 프리앰블 제어신호(PRE_DQS)에 응답하여 상기 풀업 신호(PUDQ0) 및 풀다운 신호(PDDQ0)를 인에이블시킬 수 있다. 상기 프리앰블 제어신호(PRE_DQS)는 상기 데이터 스트로브 신호(DQS)의 프리앰블을 생성하기 위해 커맨드 신호에 기초하여 내부적으로 생성될 수 있는 신호이다. 일 예로, 상기 터미네이션 전압의 레벨은 전원전압(VDDQ)과 접지전압(VSS)의 중간 레벨일 수 있고, 상기 풀업 드라이버(521) 및 풀다운 드라이버(522)가 모두 턴온되는 경우 상기 데이터 전송 라인(511)은 상기 터미네이션 전압 레벨로 구동될 수 있다.

[0027] 상기 인터페이스 회로(501)는 프리 드라이버(580)를 더 포함할 수 있다. 상기 프리 드라이버(580)는 전송하려는 데이터(TDQ0)에 따라 상기 풀업 신호(PUDQ0) 및 풀다운 신호(PDDQ0)를 선택적으로 인에이블시킬 수 있다. 예를 들어, 상기 프리 드라이버(580)는 전송하려는 데이터(TDQ0)가 하이 레벨인 경우 상기 풀업 신호(PUDQ0)를 인에이블시킬 수 있고, 전송하려는 데이터(TDQ0)가 로우 레벨인 경우 상기 풀다운 신호(PDDQ0)를 인에이블시킬 수 있다.

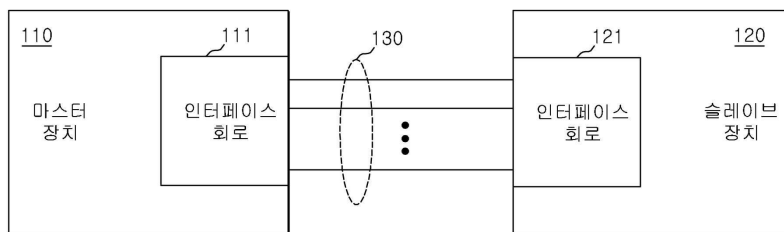
[0028] 상기 인터페이스 회로(502)는 터미네이션 저항(ZT) 및 데이터 수신부(551)를 포함할 수 있다. 상기 터미네이션 저항(ZT)은 상기 데이터 수신 패드(341) 및 터미네이션 노드(VTT) 사이에 연결될 수 있다. 상기 데이터 수신부(351)는 상기 데이터 수신 패드(341)를 통해 상기 데이터 전송 라인(511)과 연결되고, 상기 데이터 전송 라인(511)을 통해 전송된 데이터(DQ0)를 수신할 수 있다. 상기 데이터 수신부(551)는 상기 데이터 스트로브 신호의 프리앰블이 전송될 때 비활성화될 수 있고, 상기 프리앰블이 종료되면 활성화되어 상기 데이터 전송 라인(511)을 통해 전송되는 데이터(DQ0)를 수신할 수 있다. 상기 인터페이스 회로(502)는 캐패시터 소자(561)를 더 포함할 수 있다. 상기 캐패시터 소자(561)는 상기 터미네이션 노드(VTT)와 연결될 수 있고, 상기 터미네이션 노드(VTT)의 전압 레벨을 안정화시킬 수 있다. 상기 시스템에서, 상기 인터페이스 회로(501)는 상기 데이터 스트로브 신호(DQS)의 프리앰블이 전송될 때, 상기 데이터 전송 라인(511)을 터미네이션 전압 레벨로 구동함으로써, 상기 터미네이션 노드(VTT)를 쉽게 터미네이션 전압 레벨로 설정할 수 있다. 따라서, 시스템을 구성하는 구성요소 사이의 임피던스 매칭이 용이하게 이루어질 수 있도록 한다.

[0029] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

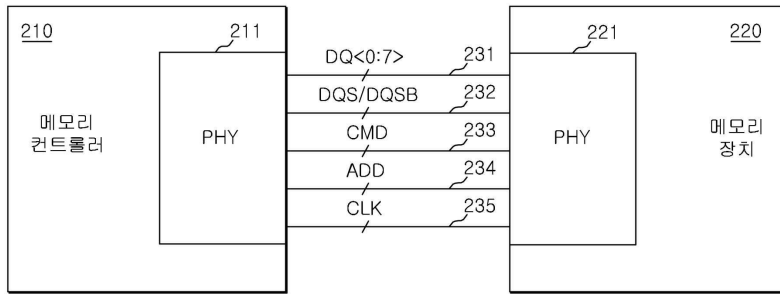
도면1

1



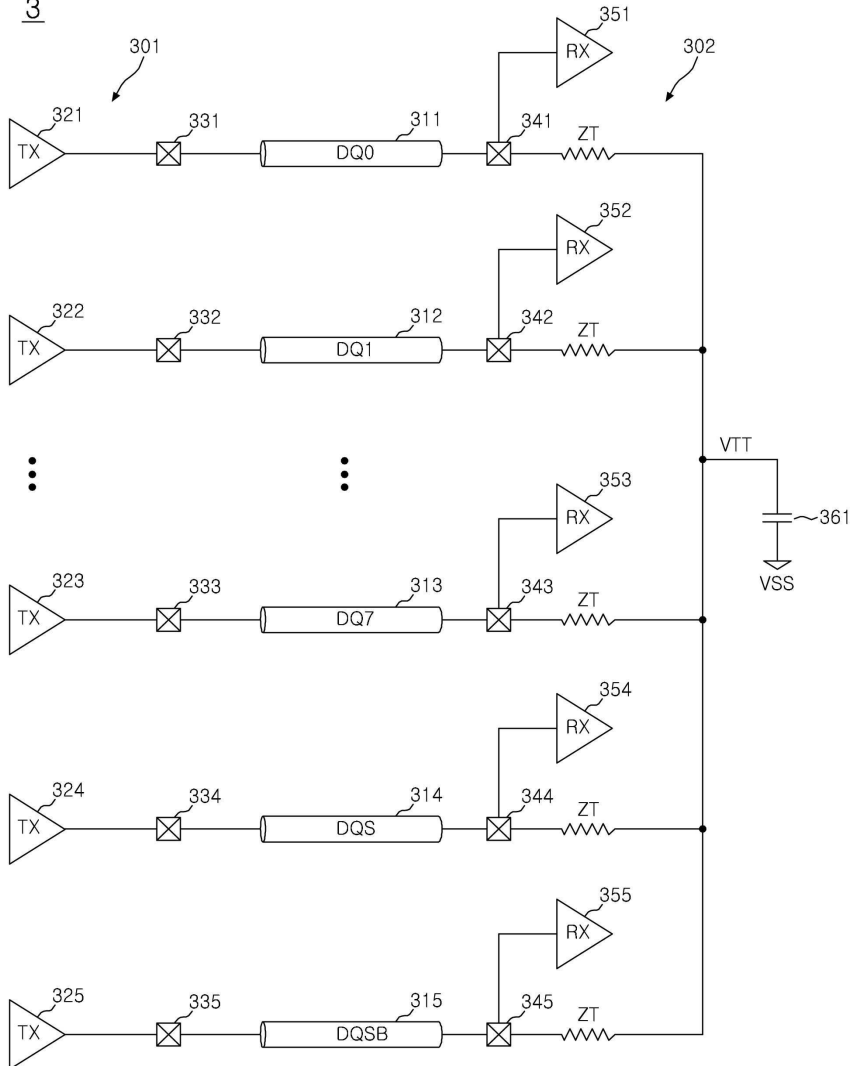
도면2

2

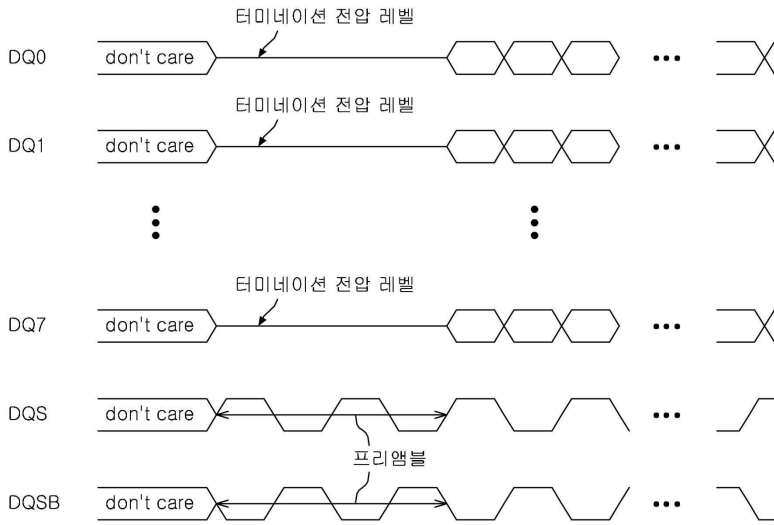


도면3

3



도면4



도면5

