



(12) 发明专利申请

(10) 申请公布号 CN 105375796 A

(43) 申请公布日 2016. 03. 02

(21) 申请号 201510488269. 3

(22) 申请日 2015. 08. 11

(30) 优先权数据

14/456346 2014. 08. 11 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72) 发明人 J. 巴伦舍恩 A. 毛德

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 张涛 胡莉莉

(51) Int. Cl.

H02M 7/217(2006. 01)

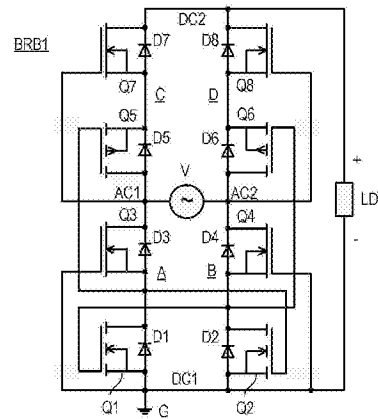
权利要求书4页 说明书12页 附图9页

(54) 发明名称

具有电压检测的整流器

(57) 摘要

公开了具有电压检测的整流器。整流器包括被配置为接收交流输入电压的两个输入路径和被配置为提供直流输出电压的两个输出路径。开关模式整流路径被连接在输入路径中的一个和输出路径中的一个之间并且包括具有可控制的路径的至少两个半导体元件；可控制的路径与彼此串联连接。辅助输出节点被部署在整流路径中的两个半导体元件的可控制的路径之间并且提供辅助节点电压。可控制的输出路径被连接在两个输出路径中的一个的下游并且包括具有可控制的路径的半导体元件，其中，可控制的输出路径的半导体元件的可控制的路径由表示辅助节点电压的信号来控制。



1. 一种整流器,包括:

两个输入路径,被配置为接收交流输入电压;

两个输出路径,被配置为提供直流输出电压;

开关模式整流路径,所述开关模式整流路径被连接在所述输入路径中的一个和所述输出路径中的一个之间并且所述开关模式整流路径包括具有可控制的路径的至少两个半导体元件,所述可控制的路径与彼此串联连接;

辅助输出节点,所述辅助输出节点被部署在所述整流路径中的所述两个半导体元件的所述可控制的路径之间并且所述辅助输出节点提供辅助节点电压;以及

可控制的输出路径,所述可控制的输出路径被连接在所述两个输出路径中的一个的下游并且所述可控制的输出路径包括具有可控制的路径的半导体元件,其中,由表示所述辅助节点电压的信号来控制所述可控制的输出路径的所述半导体元件的所述可控制的路径。

2. 根据权利要求 1 所述的整流器,进一步包括:

至少一个附加的整流路径,所述至少一个附加的整流路径被连接在所述输入路径中的一个和所述输出路径中的一个之间,其中,所述附加的整流路径中的至少一个是包括具有可控制的路径的至少两个半导体元件的开关模式整流路径,所述可控制的路径与彼此串联连接,其中,该一个开关模式整流路径和至少一个附加的开关模式整流路径被连接到一个相同的输出路径,并且被配置为在所述输入电压的一个半波期间将一个输出路径连接到一个输入路径并且在所述输入电压的另一半波期间将所述一个输出路径连接到另一输入路径;以及

附加的辅助输出节点,所述附加的辅助输出节点被部署在所述附加的整流路径中的两个半导体元件的所述可控制的路径之间并且所述附加的辅助输出节点提供附加的辅助节点电压,其中,由表示所述附加的辅助节点电压的信号来进一步控制所述可控制的输出路径的所述半导体元件的所述可控制的路径。

3. 根据权利要求 1 或 2 所述的整流器,其中,所述半导体元件是晶体管。

4. 根据权利要求 1 或 2 所述的整流器,进一步包括电压检测器,所述电压检测器:

被连接到所述两个辅助输出节点中的至少一个,

被配置为检测所述辅助电压是超过阈值电压还是底切阈值电压,以及

被配置为在检测器输出路径上提供检测器输出信号以指示所述辅助电压是超过阈值电压还是底切阈值电压。

5. 根据权利要求 4 所述的整流器,其中,所述电压检测器包括如下中的至少一个:

第一检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述两个输出路径中的一个输出路径和所述检测器输出路径之间,并且所述控制路径被连接到所述两个辅助输出节点中的一个辅助输出节点;以及

第二检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述一个输出路径和所述检测器输出路径之间,并且所述控制路径被连接到所述两个辅助输出节点中的另一辅助输出节点。

6. 根据权利要求 4 所述的整流器,其中,所述电压检测器包括如下中的至少一个:

第三检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述两个辅助输出节点中的一个辅助输出节点和所述检测器输出路径之间,并且所述控制路径

被连接到所述两个输出路径中的一个输出路径；以及

第四检测器晶体管，具有可控制的路径和控制路径，所述可控制的路径被连接在所述两个辅助输出节点中的另一辅助输出节点和所述检测器输出路径之间，并且所述控制路径被连接到所述一个输出路径。

7. 根据权利要求 4 所述的整流器，进一步包括取决于所述检测器输出信号的信号状态而被控制的电路。

8. 根据权利要求 1 或 2 所述的整流器，进一步包括电容器，所述电容器被连接在辅助路径和所述两个输入路径中的一个之间。

9. 根据权利要求 1 或 2 所述的整流器，进一步包括至少一个整流器元件，所述至少一个整流器元件被连接在附加的辅助输出和所述两个辅助输出节点中的一个之间。

10. 根据权利要求 1 或 2 所述的整流器，其中，所述开关模式整流路径的每个包括具有常关晶体管和常开晶体管的级联电路，所述常关晶体管和所述常开晶体管是同一导电类型的。

11. 根据权利要求 10 所述的整流器，其中，在所述开关模式整流路径中，所述常关晶体管和所述常开晶体管是具有栅极线、源极线和漏极线的场效应晶体管；所述级联电路的每个包括公共源极级和公共栅极级的串联连接；所述常关晶体管被配置为所述级联电路的所述公共源极级；以及所述常开晶体管被配置为所述级联电路的所述公共栅极级。

12. 根据权利要求 11 所述的整流器，其中，在所述开关模式整流路径中，所述开关模式整流路径中的所述常关晶体管的源极线被连接到同一输出路径；以及所述开关模式整流路径中的所述常关晶体管的栅极线与相应的另一整流路径中的所述常关晶体管的漏极线耦合。

13. 根据权利要求 2 所述的整流器，进一步包括被连接在所述输入路径中的每个和所述输出路径中的每个之间的两个另外的附加的整流路径；其中，

所述开关模式整流路径和所述三个附加的整流路径被配置为在所述输入电压的一个半波期间将一个输入路径连接到一个输出路径并且将另一输入路径连接到另一输出路径，并且被配置为在所述输入电压的另一半波期间将第一输入路径连接到第二输出路径并且将第二输入路径连接到第一输出路径；以及

所述两个另外的附加的整流路径被连接到同一另外的输出路径。

14. 根据权利要求 13 所述的整流器，其中，所述两个另外的附加的整流路径是开关模式整流路径。

15. 根据权利要求 13 所述的整流器，其中所述两个另外的附加的整流路径的每个包括至少一个二极管。

16. 根据权利要求 14 所述的整流器，其中，所述两个另外的附加的整流路径的每个包括具有常关晶体管和常开晶体管的级联电路，所述常关晶体管和所述常开晶体管为不同的导电类型。

17. 根据权利要求 16 所述的整流器，其中，所述两个另外的附加的整流路径中的一个中的所述常关晶体管的栅极线经由耦合网络而与相应的另外的附加的整流路径中的所述常关晶体管的漏极线耦合，并且反之亦然。

18. 根据权利要求 17 所述的整流器,其中,所述耦合网络被配置为提供信号延迟时间。

19. 根据权利要求 18 所述的整流器,其中,所述耦合网络被配置为针对信号的上升沿和下降沿提供不同的信号延迟时间。

20. 根据权利要求 17 所述的整流器,其中,所述耦合网络包括电阻器-电容器网络。

21. 根据权利要求 1 或 2 所述的整流器,进一步包括开关控制电路,所述开关控制电路被配置为检测以下事件中的至少一个:所述辅助输出电压超过第一阈值,所述辅助输出电压底切第二阈值,所述辅助输出电压在一个方向上跨过零电压,以及所述辅助输出电压在另一方向上跨过零电压;其中,

所述开关控制电路被配置为如果所述事件中的至少一个被检测到则将所述可控制的输出路径的所述半导体元件的所述可控制的路径控制为导通状态,并且将所述输出路径开关控制为否则处于断开状态。

22. 根据权利要求 21 所述的整流器,其中,所述辅助输出路径进一步被配置为提供被供给到所述开关控制电路的辅助直流电流输出电压。

23. 根据权利要求 21 所述的整流器,进一步包括附加的电路,所述附加的电路被连接到所述开关控制电路并且被由所述辅助直流电流输出电压进行供给,所述附加的电路被配置为处理直流电流输出电压和辅助节点电压中的至少一个,并且被配置为被由所述开关控制电路来激活或去激活。

24. 一种整流器,包括:

第一和第二输入路径,被配置为接收交流输入电压;

第一和第二输出路径,被配置为从所述交流输入电压提供输出电压;

四个整流路径,所述四个整流路径被连接在所述输入路径和所述输出路径之间,所述整流路径被配置为在所述输入电压的一个半波期间将所述第一输入路径连接到所述第二输出路径并且将所述第二输入路径连接到所述第二输出路径,并且在所述输入电压的另一半波期间将所述第一输入路径连接到所述第二输出路径并且将所述第二输入路径连接到所述第一输出路径,其中,至少两个整流路径是包括至少两个半导体元件的开关模式整流路径,所述至少两个半导体元件具有可控制的路径,所述可控制的路径与彼此串联连接;

两个辅助输出节点,所述两个辅助输出节点被部署在所述开关模式整流路径中的两个半导体元件的所述可控制的路径之间,并且所述两个辅助输出节点提供与所述交流输入电压对应的辅助节点电压,所述辅助节点电压被参考到所述第一输出路径或所述第二输出路径;

可控制的输出路径,所述可控制的输出路径被连接在所述两个输出路径中的一个输出路径的下游并且所述可控制的输出路径包括具有可控制的路径的半导体元件;以及

开关控制电路,被供给有所述辅助节点电压并且被连接到所述可控制的输出路径中的所述半导体元件,其中,所述开关控制电路被配置为检测至少一个事件并且取决于检测到的事件来控制所述被控制的输出路径中的所述半导体元件的所述可控制的路径。

25. 根据权利要求 24 所述的整流器,进一步包括被连接在附加的辅助输出与所述两个辅助输出节点中的一个辅助输出节点之间的至少一个整流器元件。

26. 根据权利要求 24 所述的整流器,其中,所述开关控制电路经由如下中的至少一个而被连接到所述辅助输出节点:

第一检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述两个输出路径中的一个输出路径和所述检测器输出路径之间,并且所述控制路径被连接到所述两个辅助输出节点中的一个辅助输出节点;以及

第二检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述一个输出路径和所述检测器输出路径之间,并且所述控制路径被连接到所述两个辅助输出节点中的另一辅助输出节点。

27. 根据权利要求 24 所述的整流器,其中,所述开关控制电路经由如下中的至少一个而被连接到所述辅助输出节点:

第三检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述两个辅助输出节点中的一个辅助输出节点和所述检测器输出路径之间,并且所述控制路径被连接到所述两个输出路径中的一个输出路径;以及

第四检测器晶体管,具有可控制的路径和控制路径,所述可控制的路径被连接在所述两个辅助输出节点中的另一辅助输出节点和所述检测器输出路径之间,并且所述控制路径被连接到所述一个输出路径。

28. 根据权利要求 24 所述的全波整流器,进一步包括切换电力控制器,所述切换电力控制器被连接到所述开关控制电路并且被配置为由所述开关控制电路来激活或去激活。

## 具有电压检测的整流器

### 技术领域

[0001] 本公开涉及全波整流器,特别是涉及桥式整流器。

### 背景技术

[0002] 桥式整流器是一个类型的电气电路,其中四个整流路径被连接在两个交流电流(AC)输入路径中的每个和两个直流电流(DC)输出路径中的每个之间以针对任一极性的输入(半波)提供相同极性的输出。整流路径通常包括相当低效率并且显著影响从 AC 能量到 DC 能量的电力转换的总体效率的一个或更多个二极管。低效率产生于二极管的正向电压,正向电压可以达到 1 伏特或更多。由于在桥式整流器的操作期间在任何时间至少两个二极管被串联连接,因而在具有近似地在 85 和 265 伏特之间的输入电压的常见的电源电路中,由二极管引起的电压损失可能近似地在 1.4 和 2 伏特(V)之间。在各个应用中,桥式整流器被连接在诸如功率因数控制器、有源滤波器或电压调节器的进一步的供给电压处理电路的上游。由于 AC 的性质和桥式整流器的行为的原因,被供给到随后的供给电压处理电路的电力可能是不稳定的并且在输入电压范围内变化。

[0003] 为了将电子负载从电压保护电路去耦合,可以使用如电容器的能量存储元件。当电力被开启(或关闭)时,在暂态期间或在早期阶段中,电压处理电路的供给的输出电压中的不想要的失真(如电压和 / 或电流峰)可能发生。当最初被接通时由电气器件抽取的最大瞬时输入电流通常地(commonly)被提及为涌入电流、输入浪涌电流或开启浪涌。由于输入电容的充电电流的原因,电力转换器经常具有比它们的稳定状态电流更高得多的涌入电流。当必须容忍高涌入电流时,使得诸如熔断器和电路断路器的过流保护器件的选择更复杂。当涌入电流流动时,过流保护必须迅速地对过载或短路进行反应,但是必须不中断电路。在某些情况下,这使用以限制涌入电流的附加措施(例如,串联电阻器)成为必要,这引起附加的损失。

### 发明内容

[0004] 根据实施例,整流器包括被配置为接收交流输入电压的两个输入路径和被配置为提供直流输出电压的两个输出路径。开关模式整流路径被连接在输入路径中的一个和输出路径中的一个之间并且包括具有可控制的路径的至少两个半导体元件。可控制的路径与彼此串联连接。辅助输出节点被部署在整流路径中的两个半导体元件的可控制的路径之间并且提供辅助节点电压。可控制的输出路径被连接在两个输出路径中的一个的下游并且包括具有可控制的路径的半导体元件,其中,可控制的输出路径的半导体元件的可控制的路径由表示辅助节点电压的信号来控制。

[0005] 根据另一个实施例,整流器包括被配置为接收交流输入电压的第一和第二输入路径、以及被配置为从交流输入电压提供输出电压的第一和第二输出路径。四个整流路径被连接在输入路径和输出路径之间,整流路径被配置为在输入电压的一个半波期间将第一输入路径连接到第二输出路径并且将第二输入路径连接到第二输出路径,并且在输入电压的

另一半波期间将第一输入路径连接到第二输出路径并且将第二输入路径连接到第一输出路径。至少两个整流路径是开关模式整流路径,开关模式整流路径包括具有可控制的路径的至少两个半导体元件,可控制的路径与彼此串联连接。两个辅助输出节点被部署在开关模式整流路径中的两个半导体元件的可控制的路径之间,并且提供与所述交流输入电压对应的辅助节点电压,辅助节点电压被参考到第一输出路径或第二输出路径。可控制的输出路径被连接在两个输出路径中的一个的下游并且包括具有可控制的路径的半导体元件。开关控制电路被供给有辅助节点电压并且被连接到可控制的输出路径中的半导体元件,其中,开关控制电路被配置为检测至少一个事件并且取决于检测到的事件来控制被控制的输出路径中的半导体元件的可控制的路径。

### 附图说明

[0006] 在附图中图解这些和其它方面,在附图中,贯穿不同视图,类似的参考标号指明对应的部分。在各图中,贯穿不同的视图,类似的参考标记指明对应的部分。

[0007] 图 1 是在每个整流路径中具有两个晶体管的全波整流器的电路图。

[0008] 图 2 是图解在图 1 中示出的全波整流器的模拟结果的示图。

[0009] 图 3 是基于在图 1 中示出的全波整流器的替换的全波整流器的电路图。

[0010] 图 4 是在每个整流路径中具有两个晶体管的替换的全波整流器的电路图。

[0011] 图 5 是在图 1 中示出的全波整流器的简化等价电路图。

[0012] 图 6 是具有附加的辅助电压电路和电压检测器的如图 1 中示出的全波整流器的电路图。

[0013] 图 7 是图解相对于输入电压的辅助电压 AUX 的特性的电压定时图。

[0014] 图 8 是具有附加的辅助电压电路和替换的电压检测器的如图 1 中示出的全波整流器的电路图。

[0015] 图 9 是具有提供两个辅助电压的附加的辅助电压电路的如图 1 中示出的全波整流器的电路图。

[0016] 图 10 是作为对在图 1 中示出的全波整流器的替换的、在每个整流路径中具有三个晶体管的全波整流器的电路图。

### 具体实施方式

[0017] 为了简单起见,在下面描述的示例性双线路全波整流器中使用的所有晶体管是金属氧化物半导体场效应晶体管。替换地,这些晶体管可以是双极晶体管、结型场效应晶体管、碳化硅晶体管、氮化镓晶体管或任何其它适当的晶体管。

[0018] 如图 1 中示出的那样,示例性桥式整流器 BRB1 包括四个整流路径 A、B、C 和 D,四个整流路径 A、B、C 和 D 被连接在两个 AC 输入路径 AC1 和 AC2 (被连接到 AC 源 V) 中的每个与两个 DC 输出路径 DC1 和 DC2 (被连接到负载 L) 中的每个之间。特别是,整流路径 A 被连接在输入路径 AC1 和输出路径 DC1 之间,整流路径 B 被连接在输入路径 AC2 和输出路径 DC1 之间,整流路径 C 被连接在输入路径 AC1 和输出路径 DC2 之间,并且整流路径 D 被连接在输入路径 AC2 和输出路径 DC2 之间。图 1 的电路中的输出路径 DC1 可以被连接到地 G。四个整流路径 A、B、C 和 D 中的每个包括可控制的开关,可以由常开晶体管和常关晶体管的

级联电路来提供可控制的开关。级联电路基本上是由跟随有电流缓冲器的跨导放大器组成的两极放大器。它能够从两个串联连接的晶体管来构造,其中一个作为公共源极(或公共发射极)来操作并且另一个作为公共栅极(或公共基极)来操作。

[0019] 级联电路可以采用单个导电类型的晶体管(即, p 沟道或 n 沟道场效应晶体管)或不同导电类型的晶体管(即, p 沟道和 n 沟道场效应晶体管)。在图 1 中示出的桥式整流器中,整流路径 A 和 B 仅包括 n 沟道场效应晶体管,而整流路径 C 和 D 包括 n 沟道晶体管和 p 沟道晶体管两者。特别是,整流路径 A 和 B 可以被同样地构造并且可以包括常关 n 沟道场效应晶体管 Q1 或 Q2,常关 n 沟道场效应晶体管 Q1 或 Q2 的源极线被连接到输出路径 DC1 并且常关 n 沟道场效应晶体管 Q1 或 Q2 的栅极线被连接到相应的另一晶体管 Q2 或 Q1 的漏极线(级联电路的公共栅极级)。在整流路径 A 中,晶体管 Q1 的漏极线被连接到常开 n 沟道场效应晶体管 Q3 的源极线,常开 n 沟道场效应晶体管 Q3 的栅极被耦合到输出路径 DC1 并且常开 n 沟道场效应晶体管 Q3 的漏极线被连接到输入路径 AC1(级联电路的公共源极级)。相应地,在整流路径 B 中,晶体管 Q2 的漏极线被连接到常开 n 沟道场效应晶体管 Q4 的源极线,常开 n 沟道场效应晶体管 Q4 的栅极被耦合到输出路径 DC1 并且常开 n 沟道场效应晶体管 Q4 的漏极线被连接到输入路径 AC2。

[0020] 整流路径 C 和 D 还可以被同样地构造。整流路径 C 可以包括常关 p 沟道场效应晶体管 Q5,常关 p 沟道场效应晶体管 Q5 的漏极线被连接到输入路径 AC1(公共漏极级)并且常关 p 沟道场效应晶体管 Q5 的栅极线被连接到整流路径 A 中的晶体管 Q1 的漏极线。常关 n 沟道场效应晶体管 Q7 经由它的源极线而被连接到晶体管 Q5 的源极线,经由它的栅极线而被连接到输入路径 AC1 并且经由它的漏极线而被连接到输出路径 DC2(公共栅极级)。整流路径 D 可以包括常关 p 沟道场效应晶体管 Q6,常关 p 沟道场效应晶体管 Q6 的漏极线被连接到输入路径 AC2 并且常关 p 沟道场效应晶体管 Q6 的栅极线被连接到整流路径 B 中的晶体管 Q2 的漏极线。常开 n 沟道场效应晶体管 Q8 经由它的源极线而被连接到晶体管 Q6 的源极线,经由它的栅极线而被连接到输入路径 AC2 并且经由它的漏极线而被连接到输出路径 DC2。

[0021] 晶体管 Q1-Q8 可以包括在晶体管 Q1-Q8 的相应的源极线和漏极线之间的在内部的类似二极管的结构(被提及为体二极管 D1-D8),由此在 n 沟道晶体管 Q1-Q4、Q7 和 Q8 中,类似二极管的结构阳极被耦合到源极线并且阴极被耦合到漏极线。在 p 沟道晶体管 Q5 和 Q6 中,体二极管 D5 和 D6 的阴极被耦合到源极线并且它们的阳极被耦合到漏极线。

[0022] 当交流电压源 V 提供具有在输入线 AC1 上的正极性和在输入线 AC2 上的负极性的电压时,晶体管 Q2 的源极处(即,在输出路径 DC1 中)的电势在理论上与输入路径 AC2 中的电势相比更为正地多出近似体二极管 D2 和 D4 的正向电压之和。由于晶体管 Q4 是常开晶体管,因此电势的实际上的差可能仅在与体二极管 D2 的正向电压相同的值附近。在晶体管 Q2 的源极线和漏极线之间发生的电压相当低从而晶体管 Q1 接收不到相关的栅极源极电压并且因此阻断(block)。输入路径 AC1 和 AC2 之间的电压与常开晶体管 Q3 的漏极线和常关晶体管 Q1 的源极线之间的电压几乎相同。在该操作状态中,常关晶体管 Q1 和常开晶体管 Q3 两者都阻断并且因此将在它们的漏极线和源极线之间的节点处划分第一输入路径 AC1 和第一输出路径 DC1 之间的电压。常关晶体管 Q1 的漏极线处的电压还出现在常关晶体管 Q2 的栅极线和源极线之间,从而该晶体管和串联连接的常开晶体管 Q4 处于导通状态。在该



操作状态中,分别由晶体管 Q2 和 Q4 的导通的漏极-源极路径来桥接体二极管 D2 和 D4。经由第一输出路径 DC1 和输入路径 AC2 而流过负载 LD 的电流可以引起第一输出路径 DC1 和输入路径 AC2 之间的电压下降,该电压下降是由体二极管 D2 和 D4 与具有欧姆特性的晶体管 Q2 和 Q4 的沟道的并联连接来限定的。在常开晶体管 Q3 的漏极线和源极线之间发生的电压被反向地应用到常关 p 沟道晶体管 Q5 的栅极-源极路径,常关 p 沟道晶体管 Q5 因此处于导通状态中。当常关时,晶体管 Q5 是导通的并且串联连接的常开晶体管 Q7 也导通。

[0023] 另一方面,在它的导通状态中,常开晶体管 Q4 引起常关 p 沟道晶体管 Q6 的栅极电压为低并且因此引起晶体管 Q6 和对应的串联连接的常开晶体管 Q8 阻断。晶体管 Q6 和 Q8 与晶体管 Q1 和 Q3 同步地阻断,从而对应的整流路径 A 和 D 将输出路径 DC1 和 DC2 与输入路径 AC1 和 AC2 隔离。相反地,包括晶体管 Q5、Q7、Q2 和 Q4 的整流路径 B 和 C 处于欧姆导通状态从而输出路径 DC1 和 DC2 仅在小的电压损失的情况下被切换到路径 AC1 和 AC2。

[0024] 当交流电压源 V 提供具有在输入线 AC1 上的负极性以及输入线 AC2 上的正极性的电压时,晶体管 Q2、Q4、Q5 和 Q7 (并且因而对应的整流路径 B 和 C) 处于阻断状态,而晶体管 Q1、Q3、Q6 和 Q8 (并且因而对应的整流路径 A 和 D) 处于欧姆导通状态。

[0025] 在图 1 中示出的全波整流器 BRB 1 中,每个晶体管的漏极-源极电压直接控制另一晶体管的栅极。因此,如果常开晶体管 Q3、Q4、Q7 和 Q8 的栅极以高度地进行阻断的栅极氧化物为特征,则在此使用的所有晶体管可以是低电压晶体管(即,具有 10 和 200 V 之间的标称电压的晶体管)。例如,通过将电压峰和对应的电流峰传递到中间级电容器用于衰减,从而电源应用中的全波整流器具有约 800V 的阻断能力以避免由峰电压引起的严重的损害,峰电压可能例如发生在 230 V/50 Hz 电力网中。为了实现必要的阻断能力,晶体管 Q1、Q3、Q5 和 Q7 可以以非对称的阻断能力为特征。例如,晶体管 Q1 和 Q5 可以具有 30 和 200V 之间的标称阻断电压,而晶体管 Q3 和 Q7 的每个能够承受约 800 V 的差分电压。例如,借助于具有 700—800 V 的阻断电压的晶体管或者通过大量具有更低阻断电压能力的常开晶体管的串联连接,能够实现常开晶体管的更高的反转电压。

[0026] 图 2 是描绘利用约 70 V 的交流输入电压来操作的图 1 中示出的整流器的模拟结果的示意图。图 2 的顶部部分详细示出在被链接到同一输入路径 AC1 或 AC2 的整流路径 A、C 或 B、D 处的随时间经过的电压,由此在图 2 的表示中为了该善的可见性(presentability)起见,将阻断电压剪断(clip off)。图 2 的底部部分示出在负载 L 处的随时间经过的被全波整流的电压。应当注意的是,在输入电压的信号跨过(signal crossing)时,在输入电压足够高以将晶体管 Q2 和 Q6 切换到具有低电压下降的欧姆导电状态之前,晶体管 Q6(路径 C 和 D)或 Q2(路径 A 和 B)的体二极管最初是激活的。因为流过相应的体二极管的电流,略微增加的电力损失可能会暂时地发生。通过对常关晶体管的起始电压的选择,损失能够被最小化。然而,在大多数电源应用中,使用使得电流能够在 AC 输入线上流动的功率因数校正。该电流也是正弦的并且与正弦 AC 线电压同相,从而在 AC 线电压的过零(zero crossing)期间和接近于 AC 线电压的过零时流过全波整流器的线电流也低。即使当在短时间段内电流流过体二极管时,这仍有助于使损失最小化。在形成用于图 2 中示出的示意图的基础的整流器中没有应用这样的最小化。

[0027] 图 3 描绘基于在图 1 中示出的整流器电路 BRB1 的替换的整流器电路 BRB2。与整流器电路 BRB1 对比,整流器电路 BRB2 中的晶体管 Q5 和 Q6 的栅极线未被连接到晶体管 Q1

和 Q2 的漏极线,而是分别经由耦合网络 CN1 和 CN2 而被耦合到输入路径 AC2 和输入路径 AC1。耦合网络 CN1 和 CN2 被配置为对被供给到栅极线的信号进行处理从而在某个延迟时间之后执行晶体管 Q5 和 Q6 的开关操作。用于开启的延迟时间和用于关闭的延迟时间可以是不同的。例如,用于关闭的延迟时间可以比用于开启的延迟时间更短。

[0028] 耦合网络 CN1 和 CN1 可以是同样的,并且包括电阻器 RCN1,电阻器 RCN1 与二极管 DCN1 串联连接,二极管 DCN1 用于开启相应的常关 p 沟道场效应晶体管 Q6、Q5。电阻器 RCN2 和电容器 CCN1 的可选串联连接可以形成用于电阻器 RCN1 的、依赖于频率的旁路以便加速相应的常关 p 沟道场效应晶体管 Q6、Q5 的接通。电阻器 RCN2 和电容器 CCN1 的串联连接可以被用于在不减少电阻器 RCN1 的电阻的情况下减少常关 p 沟道晶体管 Q5 的接通延迟并且因此尤其在输入路径 AC1 和 AC2 之间的更高电压处不引起更高的控制损失。耦合网络 CN1 和 CN2 可以进一步包括与二极管 DCN2 串联连接的电阻器 RCN3 以用于关断相应的常关 p 沟道场效应晶体管 Q6、Q5。电阻器 RCN4 和电容器 CCN2 的可选串联连接可以形成用于电阻器 RCN3 的依赖于频率的旁路以便加速相应的常关 p 沟道场效应晶体管 Q5、Q6 的关断。例如可以利用与常关 p 沟道场效应晶体管 Q5、Q6 的相应源极线耦合的反串联连接的齐纳二极管或雪崩二极管(在各图中未示出)来使常关 p 沟道场效应晶体管 Q5、Q6 的栅极线受保护以免遭受过电压。

[0029] 当交流电压源 V 提供具有在输入线 AC1 上的正极性并且在输入线 AC2 上的负极性的电压时,晶体管 Q5 的源极处(即,在输出路径 DC2 中)的电势在理论上与输入路径 AC1 中的电势相比更为负地多出近似体二极管 D5 和 D7 的正向电压之和。由于晶体管 Q5 是常关晶体管,因而电势的实际差可以近似地是与体二极管 D5 的正向电压相同的值。

[0030] 输入路径 AC2 和输入路径 AC1 之间发生的电压在该情况下是负的,并且经由耦合网络 CN1 而被应用到常关 p 沟道晶体管 Q5 的栅极-源极路径。由于因为导通的体二极管 D5 所以晶体管 Q5 的源极线与晶体管 Q5 的漏极相比仅略微为负,因此耦合网络 CN1 能够经由二极管 DCN1 和电阻器 RCN1 将晶体管 Q5 的栅极放电到甚至更负的值。因此,将使得晶体管 Q5 处于导通状态,并且由晶体管 Q5 的导通的漏极-源极-路径来桥接体二极管 D5。由于由晶体管 Q5 的漏极-源极电压来对常开晶体管 Q7 的栅极源极电压进行供给,因此晶体管 Q7 也将处于导通状态,并且将由晶体管 Q7 来桥接体二极管 D7。

[0031] 在该操作条件下,耦合网络 CN2 经由二极管 DCN2 和电阻器 RCN3 将输入路径 AC1 的正电压应用到常关 p 沟道晶体管 Q6 的栅极线,造成晶体管 Q6 的栅极源极电压。晶体管 Q6 的栅极线比晶体管 Q6 的(负)阈值电压更为正,从而晶体管 Q6 处于阻断状态。具有电阻器 RCN4 和电容器 CCN2 的串联连接的可选旁路可以被用于在没有减少电阻器 RCN3 的电阻的必要的情况下减少晶体管 Q6 的关断延迟并且因此例如在输入端子 AC1 和 AC2 之间的更高电压处不引起更高的控制损失。

[0032] 输入路径 AC1 和 AC2 之间的电压与常开 n 沟道晶体管 Q8 的漏极线和常关 p 沟道晶体管 Q6 的漏极线之间的电压近似相同。在该操作状态下,晶体管 Q6 和晶体管 Q8 两者均阻断并且因此在它们的漏极线之间的节点处划分第一输入路径 AC1 和第一输出路径 DC1 之间的电压。经由第二输出路径 DC2 和输入路径 AC1 而流过负载 LD 的电流可以引起输出路径 DC2 和输入路径 AC1 之间的电压下降,该电压下降是由体二极管 D5 和 D7 与展现欧姆行为的晶体管 Q5 和 Q7 的沟道的并联连接来限定的。

[0033] 图 5 是在图 1 和图 3 中示出的全波整流器的简化的等价电路图。交流电压源 V 经由具有二极管 Da、Db、Dc 和 Dd 的二极管桥而被连接到负载 L。二极管 Da、Db、Dc 和 Dd 可以表示晶体管 Q1-Q8 的体二极管 D1-D8。二极管 Da、Db、Dc 和 Dd 中的每个包括旁路开关 Sa、Sb、Sc 或 Sd，由此由具有晶体管 Q1-Q8 的对应级联电路形成开关 Sa、Sb、Sc 或 Sd。换言之，二极管 Da、Db、Dc 和 Dd 中的每个可以是单个二极管、或者至少两个二极管或体二极管的串联连接。另外，开关 Sa、Sb、Sc 和 Sd 的每个可以被实现为单个开关或至少两个开关的串联连接。相应地，每个整流路径 A、B、C 和 D 包括开关 Sa、Sb、Sc 或 Sd 和二极管 Da、Db、Dc 或 Dd 的并联连接。例如，开关 Sa、Sb、Sc 和 Sd 以及因此对应的整流路径 A、B、C 和 D 可以在输入电压的一个半波期间将输入路径 AC1 连接到输出路径 DC1 并且将输入路径 AC2 连接到输出路径 DC2，并且它们可以在输入电压的另一半波期间将输入路径 AC1 连接到输出路径 DC2 并且将输入路径 AC2 连接到输出路径 DC1。

[0034] 图 6 描绘基于在图 3 中示出的桥式整流器 BRB2 的具有附加的辅助输出路径 AUX 的示例性桥式整流器。由辅助电压电路利用辅助输出电压对辅助输出路径 AUX 进行供给，在本示例中，辅助电压电路包括作为整流器元件的两个二极管 DA1 和 DA2。二极管 DA1 被连接在辅助输出路径 AUX 和辅助输出节点 AN1 之间，辅助输出节点 AN1 被连接到晶体管 Q2 的漏极线和晶体管 Q1 的栅极线。二极管 DA2 被连接在辅助输出路径 AUX 和辅助输出节点 AN2 之间，辅助输出节点 AN2 被连接到晶体管 Q1 的漏极线和晶体管 Q2 的栅极线。只要辅助输出路径 AUX 处的电压比辅助输出节点 AN1 或辅助输出节点 AN2 处的电压更低，对应的二极管 DA1、DA2 就处于正向操作并且只要对应的常开晶体管 Q3、Q4 处于导通模式中就可以导通电流。

[0035] 可选电容器 C1 和 C2 可以被连接在辅助输出节点 AN1、AN2 和地 G 之间以允许用于减少相应的晶体管 Q1 或 Q2 的栅极上的不意图的反馈的、被存储在电容器中的附加的电荷。当来自交流电压源 V 的输入 AC 电压之间的差仅上升到高出出现在辅助输出路径 AUX 上的辅助电压一点时，经由二极管 DA1 或 DA2 对电容器 C 充电，直到常开晶体管 Q3 或 Q4 分别具有足够负以进行阻断的栅极-源极电压为止，因此结束电容器 C 的充电。仅在当如下电压出现在输入路径 AC1、AC2 处时的时间期间对电容器 C 充电，该电压比在电容器 C 处的实际电压仅略微地更高。这使得能够经由常开晶体管 Q3、Q4 提供输入路径 AC1、AC2 的对应节点之间的相当低欧姆的连接，使得能够在没有高损失的情况下加快电容器 C 的充电。由于小电压损失使得一般地所需要的附加电路（诸如变压器或高电压电容器）不必要，因此辅助电路不仅可以被用在待机操作还可以被用在正常操作期间。

[0036] 即使当桥式整流器块 BRB 作为整体不是有源的时，辅助电压仍被供给至开关控制电路 IC1。开关控制电路 IC1 可以检测如下事件中的至少一个，所述事件可以包括以下中的至少一个：辅助输出电压超过第一阈值，辅助输出电压下降到第二阈值之下，辅助输出电压在一个方向上跨过零电压，并且辅助输出电压在另一方向上跨过零电压。由于由电容器 C 来平滑节点 AUX 处的辅助输出电压，因此替换器其它信号可以被用于检测这些阈值。在图 6 中示出的示例性整流器中，电压检测晶体管 QD1 和 QD2 被示出具有被连接到上拉电阻器 R 并且被连接到检测器路径 DTR 的、检测晶体管 QD1 和 QD2 的漏极线，检测器路径 DTR 被连接到开关控制电路 IC1 的输入节点。上拉电阻器 R 的其它引脚可以被连接到辅助输出电压 AUX。电压检测晶体管 QD1 和 QD2 的源极线可以被连接到地 G。电压检测晶体管 QD1 和

QD2 的栅极线分别被连接到输出节点 AN1 和 AN2。当输出节点 AN1 或 AN2 的任一个超过电压检测晶体管 QD1 或 QD2 的阈值电压时,使得对应的电压检测晶体管 QD1 或 QD2 导电,并且对应的电压检测晶体管 QD1 或 QD2 将检测器路径 DTR 处的电压拉至地 G 处或拉至接近于地 G。当输入电压 AC1 和 AC2 分别升高到地 G 之上或者电压检测晶体管 QD1 或 QD2 的阈值电压之上时,检测器路径 DTR 处的电压立即进行检测。例如,利用齐纳二极管和附加的电阻器,用于过零检测的阈值水平能够被进一步偏移到想要的水平。电容器 C1 和 C2 可以被用于平滑被连接到电压检测晶体管 QD1 和 QD2 的栅极线的电压以防止输入电压 AC1 和 AC2 上的小的尖峰触发检测器路径 DTR 的电压上的改变。当省略电压检测晶体管 QD1 或 QD2 中的一个时,例如,过零的检测仍是可行的,但是被限制到输入线 AC1 或 AC2 的任一个。检测晶体管替换地可以被集成在开关控制电路 IC1 中。在不同的示例(在图 6 中未示出)中,电压检测晶体管 QD1 和 QD2 的每个漏极线经由电阻器而被连接到辅助输出电压 AUX,造成两个检测器路径和开关控制电路 IC1 的输入节点。

[0037] 如果事件中的至少一个被检测到并且用来将输出路径开关控制为另外地处于断开状态,则开关控制电路 IC1 将输出路径开关控制为处于导通状态。输出路径开关可以是常关晶体管 QB,常关晶体管 QB 的源极线被连接到输出路径 DC1 并且常关晶体管 QB 的漏极线被连接到被开关的输出路径 SDC1。当例如辅助输出路径上的辅助电压下降或低于某个阈值电压时,晶体管 QB 作为把被开关的输出路径 SDC1 以及因此负载 LD 从输出路径 DC1 分离的电路断路器进行操作。阈值电压可以表示用于由 DC 输出电压和 / 或辅助输出电压进行供给的附加电路的最小供给电压。替换地或附加地,在一个或两个方向上的过零可以被检测以相应地控制晶体管 QB。例如,晶体管 QB 可以仅在过零或接近于过零时被开启和 / 或关闭,以便不生成开关失真。

[0038] 在一个示例中,控制晶体管 QB 可以只在输入线 AC1、AC2 处的输入电压的最初的过零被检测到时被开启并且然后在负载 LD 的整个操作时间期间保持导通。在另一个示例中,对在输入线 AC1、AC2 处的输入电压的过零的数量进行计数,并且然后在某个过零处,控制晶体管 QB 被开启并且在负载 LD 的整个操作时间期间保持导通。

[0039] 在对于两个前面提到的示例的一个替换中,流过导通状态下的控制晶体管 QB 的电子电流被测量,并且当某个电流值被超过时,晶体管 QB 被关断直到在输入线 AC1、AC2 处的输入电压的下一过零被检测到为止,并且然后晶体管 QB 被再次接通。当负载包括在最初的接通期间通常不被充电的、在第二输出节点 DC2 和被开关的输出路径 SDC1 之间的电容器时,该方法可以是有益的。从而该方法可以被用于在输入线 AC1、AC2 处的输入电压的某个数量的过零处、对具有被限制的被控制的电荷封装的电容器预先充电,直到电容性负载被完全充电为止,并且控制晶体管 QB 在该负载的操作时间期间保持导通。

[0040] 图 7 示出随时间经过的与地 G 相关的输入路径 AC1 和 AC2 处的电压。如在许多 AC 电网中那样,这些输入电压可以示出正弦特性。在该示例中假设电容器 C 在开始(电压 AUX=0V)不被充电,输入路径 AC1 处的上升的电压致使电流流过二极管 DA1,直到辅助输出节点 AN1 处的电压达到常开晶体管 Q3 的源极和栅极之间的夹断电压为止并且因此使得常开晶体管 Q3 进入阻断状态,从而电流停止流过二极管 DA1。当输入路径 AC1 处的电压下降得低于常开晶体管 Q3 的夹断电压时,晶体管 Q3 再次进入导通状态并且再次地电流流过二极管 DA1,直到输入路径 AC1 处的电压落到辅助输出路径 AUX 处的电压以下并且使得二极管

DA1 进入阻断模式为止。随后,输入路径 AC2 处的电压上升。当输入路径 AC2 处的电压达到辅助输出路径 AUX 的电压时,二极管 DA2 处于导通状态并且电流流动,直到输入路径 AC2 处的电压达到常开晶体管 Q4 的夹断电压为止。提供辅助电压的电路还能够被配置为提供负辅助电压 AUX。

[0041] 在图 7 中示出的示例中,在输入路径 AC1、AC2 处花费输入电压的两个半波来将电容器 C 充电直到对应的常开晶体管 Q3、Q4 的夹断电压。但是这仅是示例,并且取决于电容器 C 的值、从电容器 C 流动到所连接的负载的电流和对应的常开晶体管 Q3、Q4 的导通状态电阻,该导通状态电阻可能在如下时间期间变化,该时间取决于可以具有负极性的、常开晶体管 Q3、Q4 的实际栅极-源极电压。结果,输出路径 AUX 处的电压在输入电压的第一半波期间可能已经达到常开晶体管 Q3、Q5 的夹断电压,或者可能花费更多时间(例如,在输入电压的第二半波、第三半波或随后的半波中的一个期间)。作为一个可能性,输出路径 AUX 处的电压可以仅暂时地或从不为常开晶体管 Q3、Q5 的夹断电压。

[0042] 在提供辅助电压的电路中,仅在输入路径 AC1、AC2 处的电压处于与辅助输出路径 AUX 处的电压相同的范围中时对电容器 C 充电,并且因此在将电荷供给到电容器 C 期间没有重大的损失发生。当输入电压 AC1、AC2 比在辅助输出路径处的电压实质地更高时,由晶体管 Q3、Q4 阻断 AUX 电流流动。

[0043] 为了使辅助输出电压平滑,电容器 C 可以被连接在辅助输出路径 AUX 和地 G 之间,输出路径 DC1 也被连接到的地 G。可以例如通过使用与电容器 C 并联的齐纳二极管或雪崩二极管来限制电容器 C 处的电压。替换地或附加地,附加的开关可以位于电容器 C 的一个引脚与二极管 DA1 和 DA2 的阴极之间,该附加的开关只要电容器 C 处的最大电压不被超过就仅为导通。在本示例中,利用二极管 DA1 和 DA2 的阴极将二极管 DA1 和 DA2 连接到辅助输出路径 AUX,然而,在其它电路结构的情况下,各阳极阴极也可以被连接到辅助输出路径。

[0044] 辅助电压可以被供给到电路 IC,电路 IC 可以是控制电路、备用电路、启动电路、过零检测器或当桥式整流器块 BRB2 作为整体并非为有源时需要被利用电力进行供给的任何其它电路。当仅存在小的电压差时,辅助电压仅被连接到输入路径 AC1、AC2 处的电压,从而在电力应用中与常规的备用或启动供给(其中,从输入电压流动到辅助电压的电流需要被多于 10k $\Omega$  或者甚至多于 100k $\Omega$  的范围内的相当高的欧姆电阻器限制,从而电流被限制到几 mA 直到例如 10mA) 相比可以实现低欧姆连接。对于电容器 C 而言,花费相对长的时间来变为被由辅助电压充分地充电。相反地,通过仅在其间输入电压比辅助电压仅更高一点的时间对电容器 C 充电,该连接可以被实现为低欧姆,导致在多于 10mA、几十 mA、100mA 或者甚至更多的范围中的充电电流,并且因此把在启动时的时间延迟减少到在电力应用中的常规的方法的近似 1/10。与常规的启动或备用供给相反,以比在辅助输出 AUX 处的电压仅更高出一点的输入电压对电容器 C 进行充电不引起重大的损失从而辅助路径处的电压不仅可以被用于启动和备用供给,而且还可以被用于诸如控制电路等的辅助负载的规则操作。在该情况下,不要求诸如变压器或高电压电容器的对于对辅助负载(例如,控制电路)进行供给通常所需要的附加的电路。

[0045] 可选的电容器 C1 和 C2 可以被连接在辅助输出节点 AN1、AN2 和地 G 之间,以允许当相应的晶体管 Q1 或 Q2 的漏极源极电压增加时,被存储在这些电容器中的附加的电荷被放电到辅助输出路径 AUX。当来自交流电压源 V 的输入 AC 电压和出现在辅助输出路径 AUX

上的辅助电压之间的差小时, (低电压) 电容器 C1 和 C2 的电荷可以建立大约为辅助电压的电压, 从而电压损失是可忽略的。换言之, 电容器 C1 和 C2 可以减少经由二极管 DA1 或 DA2 到电容器 C 的电流流动可以具有的、在 Q1 或 Q2 的栅极上的反馈。由于它们主要被意图用来抑制噪声、暂态和干扰并且将另外地减小该电路的效率, 因此电容器 C1 和 C2 可以仅具有更小的电容。

[0046] 电路 IC 可以要求关于来自交流电压源 V 的当前输入 AC 电压的信息, 例如, 输入 AC 电压超过第一阈值还是下降到第二阈值之下。为了提供这样的信息, 两个电压检测晶体管 (在本情况中, 两个电压检测晶体管是常关 n 沟道场效应晶体管 QD1 和 QD2) 被连接在辅助输出节点 AN1、AN2 和被连接到电路 IC 的对应输入的控制路径 CTR 之间。例如, 上拉电阻器 R 被连接在控制路径 CTR 和辅助输出路径 AUX 之间。控制路径 CTR 进一步与晶体管 QD1 和 QD2 的漏极线耦合, 晶体管 QD1 和 QD2 的源极线被连接到地 G (即, 输出路径 DC1)。晶体管 QD1 的栅极线被连接到辅助输出节点 AN1, 并且晶体管 QD2 的栅极线被连接到辅助输出节点 AN2。

[0047] 当晶体管 Q1 的栅极线处的电压超过晶体管 QD1 的接通电压时, 晶体管 QD1 被接通到导电状态。然后, 连接晶体管 QD1、QD2 的漏极线和电阻器 R 的节点处的电压下降到输出路径 DC1 (地 G) 的水平。控制路径 CTR 处的电压水平 (电势) 下降到几乎 0V, 从而跟随电压过零的电压增加能够被检测到。可以例如利用齐纳二极管、雪崩二极管和 / 或附加的电阻器, 将用于过零检测的阈值水平偏移 to 想要的水平。

[0048] 代替在图 6 中示出的示例, 利用检测晶体管 QD1、QD2, 不同的方法可以被用于过零检测。例如, 晶体管 QD1、QD2 两者可以被供给有分离的上拉电阻器 R, 并且晶体管 QD1、QD2 的分离的漏极信号可以经由两个控制路径 CTR 而被分离地馈送到电路 IC 中, 不仅递送关于过零的信息而且还递送关于输入路径 AC1、AC2 中的哪个具有正电压的信息。在替换的示例中, 在分离的漏极节点的情况下, 该上拉电阻器 R 或多个上拉电阻器可以被省略, 造成经由控制路径 CRT 处的电压到地 G 的下拉而可以被用于过零检测的所谓的开放漏极晶体管。

[0049] 提供辅助电压的电路可以进一步被配置并且被适配以提供进一步的功能 (诸如在小的电力损失的情况下提供具有不同的电压 (更高、更低、正的、负的) 的很多个辅助路径) 并且允许过零电压检测。

[0050] 如图 8 中示出的那样, 常开 n 沟道场效应晶体管 QD3 和 QD4 可以替换地被用作电压检测晶体管, 代替在图 3 中示出的整流器中采用的常关 n 沟道场效应晶体管 QD1 和 QD2。检测器路径 DTR 与晶体管 QD3 和 QD4 的漏极线耦合, 晶体管 QD3 和 QD4 的栅极线被连接到地 G (即, 输出路径 DC1)。晶体管 QD3 的源极线被连接到辅助输出节点 AN1, 并且晶体管 QD2 的源极线被连接到辅助输出节点 AN2。如果仅检测每个第二过零 (即, 一个跨过方向) 是充分的, 则可以采用晶体管 QD1-QD4 中的仅一个。

[0051] 替换地, 与相应地被适配的电路结构连接的其它类型的晶体管可以被用作检测晶体管。更进一步地, 很多个串联或并联连接的晶体管可以被用作检测晶体管, 即, 代替晶体管 QD1-QD4。代替晶体管, 二极管 DA3 和 DA4 可以被用于如图 9 中示出的那样的电压检测。二极管 DA3 和 DA4 可以被连接在检测器路径 DTR 和辅助输出节点 AN1、AN2 之间。如果仅检测每个第二过零是充分的, 则可以采用晶体管 QD1-QD4 中的仅一个。可以使用桥式整流器电路 BRB1, 代替如图 9 中示出的那样的整流器电路 BRB2。在整流路径 C 和 D 中, 替换地或

附加地,可以使用进一步的并联或串联连接的二极管(未示出)。更进一步地,在一些或所有的开关路径中,如下面与图 10 有关地描述的那样,可以使用每路径多于两个晶体管。

[0052] 在图 9 中示出的整流器(该整流器基于在图 8 中示出的布置)中,使用被连接在检测器路径 DTR 和辅助输出节点 AN1 之间的仅一个检测器二极管(二极管 DA3),因为仅检测每个第二过零(即,一个跨过方向)可以是充分的。附加地,在图 9 中示出的整流器包括用于处理被整流的输入 AC 电压(即,由输出路径 DC1 和 DC2 提供的输出电压)的电路。这样的电路可以是(开关模式)功率控制器,诸如具有 PFC 控制电路 IC2 的(开关模式)功率因数控制器(PFC)。PFC 控制电路 IC2 经由二极管 DF1 而在辅助路径 AUX 上被供给有辅助电压并且经由二极管 DF2 而被开关控制电路 IC1 控制或使能。用于 PFC 控制电路 IC2 的供给电压可以被电容器 CB 缓冲,电容器 CB 被连接在 PFC 控制电路 IC2 的供给电压输入和被开关的输出路径 SDC1 之间。功率因数控制器可以进一步包括电感 L、二极管 DR 和电容器 CD 的串联连接,其中,该串联连接被连接在输出路径 DC1 和被开关的输出路径 SDC1 之间,其中,电容器 C 处的电压可以被供给到其它电路(未示出)作为供给电压。电感 L 和二极管 DR 之间的节点经由常关晶体管 QS 的可控制的路径和可选电阻器 R1 (其可以用作用于电流测量的分路电阻器)而被连接到被开关的输出路径 SDC1。晶体管 QS 的控制路径经由可选电阻器 R2 而被连接到 PFC 控制电路 IC2 并且被 PFC 控制电路 IC2 控制。

[0053] 晶体管 QB 的耐电压应当充分地高于能够存在于输出路径 DC1 和 DC2 上的最大电压。耐电压可以是例如 800V 或者甚至多于 800V。当 AC 电力开启时,PFC 控制电路 IC2 和开关控制电路 IC1 并非被激活,并且,因此,晶体管 QB 被关闭,即,处于非导电状态。由于晶体管 QB 的非导通状态的原因,电容器 CD 不被充电。因此,没有电流峰能够发生在电容器 CD 处和桥式整流器中。

[0054] 并非在电容器 C 被充分地充电从而开关控制电路 IC1 是可操作的之前,过零检测可以提供关于如下时间中的点的信息,在该时间处,AC 输入电压具有小值(即,零或零周围的小范围),并且在该时间处,能够在不生成显著的失真的情况下开启或关闭晶体管 QB。如以上已经概述的那样,在一些应用中,仅检测每一第二过零(即,仅一个跨过方向)可能是充分的,从而能够减少针对过零检测所要求的电路。如果是可应用的,则开关控制电路 IC1 的过零检测输入可以被下拉到具有电阻器(未示出)的输出路径 DC1,以便减少开关控制电路 IC1 的输入噪声灵敏度。对检测过零的替换,可以鉴于某一电压水平而估计替换的(输入的)电压。可以利用电阻器、齐纳二极管和其它电压限制元件来调整该水平。

[0055] 例如,可以检测从零到给定水平的电压改变(例如,检测输入电压是小还是大于给定水平)。如果如在图 8 中示出的布置中那样采用诸如二极管 DA3 和 DA4 的两个二极管,则能够检测每个半波过零,或者一个二极管触发其它二极管。例如,二极管 DA3 处的下降沿可以激活二极管 DA4。

[0056] 在示例性的操作模式中,晶体管 QB 可以在 AC 输入电压的特定过零处开启,从而电容器 CD 被充电,直到达到 AC 输入电压的峰值为止。在本示例中,在已经发生某一数量的过零之后,即,在某一延迟时间之后,可以执行开启晶体管 QB。具有由例如干线连接器(当被插入电源时)或者振荡开关元件生成的延迟噪声和失真。所延迟的时间能够进一步被用于对过零的数量进行计数,并且如果该计数偏离预期的数量,则可以生成误差信号。

[0057] 在桥式整流器 AC1、AC2 的输入节点和供给电压源 V (即,电网)之间,在许多开关

模式电源中需要滤波器单元以符合电磁兼容性(EMC)的规定。一般而言,EMC 滤波器包括电感器和电容器,后者跟随供给电网的电压  $V$ 。当例如把开关模式电源连接到插座并且因此连接到供给电网的线缆在操作期间被拔出时,在断开连接的瞬间,EMC 滤波器中的电容器保持被充电在电网的电压。触摸插头的连接器可能是危险的,这是为什么需要定期地检测桥式整流器的输入处的电压水平的原由,并且在一定时间内没有进一步的过零发生的情况下,主动地将 EMC 滤波器中的电容器放电到非临界水平。这可以通过接通晶体管 QS 和晶体管 QB 这两者来容易地做到。然后,二极管 DR 处于阻断模式,防止电容器 CD 被放电。

[0058] 如果输出路径 DC1 和 DC2 中的电流太高,并且诸如电感 L 的电感存在于输出路径 DC1 和 DC2 中的一个中,则能够以类似于对晶体管 QS 计时的方式对晶体管 QB 进行计时,以便限制电流的峰。被连接到输出路径 DC1 和 DC2 的电路可以进一步包括为了简单起见而被示出的电路元件。只有当 AC 输入电压和辅助电压之间的差小时才作出对开关控制电路 IC1 和 PFC 控制电路 IC2 进行供给,仅存在小的电力损失,这使得整流器电路非常有效率。

[0059] 在整流路径 C 和 D 中,替换地或附加地,可以使用进一步的并联或串联连接的二极管(未示出)。更进一步地,在一些或所有开关路径中,如下面有关于图 10 描述的那样,每路径可以使用多于两个晶体管。

[0060] 参照图 10,图 10 示出替换的桥式整流电路 BRB3,通过将另一常开场合效应晶体管 Q9 和 Q10 添加到开关整流路径(开关模式整流路径)中的每个以增加整流路径 A 和 B 中的每个中的阻断能力,可以增强图 1 中示出的全波整流器 BRB1。特别是,晶体管 Q9 的源极-漏极路径被连接在晶体管 Q3 的漏极线和输入路径 AC1 之间。晶体管 Q9 的栅极线被连接到晶体管 Q3 的源极线。晶体管 Q10 的源极-漏极路径被连接在晶体管 Q4 的漏极线和输入路径 AC2 之间。晶体管 Q10 的栅极线被连接到晶体管 Q4 的源极线。在图 10 中示出的每个整流路径 C 和 D 中,二极管 D5、D6 被连接在输入路径 AC1、AC2 和 DC2 之间,因此仅在整流路径 A 和 B 中建立 pn 结阈值的旁路,从而在整流路径 C 和 D 中可以省略开关元件。

[0061] 作为替换(未示出),代替单个二极管 D5、D6,以更高的导通损失的代价,可以使用两个或更多个二极管的串联连接以较之单个二极管增加整流路径 C 和 D 中的每个中的阻断能力。

[0062] 注意的是,取决于应用,在上面描述的示例中,所有桥式整流器 BRB1、BRB2 和 BRB3 是可互换的。更进一步地,路径 A、B 能够与在此描述的任何路径 C、D 组合并且与许多其它常规的整流路径组合。

[0063] 在图 6、图 8 和图 9 中示出的示例中,从辅助节点 AN1 和 AN2 两者对称地设计零电压检测和 / 或对电容器 C 的辅助供给。作为替换,仅经由辅助节点 AN1 和 AN2 中的一个,可以实现零电压检测和 / 或对电容器 C 的辅助供给中的至少一个,例如,电容器 C 经由整流元件 DA1 而被连接到辅助节点 AN1,并且控制路径 CTR 经由整流元件 DA4 或开关元件 QD2 或 QD4 而被连接到辅助节点 AN2。

[0064] 与欧姆负载或随后的降压和 / 或升压转换器(诸如功率因数控制器)相关地,上面描述的全波整流器可以是可应用的。例如,在功率因数控制器中,由降压 / 升压二极管将中间级电容器与输入(全波)整流器和电感器去耦合,从而不存在从中间级电容器流动到输入(例如,电力网)的反转电流,其将另外地是当直接应用电容式负载时的情况。

[0065] 上面描述的全波整流器具有带有级联电路的类似桥的结构,级联电路的负载路径



形成整流路径。共享同一输入路径的级联电路和 / 或共享地(与输出路径中的一个对应)的级联电路可以经由级联电路输入和级联电路的中间输出而与彼此交叉耦合。级联电路可以采用仅单个导电类型的晶体管或两种导电类型的晶体管,例如,仅 p 沟道晶体管、仅 n 沟道晶体管或这两者。取决于晶体管在级联电路中的功能,级联中的晶体管可以是常开类型的或常关类型的。例如,常开晶体管可以被用于增加耐电压,并且(交叉耦合的)常关晶体管可以被用于控制关闭整流器。上面的示例中的每一整流路径的晶体管数量是 2 或 3,但是另外地可以是高于 3 的任何数量。

[0066] 尽管已经描述了发明的各个实施例,但是对于本领域普通技术人员来说将明显的是,在本发明的范围内许多更多的实施例和实现是可能的。

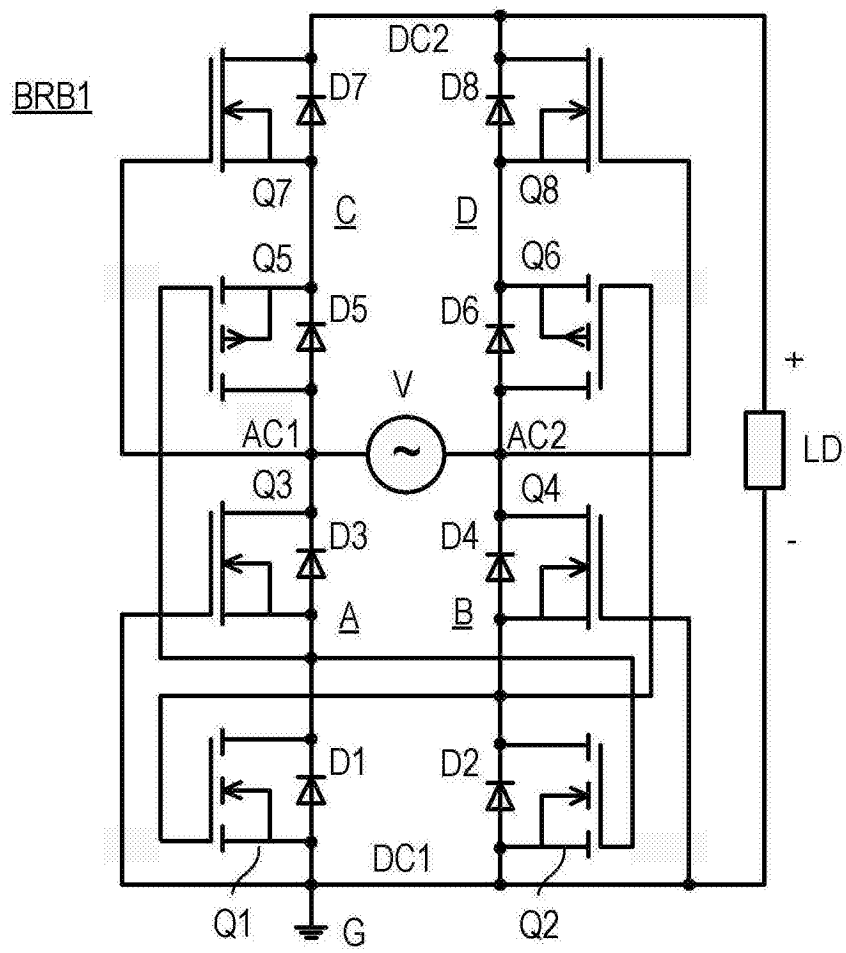


图 1

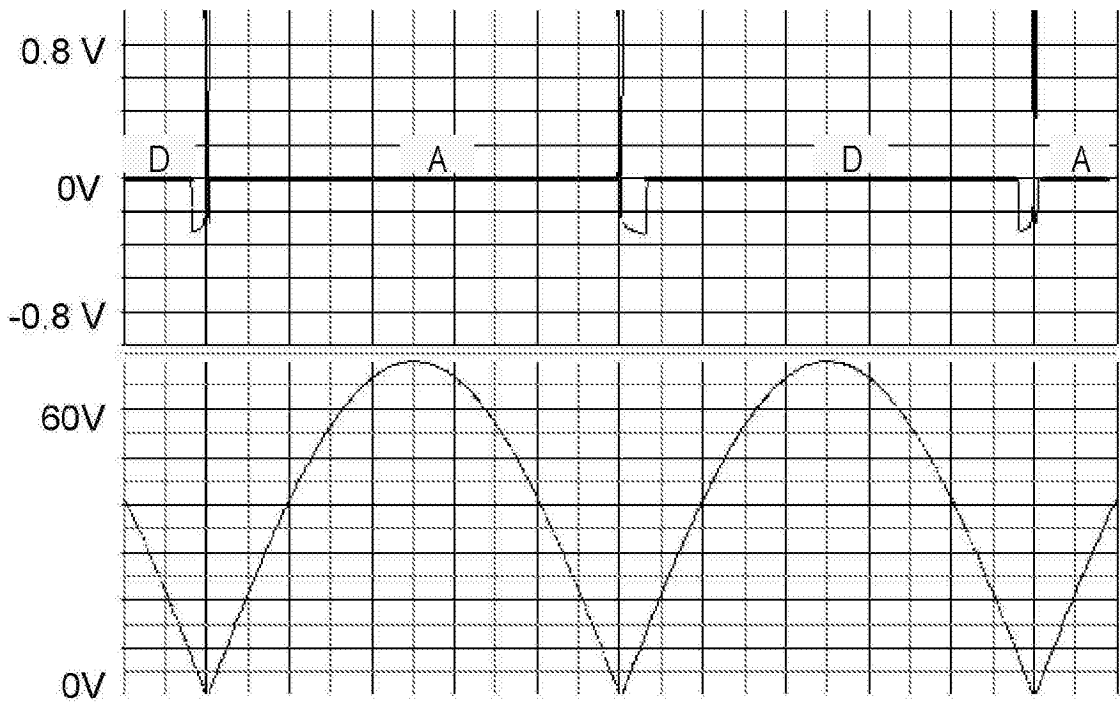


图 2

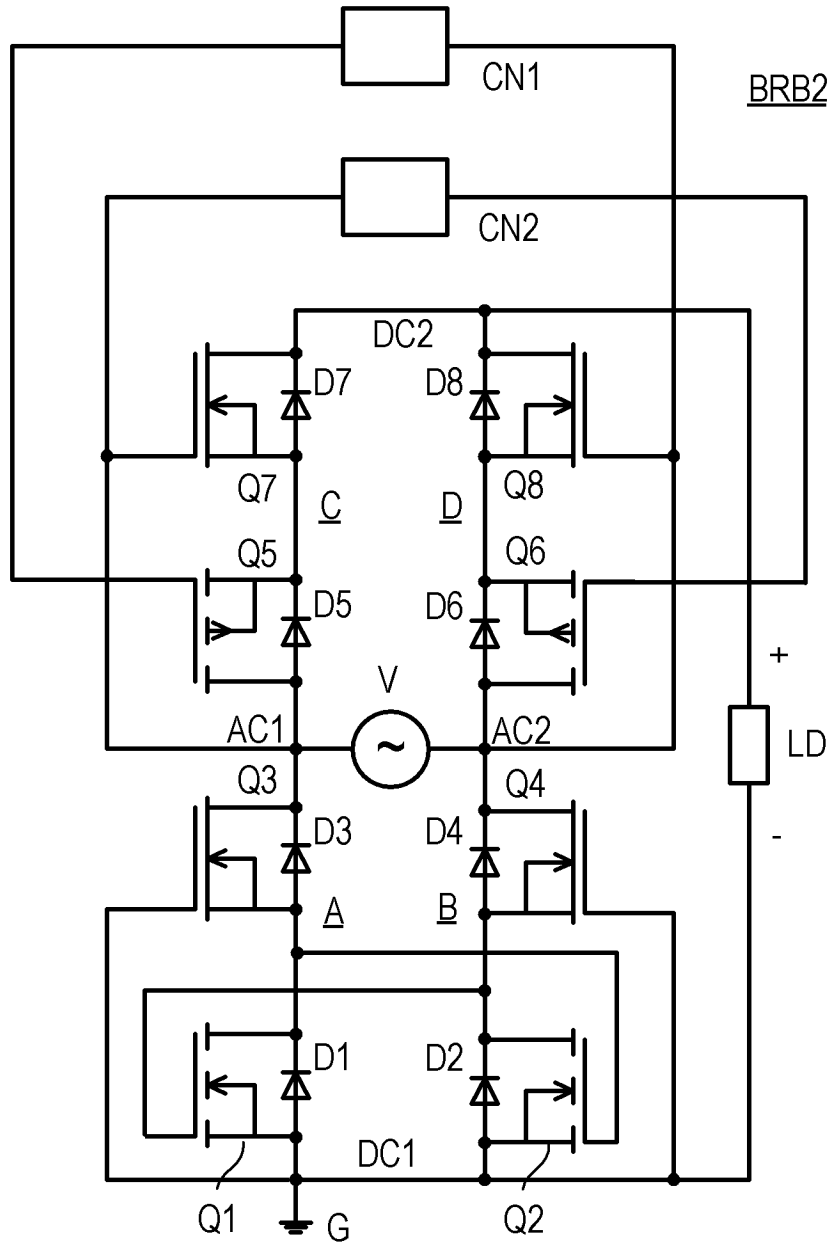


图 3

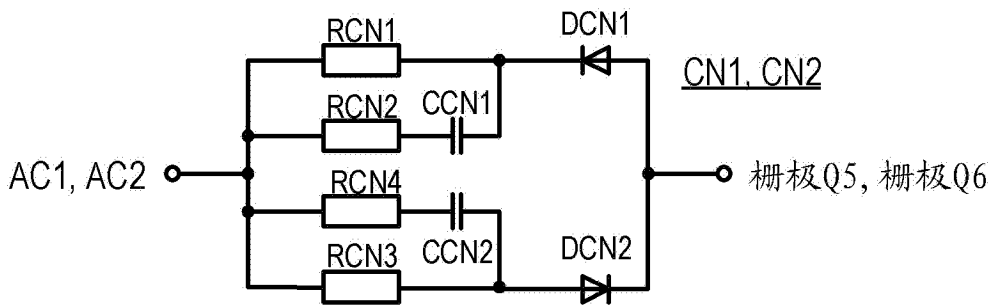


图 4

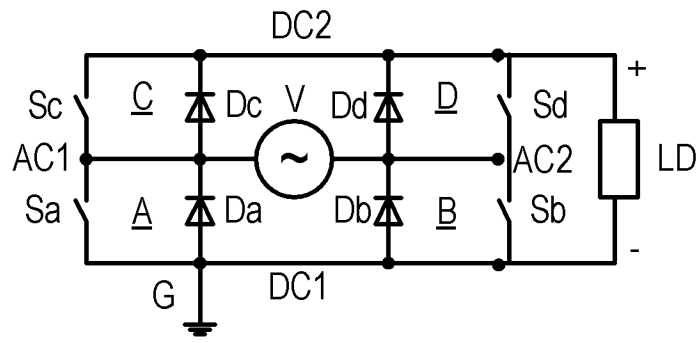


图 5

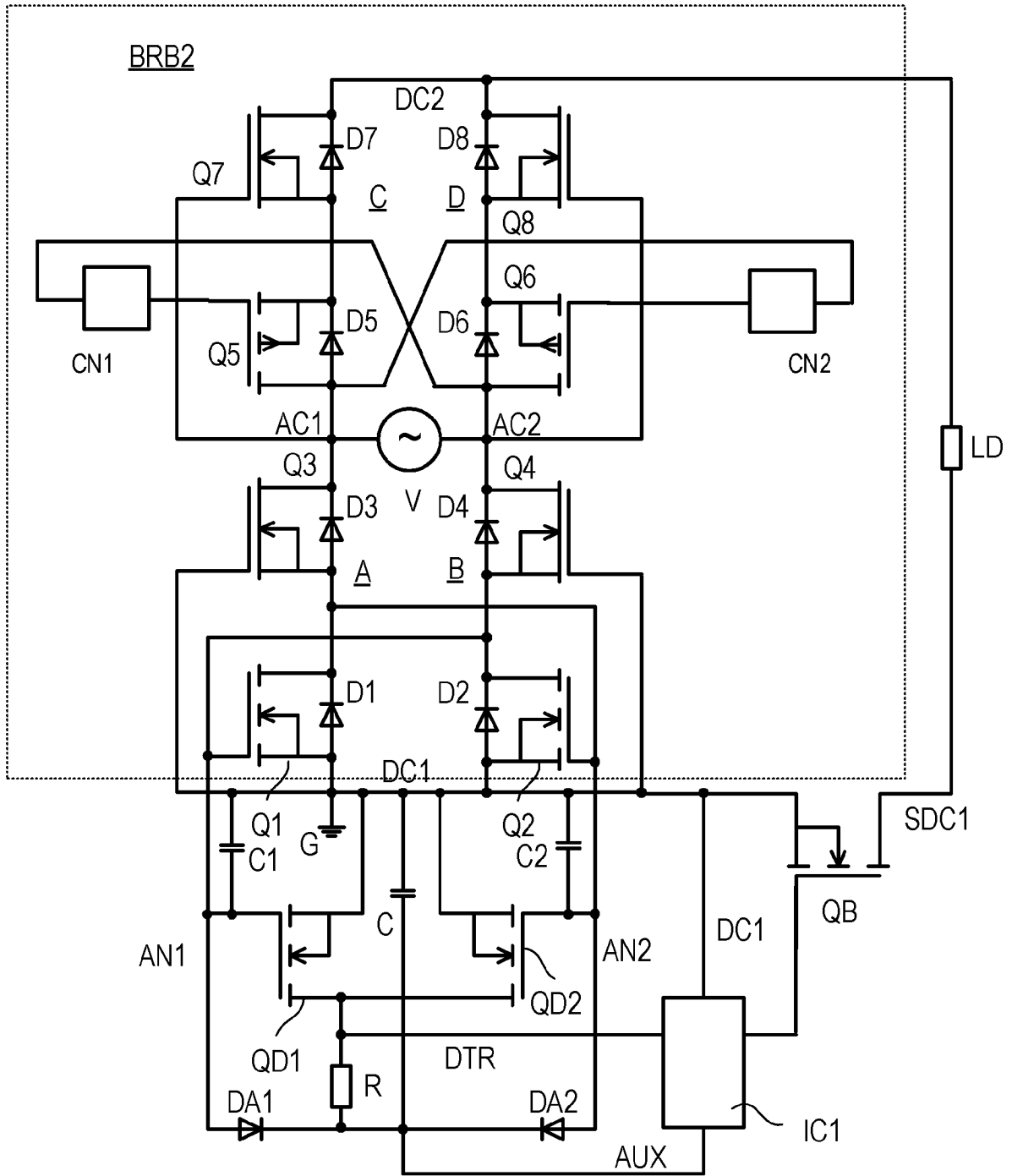


图 6

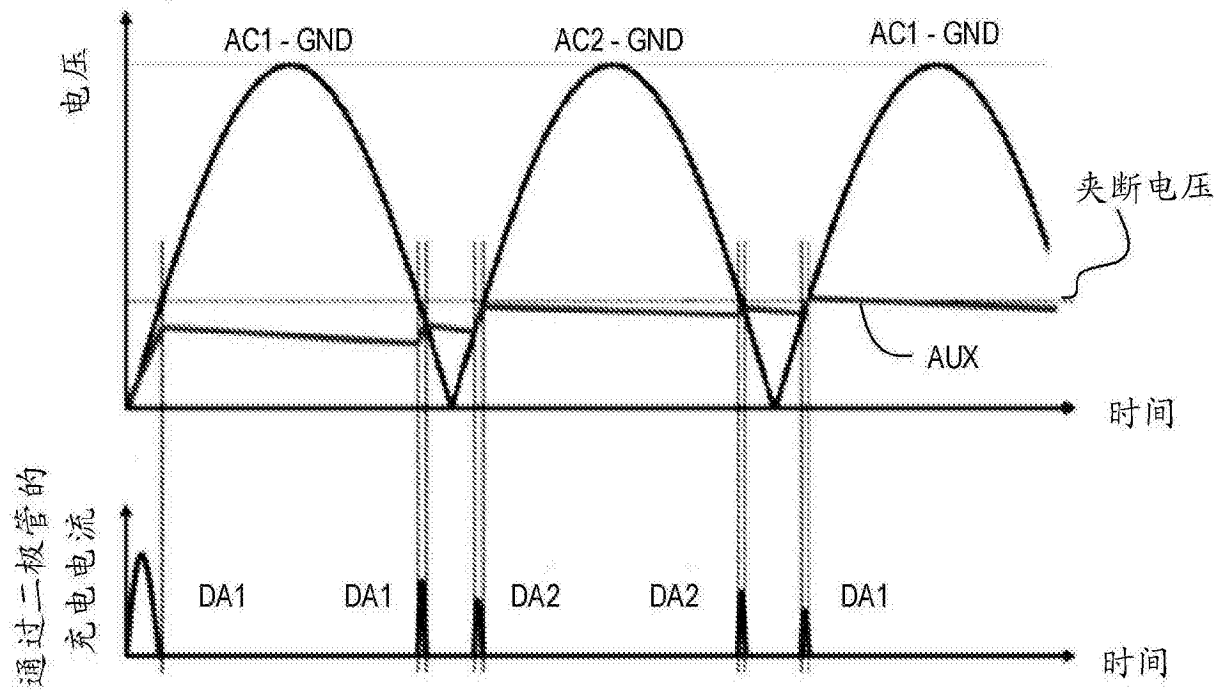


图 7

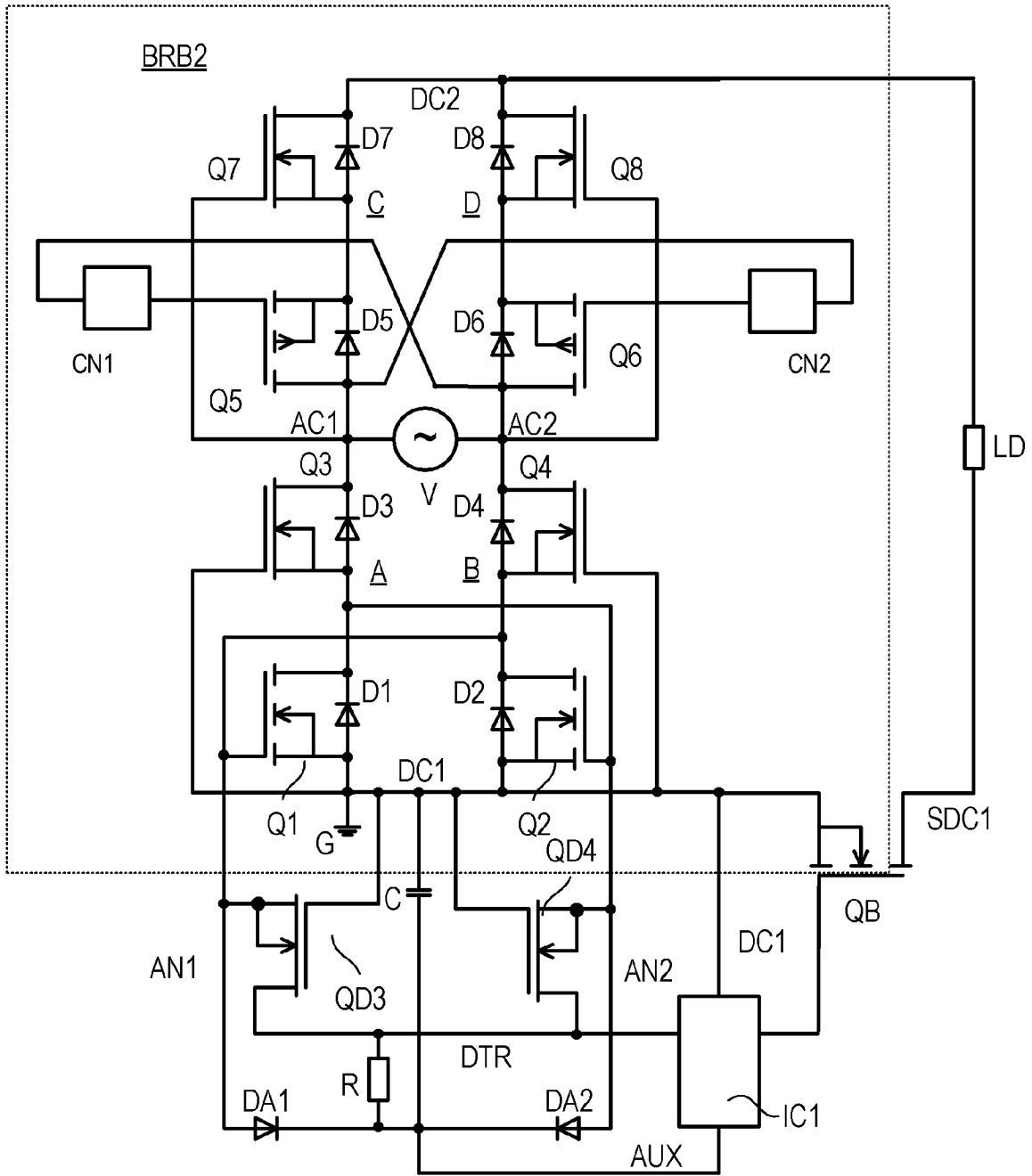


图 8



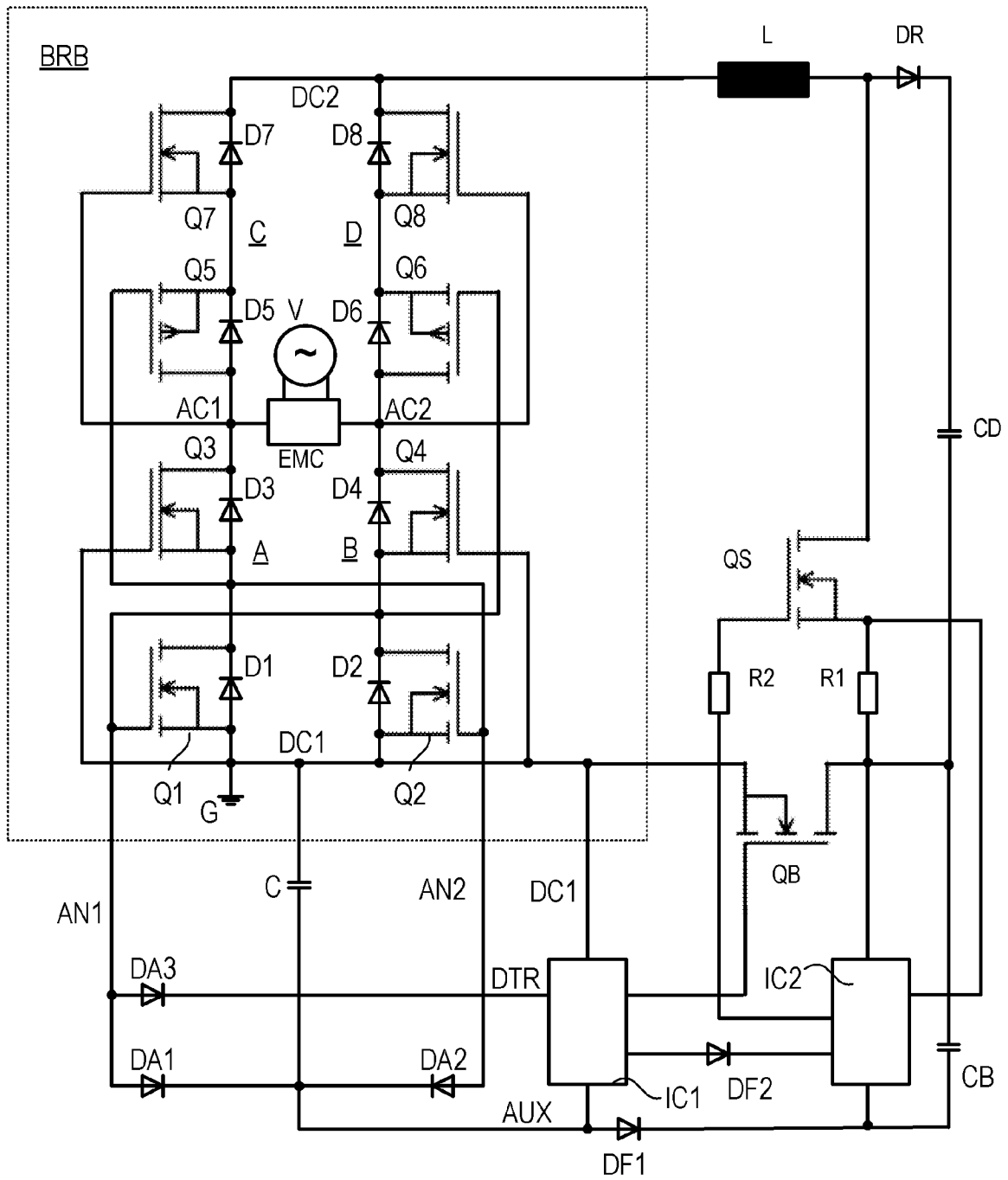


图 9

BRB3

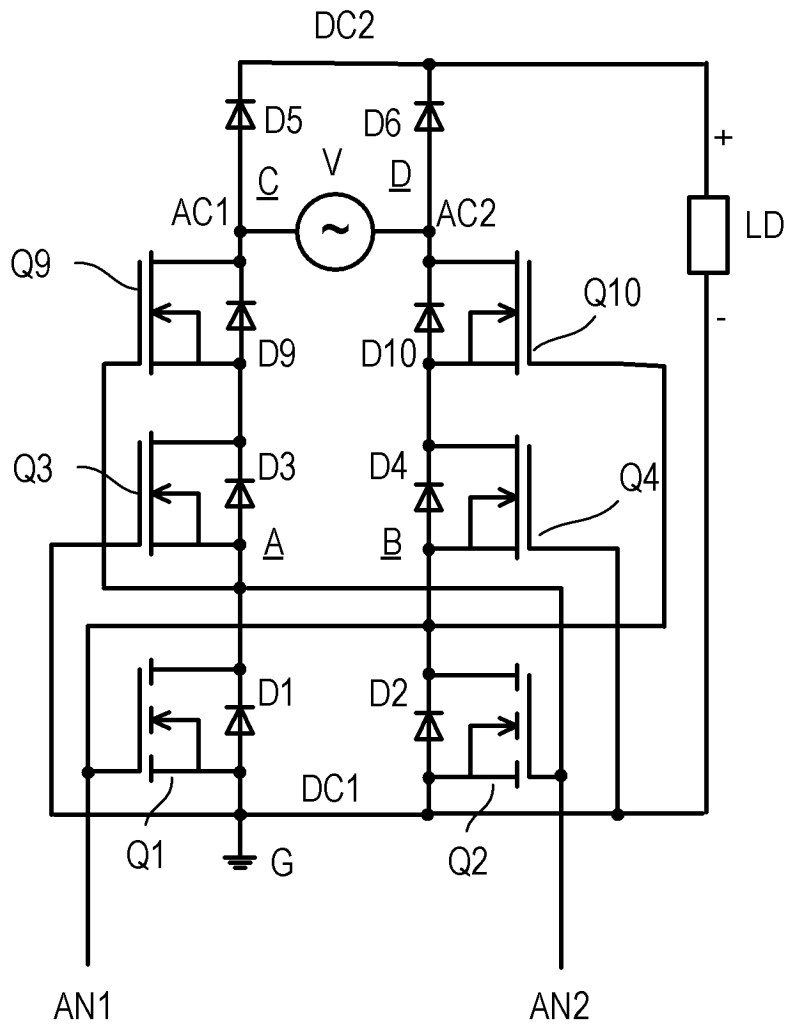


图 10