

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-21299

(P2013-21299A)

(43) 公開日 平成25年1月31日(2013.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 G 4/30 (2006.01)	HO 1 G 4/30 3 O 1 D	5 E 0 0 1
HO 1 G 4/232 (2006.01)	HO 1 G 4/12 3 5 2	5 E 0 8 2

審査請求 未請求 請求項の数 4 O L (全 17 頁)

(21) 出願番号	特願2012-79712 (P2012-79712)	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22) 出願日	平成24年3月30日 (2012. 3. 30)	(74) 代理人	100085143 弁理士 小柴 雅昭
(31) 優先権主張番号	特願2011-133884 (P2011-133884)	(72) 発明者	櫻谷 昌弘 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(32) 優先日	平成23年6月16日 (2011. 6. 16)	Fターム(参考)	5E001 AB03 AC01 AC07 5E082 AA01 AB03 FF05 FG26
(33) 優先権主張国	日本国 (JP)		

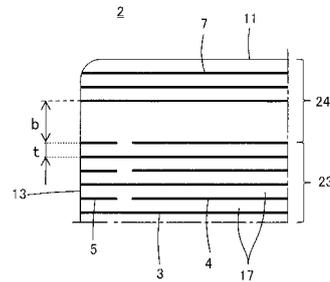
(54) 【発明の名称】 積層セラミック電子部品

(57) 【要約】

【課題】内部電極の露出部にめっき膜を析出させるにあたって、より確実なめっき成長を実現するため、いずれの内部電極も存在しない外層部にダミー導体を形成したとき、積層セラミック電子部品の信頼性、たとえばBDVが低下することがあった。

【解決手段】外層部24において最も内層部23に近接した外層ダミー導体7と、内層部23において最も外層部24に近接した内部電極4と、の高さ方向に沿った距離をb、第1の内部電極3と第2の内部電極4との高さ方向に沿った対向距離をt、としたとき、 $2t < b$ を満足するようにする。これによって、外層ダミー導体7を内部電極4から十分に遠ざけることができるので、外層ダミー導体7と重なる内部電極3, 4が焼成前のプレス時に押圧されて局所的に内部電極間距離が短くなることを防止でき、BDVの低下を防止できる。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

複数のセラミック層が積層されてなるもので、外表面として、互いに対向する第 1 および第 2 の主面、互いに対向する第 1 および第 2 の側面ならびに互いに対向する第 1 および第 2 の端面を有する、セラミック素体と、

前記セラミック素体の内部に配置され、第 1 の対向部および前記第 1 の対向部から前記セラミック素体の前記外表面に引出された第 1 の引出し部を有する、第 1 の内部電極と、

前記セラミック素体の内部に配置され、前記セラミック層を介して前記第 1 の対向部と対向する第 2 の対向部および前記第 2 の対向部から前記セラミック素体の前記外表面に引出された第 2 の引出し部を有する、第 2 の内部電極と、

前記セラミック素体の前記外表面上に配置され、前記第 1 の引出し部の露出部を直接覆うめっき膜を有する、第 1 の外部電極と、

前記セラミック素体の前記外表面上に配置され、前記第 2 の引出し部の露出部と電氣的に接続され、前記第 1 の外部電極とは異なる電位に接続される、第 2 の外部電極と、  
を備え、

前記第 1 および第 2 の主面を結ぶ方向を高さ方向と定義し、

前記高さ方向に沿って、前記第 1 の内部電極および前記第 2 の内部電極が存在する領域を内層部と定義し、

前記高さ方向に沿って、前記第 1 の内部電極および前記第 2 の内部電極がいずれも存在しない領域を外層部と定義したとき、

前記外層部には、前記セラミック素体を前記高さ方向に沿って投影した場合に前記第 1 の引出し部と重なるようにして前記セラミック素体の前記外表面に引出された、外層ダミー導体が配置され、前記外層ダミー導体の露出部は、前記第 1 の外部電極の前記めっき膜によって直接覆われ、

前記外層部において最も前記内層部に近接した前記外層ダミー導体と、前記内層部において最も前記外層部に近接した前記第 1 の内部電極または前記第 2 の内部電極と、の前記高さ方向に沿った距離を  $b$ 、

前記第 1 の内部電極と前記第 2 の内部電極との前記高さ方向に沿った対向距離を  $t$ 、  
としたとき、

$$2t < b$$

を満足する、積層セラミック電子部品。

## 【請求項 2】

さらに、 $b \geq 6 \mu\text{m}$  を満足する、請求項 1 に記載の積層セラミック電子部品。

## 【請求項 3】

前記第 1 および第 2 の側面を結ぶ方向を幅方向と定義し、

前記第 1 および第 2 の端面を結ぶ方向を長さ方向と定義したとき、

前記長さ方向に沿った前記第 1 および第 2 の側面の各寸法が、前記幅方向に沿った前記第 1 および第 2 の端面の各寸法よりも長く、

前記第 1 の対向部は、長辺および短辺を有する長形状であり、

前記第 1 の引出し部は、前記第 1 の対向部の前記長辺から前記第 1 および第 2 の側面のうち少なくとも一方に引出されている、

請求項 1 または 2 に記載の積層セラミック電子部品。

## 【請求項 4】

前記第 1 の引出し部は、前記長さ方向において、前記第 1 および第 2 の側面のうち少なくとも一方の中央にかかるように引出されている、請求項 3 に記載の積層セラミック電子部品。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、積層セラミック電子部品に関するものであり、特に、セラミック素体の外

10

20

30

40

50

表面上に直接形成されためっき膜を含む外部電極を備える積層セラミック電子部品に関するものである。

【背景技術】

【0002】

近年、携帯電話、ノートパソコン、デジタルカメラ、デジタルオーディオ機器等の電子機器は小型化が進んでおり、これら電子機器には、小型化かつ高性能化が可能な積層セラミック電子部品が多数用いられている。

【0003】

通常、積層セラミック電子部品は、複数の積層されたセラミック層を有するセラミック素体と、セラミック素体の内部に形成された内部電極と、セラミック素体の外表面上に形成された外部電極とを備える。そして、積層セラミック電子部品は、実装基板の導電ランド上に配置され、はんだなどの導電性接合材を介して基板上に実装される。

10

【0004】

現在、積層セラミック電子部品には、さらなる小型化の要求がある。

【0005】

しかしながら、積層セラミック電子部品を小型化すると、内部電極同士が対向する有効面積が小さくなるため、一般的に特性は低下する傾向にある。

【0006】

また、多端子型の積層セラミック電子部品においては、複数のストライプ状の外部電極を狭ピッチで形成する必要があるが、従来の厚膜ペーストの焼付けによる方法ではペースト塗布精度に限界があり、高精度に外部電極を形成することは困難である。

20

【0007】

これを受けて、外部電極を直接めっきにより形成する方法が提案されている。この方法によれば、薄くフラットな外部電極を形成することができるため、その分、内部電極の有効面積を広げることができる。また、内部電極の露出部にめっきが析出するため、狭ピッチであっても高精度に外部電極を形成することができる。

【0008】

このように外部電極を直接めっきにより形成する場合において、より確実なめっき成長を実現するため、ダミー導体（アンカータブ）を用いることが、たとえば特許文献1において提案されている。特許文献1に記載の技術によれば、内部電極の露出部だけでなくダミー導体の露出部にもめっき金属を析出させることが可能となり、より確実にめっきを成長させることができるとされている。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2004-327983号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかし、特許文献1に記載の方法では、積層セラミック電子部品の信頼性、たとえばBDV（破壊電圧）が低下することがあった。その原因を探るべく、本件発明者が鋭意研究を重ねた結果、信頼性（BDV）が低下するのは、ダミー導体の存在が原因となっていることがわかった。より詳細には、いずれの内部電極も存在しない外層部にダミー導体が存在するとき、このダミー導体と重なった内部電極が、焼成前のプレス時にダミー導体の存在により必要以上に押圧され、局所的に内部電極間距離が短くなることに起因することがわかった。

40

【0011】

そこで、この発明の目的は、上記のような問題を解決し得る構造を有する、積層セラミック電子部品を提供しようとすることである。

【課題を解決するための手段】

50

## 【0012】

この発明は、次のような構成を備える積層セラミック電子部品に向けられる。

## 【0013】

(1) 複数のセラミック層が積層されてなるもので、外表面として、互いに対向する第1および第2の主面、互いに対向する第1および第2の側面ならびに互いに対向する第1および第2の端面を有する、セラミック素体、

(2) セラミック素体の内部に配置され、第1の対向部および第1の対向部からセラミック素体の外表面に引出された第1の引出し部を有する、第1の内部電極、

(3) セラミック素体の内部に配置され、セラミック層を介して第1の対向部と対向する第2の対向部および第2の対向部からセラミック素体の外表面に引出された第2の引出し部を有する、第2の内部電極、

(4) セラミック素体の外表面上に配置され、第1の引出し部の露出部を直接覆うめっき膜を有する、第1の外部電極、ならびに、

(5) セラミック素体の外表面上に配置され、第2の引出し部の露出部と電氣的に接続され、第1の外部電極とは異なる電位に接続される、第2の外部電極。

10

## 【0014】

また、第1および第2の主面を結ぶ方向を高さ方向と定義し、高さ方向に沿って、第1の内部電極および第2の内部電極が存在する領域を内層部と定義し、高さ方向に沿って、第1の内部電極および第2の内部電極がいずれも存在しない領域を外層部と定義したとき、外層部には、セラミック素体を高さ方向に沿って投影した場合に第1の引出し部と重なるようにしてセラミック素体の外表面に引出された、外層ダミー導体が配置され、外層ダミー導体の露出部は、第1の外部電極のめっき膜によって直接覆われる。

20

## 【0015】

そして、この発明に係る積層セラミック電子部品は、前述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

## 【0016】

すなわち、外層部において最も内層部に近接した外層ダミー導体と、内層部において最も外層部に近接した第1の内部電極または第2の内部電極と、の高さ方向に沿った距離を  $b$ 、第1の内部電極と第2の内部電極との高さ方向に沿った対向距離を  $t$ 、としたとき、

$$2t < b$$

を満足することを特徴としている。

30

## 【0017】

さらに、 $b > 6 \mu\text{m}$ を満足することが好ましい。

## 【0018】

この発明に係る積層セラミック電子部品は、好ましい実施態様では、第1および第2の側面を結ぶ方向を幅方向と定義し、第1および第2の端面を結ぶ方向を長さ方向と定義したとき、長さ方向に沿った第1および第2の側面の各寸法が、幅方向に沿った第1および第2の端面の各寸法よりも長く、第1の対向部は、長辺および短辺を有する長方形状であり、第1の引出し部は、第1の対向部の長辺から第1および第2の側面のうち少なくとも一方に引出されている。

40

## 【0019】

上記好ましい実施態様において、第1の引出し部は、長さ方向において、第1および第2の側面のうち少なくとも一方の中央にかかるように引出されていることがより好ましい。

## 【発明の効果】

## 【0020】

この発明によれば、外層部において最も内層部に近接した外層ダミー導体を、内層部において最も外層部に近接した第1の内部電極または第2の内部電極から十分に遠ざけることができるので、焼成前のプレス時において外層ダミー導体による内部電極の押圧が緩和され、それによって、局所的に内部電極間距離が短くなることを防止することができる。

50

したがって、このように局所的に内部電極間距離が短くなることに起因するBDVの低下といった積層セラミック電子部品の信頼性の低下を抑制することができる。

【0021】

この発明において、上述の信頼性の低下抑制の点からは、最も内層部に近接した外層ダミー導体と、内層部において最も外層部に近接した第1の内部電極または第2の内部電極と、の高さ方向に沿った距離bは、長い方が好ましいと言えるが、bがより長くなるほど、第1の外部電極のめっき膜の成長をより阻害する傾向が現れる。すなわち、最外層の内部電極の露出部を核として成長するめっき膜と、最内層の外層ダミー導体の露出部を核として成長するめっき膜と、が高さ方向に沿って連結しにくくなるおそれがある。したがって、bに関して、 $b \geq 6 \mu\text{m}$ を満足することが好ましく、この条件を満足すれば、第1の外部電極のめっき膜をより確実に成長させることができる。

10

【図面の簡単な説明】

【0022】

【図1】この発明の第1の実施形態による積層セラミック電子部品としての積層セラミックコンデンサ1の外観を示す斜視図である。

【図2】図1に示した積層セラミックコンデンサ1の、セラミック素体2の側面11および12に平行な面に沿う切断部端面図である。

【図3】図1に示した積層セラミックコンデンサ1の、セラミック素体2の端面13および14に平行な面に沿う切断部端面図である。

【図4】図1に示した積層セラミックコンデンサ1の、セラミック素体2の主面9および10に平行な面に沿う切断部端面図であり、第1の内部電極3が延びる面を示す。

20

【図5】図1に示した積層セラミックコンデンサ1の、セラミック素体2の主面9および10に平行な面に沿う切断部端面図であり、第2の内部電極4が延びる面を示す。

【図6】図1に示した積層セラミックコンデンサ1の、セラミック素体2の主面9および10に平行な面に沿う切断部端面図であり、外層ダミー導体7が延びる面を示す。

【図7】図3に示したセラミック素体2の一部を拡大して示す図であり、この発明の特徴を説明するためのものである。

【図8】この発明の第2の実施形態による積層セラミック電子部品としての積層セラミックコンデンサ1aの、セラミック素体2の端面13および14に平行な面に沿う切断部端面図である。

30

【図9】この発明の第3の実施形態による積層セラミック電子部品としての積層セラミックコンデンサ1bの外観を示す斜視図である。

【図10】図9に示した積層セラミックコンデンサ1bの、セラミック素体2の端面13および14に平行な面に沿う切断部端面図である。

【図11】この発明の第4の実施形態による積層セラミック電子部品としての積層セラミックコンデンサ1cの、セラミック素体2の側面11および12に平行な面に沿う切断部端面図である。

【図12】図11に示した積層セラミックコンデンサ1cの、セラミック素体2の主面9および10に平行な面に沿う切断部端面図であり、外層ダミー導体7および8が延びる面を示す。

40

【発明を実施するための形態】

【0023】

以下に、この発明を実施するための形態を説明するにあたり、積層セラミック電子部品として、積層セラミックコンデンサを例示する。

【0024】

[第1の実施形態]

図1ないし図7は、この発明の第1の実施形態を説明するためのものである。第1の実施形態による積層セラミックコンデンサ1は、3端子タイプのものである。積層セラミックコンデンサ1は、セラミック素体2と、セラミック素体2の内部にそれぞれ配置された、第1および第2の内部電極3および4、第1および第2の内層ダミー導体5および6な

50

らびに外層ダミー導体7と、セラミック素体2の外表面上に配置された第1および第2の外部電極9および10と、を備えている。以下、積層セラミックコンデンサ1の構造の詳細を、(1)セラミック素体、(2)内部電極、(3)内層ダミー導体、(4)外層ダミー導体、(5)外部電極に分けて説明し、その後、(6)製造方法について説明する。

【0025】

(1)セラミック素体

セラミック素体2は、その外表面として、互いに対向する第1および第2の主面11および12と、互いに対向する1対の側面13および14と、互いに対向する1対の端面15および16とを有する、ほぼ直方体状をなしている。

【0026】

ここで、主面11および12間を結ぶ方向を高さ方向、側面13および14間を結ぶ方向を幅方向、端面15および16間を結ぶ方向を長さ方向とそれぞれ定義する。この実施形態では、長さ方向の寸法が幅方向の寸法よりも長く、長さ方向の寸法は幅方向寸法のおよそ2倍である。

【0027】

セラミック素体2は、コーナー部および稜部に丸みがつけられていることが好ましい。

【0028】

セラミック素体2は、図2および図3に示すように、主面11および12の方向に延びかつ高さ方向に積層された複数のセラミック層17からなる積層構造を有する。セラミック層17の各厚みは0.5~10 $\mu$ mであることが好ましく、特に0.7~3.0 $\mu$ mであることが好ましい。セラミック層17を構成するセラミック材料としては、たとえば、BaTiO<sub>3</sub>、CaTiO<sub>3</sub>、SrTiO<sub>3</sub>、CaZrO<sub>3</sub>などを主成分とする誘電体セラミックを用いることができる。また、これらの主成分に、Mn化合物、Mg化合物、Si化合物、Co化合物、Ni化合物、希土類元素化合物などの副成分を添加したものをを用いてもよい。

【0029】

(2)内部電極

内部電極は、図4に示した複数の第1の内部電極3および図5に示した複数の第2の内部電極4を備える。複数の第1の内部電極3および複数の第2の内部電極4は、図2および図3に示すように、セラミック素体2の積層方向に交互に配列される。

【0030】

(2)-1.第1の内部電極

第1の内部電極3は、図4に示すように、これと隣り合う第2の内部電極4に対向する第1の対向部19と、第1の対向部19からセラミック素体2の外表面に引出された2つの第1の引出し部20とを有する。この実施形態においては、第1の内部電極3は十字形状に形成され、2つの第1の引出し部20の一方および他方は、それぞれ、第1および第2の側面13および14に引出されている。言い換えると、第1の内部電極3は、第1の側面13から第2の側面14に至るようにして配置される。また、第1の対向部19の長さ方向に沿った寸法は、幅方向に沿った寸法より長い。

【0031】

(2)-2.第2の内部電極

第2の内部電極4は、図5に示すように、これと隣り合う第1の内部電極3に対向する第2の対向部21と、第2の対向部21からセラミック素体2の外表面に引出された第2の引出し部22とを有する。図5において、第2の内部電極4における第2の対向部21と第2の引出し部22との境界が破線で示されている。この実施形態においては、第2の内部電極4は長方形に形成される。また、第2の内部電極4は、2つの第2の引出し部22を備え、2つの第2の引出し部22の一方および他方は、それぞれ、第1および第2の端面15および16に引出されている。言い換えると、第2の内部電極4は、第1の端面15から第2の端面16に至るようにして配置される。

【0032】

10

20

30

40

50

## (2) - 3 . その他

内部電極3および4を構成する導電材料としては、たとえば、Ni、Cu、Ag、Pd、Ag-Pd合金、Auなどを用いることができる。

## 【0033】

また、内部電極3および4の各厚みは、0.3~2.0 $\mu$ mであることが好ましい。

## 【0034】

第1の内部電極3の第1の対向部19と第2の内部電極4の第2の対向部21とがセラミック層17を挟んで対向する領域において静電容量が生じる。この部分を含み、高さ方向に沿って、第1および第2の内部電極3および4が存在する領域を内層部23と定義する。

10

## 【0035】

一方、高さ方向に沿って、第1および第2の内部電極3および4がいずれも存在しない領域を外層部24と定義する。外層部24は、内層部23を挟むようにして、第1の主面11側および第2の主面12側にそれぞれ存在する。

## 【0036】

## (3) 内層ダミー導体

内層ダミー導体は、内層部23に配置されるもので、図5に示した複数の第1の内層ダミー導体5および図4に示した複数の第2の内層ダミー導体6を備える。

## 【0037】

## (3) - 1 . 第1の内層ダミー導体

第1の内層ダミー導体5は、この実施形態では、図5に示すように、第2の内部電極4と同一面上に配置されている。第1の内層ダミー導体5は、第1の外部電極9に接続される。

20

## 【0038】

## (3) - 2 . 第2の内層ダミー導体

第2の内層ダミー導体6は、この実施形態では、図4に示すように、第1の内部電極3と同一面上に配置されている。第2の内層ダミー導体6は、第2の外部電極10に接続される。

## 【0039】

## (3) - 3 . その他

内層ダミー導体5および6は、第1および第2の外部電極9および10の下地層を構成するめっき膜の析出ポイントとして機能し、通電効率を向上させる。また、セラミック素体2の強度向上にも寄与する。

30

## 【0040】

内層ダミー導体5および6の材質および厚みの好ましい条件は、内部電極3および4の場合と同様である。内層ダミー導体5および6は、内部電極3および4と同じ材質および同じ厚みをもって構成されることが望ましい。

## 【0041】

なお、内層ダミー導体5および6は形成されていなくてもよい。

## 【0042】

## (4) 外層ダミー導体

図2および図3に示すように、外層ダミー導体7は外層部24に配置される。

40

## 【0043】

外層ダミー導体7は、セラミック素体2の外表面の少なくとも2箇所に引出されることが好ましい。この実施形態において、外層ダミー導体7は、図6に示すように、長方形に形成され、セラミック素体2の外表面の2箇所、すなわち、第1の側面13および第2の側面14にそれぞれ引出される。言い換えると、外層ダミー導体7は、第1の側面13から第2の側面14に至るようにして配置される。

## 【0044】

外層ダミー導体7は、第1の外部電極9の下地層を構成するめっき膜の析出ポイントと

50

して機能するものであるが、上述のように、2箇所引出されるため、めっき時において、スチールボールなどのメディアが外層ダミー導体7の一方の露出部に接触すれば、他方の露出部にも通電する。つまり、外層ダミー導体7が2箇所以上の露出部を有すると、メディアと接触する確率が高くなり、通電効率が高まる。これにより、後述する第1の外部電極9の下地層となるめっき膜を形成するために必要なめっき時間が短縮される。

【0045】

外層ダミー導体7は、図2および図3に示すように、セラミック層17の積層方向に沿って連続して複数枚積層されている。外層ダミー導体7は、各外層部24においてそれぞれ10~100枚配置されていることが好ましい。

【0046】

外層ダミー導体7は、セラミック素体2を高さ方向に沿って投影した場合に、第1の引出し部20と重なるように配置される。そのため、外層ダミー導体7は、セラミック素体2の外表面において、第1の引出し部20の露出部と協働して列状の露出部グループを形成する。この実施形態においては、第1および第2の側面13および14において、それぞれ露出部グループが形成されている。

【0047】

図7を参照して、外層部24において最も内層部23に近接した外層ダミー導体7と、内層部23において最も外層部24に近接した第1または第2の内部電極3または4(図7では、第2の内部電極4)と、の高さ方向に沿った距離を $b$ 、第1の内部電極3と第2の内部電極4との高さ方向に沿った対向距離を $t$ 、としたとき、

$2t > b$ を満足するようにされる。

【0048】

これにより、内部電極3または4の直近に配置された外層ダミー導体7を内部電極3または4から遠ざけることができるため、外層ダミー導体7の存在によってもたらされる内部電極3および4の過度の押圧を防止することができる。よって、BDV等の信頼性の低下を防止することができる。

【0049】

後述する実験例からわかるように、 $b$ が $2t$ より小さい場合、信頼性が低下するおそれがある。

【0050】

この実施形態のように、特に、長さ方向の寸法が幅方向の寸法よりも長い対向部19を有する第1の内部電極3が配置された状態で、外層ダミー導体7が幅方向に引出されている局面において、上記効果がより顕著に現れる。

【0051】

信頼性の低下は、焼成前のプレス時に、外層ダミー導体7が第1の引出し部20を押圧し、押圧された第1の引出し部20が第1の対向部19を引きずり込むことにより、第1の引出し部20の付け根の部分が沈み込んだ部分において内部電極3および4間の距離が短くなることに起因しており、第1の引出し部20が第1の対向部19の長辺から引出されている場合の方が、この沈み込みが生じやすいためである。

【0052】

さらに言えば、第1および第2の側面13および14における長さ方向に沿った中央部分に、外層ダミー導体7が引出されている場合、上記沈み込みが特に生じやすい。

【0053】

なお、信頼性の低下抑制の点からは、上記 $b$ は、長い方が好ましいと言えるが、 $b$ がより長くなるほど、第1の外部電極9の下地層となるめっき膜の成長をより阻害する傾向が現れる。すなわち、最外層の内部電極3または4の露出部を核として成長するめっき膜と、最内層の外層ダミー導体7の露出部を核として成長するめっき膜と、が高さ方向に沿って連結しにくくなるおそれがある。この点から、 $b > 6 \mu\text{m}$ を満足することが好ましい。

【0054】

また、同様の観点から、高さ方向に沿った外層ダミー導体7同士の間隔についても、6

10

20

30

40

50

$\mu\text{m}$ 以下であることが好ましい。

【0055】

外層ダミー導体7は、内部電極3および4と同じ材料からなることが好ましく、外層ダミー導体7を構成する導電材料としては、前述したように、たとえば、Ni、Cu、Ag、Pd、Ag-Pd合金、Auなどを用いることができる。

【0056】

外層ダミー導体7の厚みは $0.3 \sim 2.0 \mu\text{m}$ であることが好ましい。

【0057】

(5)外部電極

(5)-1.第1の外部電極

10

第1の外部電極9は、図3によく示されているように、セラミック素体2の第1および第2の側面13および14上にそれぞれ配置されている。この実施形態では、第1の外部電極9は、第1および第2の主面11および12にまで回り込んでいる。

【0058】

第1の外部電極9は、第1の内部電極3と電氣的に接続される。第1の外部電極9は、図3ないし図6に示すように、下地層25およびその上に必要に応じて形成される上層26を含む。

【0059】

第1の外部電極9の下地層25は、めっき膜により構成される。第1の外部電極9の下地層25を構成するめっき膜は、第1の内部電極3の第1の引出し部20の露出部および第1の内層ダミー導体5の露出部を直接覆うとともに、外層ダミー導体7の露出部を直接覆う。下地層25となるめっき膜を構成する金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au、Sn、Pb、Pd、Bi、Znなどを用いることができる。めっき膜は、ガラス成分を含まないことが好ましい。また、めっき膜の単位体積あたりの金属割合は99体積%以上であることが好ましい。めっき膜の厚みは、最も厚い部分において、 $1 \sim 15 \mu\text{m}$ であることが好ましい。第1の内層ダミー導体5および外層ダミー導体7は、下地層25となるめっき膜の析出および成長を促進するように作用する。

20

【0060】

第1の外部電極9において上層26が形成される場合、上層26は、たとえば、めっき膜により構成される。上層26となるめっき膜を構成する金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au、Sn、Pb、Pd、Bi、Znなどを用いることができる。上層26のめっき膜は、複数層から構成されてもよい。上層26のめっき膜の厚みは、1層あたり、 $1 \sim 10 \mu\text{m}$ であることが好ましい。

30

【0061】

第1の外部電極9において上層26が形成される場合、好ましくは、下地層25がNiめっき膜から構成され、上層26がSnめっき膜から構成される。あるいは、上層26が複数層から構成される場合、好ましくは、Niめっき層およびその上のSnめっき層の2層構造とされる。

【0062】

(5)-2.第2の外部電極

40

第2の外部電極10は、第1の外部電極9とは異なる電位に接続されるもので、セラミック素体2の第1および第2の端面15および16上にそれぞれ配置されている。この実施形態では、第2の外部電極10は、第1および第2の主面11および12ならびに第1および第2の側面13および14にまで回り込んでいる。

【0063】

第2の外部電極10は、第2の内部電極4と電氣的に接続されるようにして、第2の引出し部22の露出部を覆う。第2の外部電極10は、図2および図4ないし図6に示すように、第2の内部電極4の第2の引出し部22の露出部と接触する下地層27およびその上に必要に応じて形成される上層28を含む。下地層27は、めっき膜、焼結金属膜、および/または導電性樹脂膜などにより構成され得る。

50

## 【0064】

下地層27を構成するものとしてめっき膜が選択される場合、めっき膜を構成する金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au、Sn、Pb、Pd、Bi、Znなどを用いることができる。めっき膜は、ガラス成分を含まないことが好ましい。また、下地層27の厚みは、最も厚い部分で、1~20 $\mu$ mであることが好ましい。前述した第2の内層ダミー導体6は、下地層27となるめっき膜の析出および成長を促進するように作用する。

## 【0065】

下地層27を構成するものとして焼結金属膜が選択される場合、焼結金属膜を構成する金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Auなどを用いることができる。焼結金属膜には、ガラス成分が含まれ得る。また、焼結金属膜は、セラミック素体2ならびに内部電極3および4と同時焼成されたものでもよく、焼成後のセラミック素体2に導電性ペーストを塗布して焼き付けられたものでもよい。

10

## 【0066】

下地層27を構成するものとして導電性樹脂膜が選択される場合、熱硬化性樹脂および金属フィラーを混合したものをを用いて導電性樹脂膜を形成することができる。

## 【0067】

上述した焼結金属膜または導電性樹脂膜が選択される場合、下地層27の厚みは、最も厚い部分で、10~50 $\mu$ mであることが好ましい。

## 【0068】

図示の実施形態では、下地層27は、第2の内部電極4および第2の内層ダミー導体6の各露出部と接触するめっき膜29と、このめっき膜29上に形成される焼結金属膜30とから構成される。

20

## 【0069】

第2の外部電極10において、上記下地層27上に形成される上層28がさらに形成される場合、上層28は、たとえば、めっき膜により構成される。上層28となるめっき膜を構成する金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au、Sn、Pb、Pd、Bi、Znなどを用いることができる。上層28のめっき膜は、複数層から構成されてもよい。この場合、好ましくは、Niめっき層およびその上のSnめっき層の2層構造とされる。上層28のめっき膜の厚みは、1層あたり、1~10 $\mu$ mであることが好ましい。

30

## 【0070】

## (6) 製造方法

積層セラミックコンデンサ1は、たとえば、次のようにして製造される。

## 【0071】

## (6) - 1 .

セラミック層17となるべきセラミックグリーンシート、内部電極用導電性ペースト、および外部電極用導電性ペーストを準備する。内部電極用導電性ペーストは、内層ダミー導体用導電性ペーストおよび外層ダミー導体用導電性ペーストを兼ねる。セラミックグリーンシートならびに内部電極用および外部電極用の各導電性ペーストには、バインダおよび溶剤が含まれるが、公知の有機バインダや有機溶剤を用いることができる。

40

## 【0072】

## (6) - 2 .

セラミックグリーンシート上に、たとえばスクリーン印刷などにより所定のパターンで導電性ペーストを印刷し、内部電極パターン、内層ダミー導体パターンおよび外層ダミー導体パターンを形成する。

## 【0073】

## (6) - 3 .

内部電極パターンが印刷されていない外層用セラミックグリーンシート、外層ダミー導体パターンが印刷されたセラミックグリーンシート、内部電極パターンおよび内層ダミー

50

導体パターンが印刷されたセラミックグリーンシートを、それぞれ所定枚数かつ所定順序で積層し、マザー積層体を作製する。

【0074】

ここで、外層部において、外層ダミー導体パターンが印刷されていないセラミックグリーンシートの積層枚数を調整することにより、前述の距離  $b$  を調整することができる。あるいは、外層用セラミックグリーンシートの厚みを調整することにより、距離  $b$  を調整してもよい。

【0075】

(6) - 4 .

マザー積層体を積層方向にプレスする。

10

【0076】

(6) - 5 .

マザー積層体を所定のサイズにカットし、生のセラミック素体を切り出す。

【0077】

(6) - 6 .

生のセラミック素体を焼成する。これによって、図示したセラミック素体 2 が得られる。焼成温度は、セラミックや内部電極の材料にもよるが、900 ~ 1300 であることが好ましい。

【0078】

この後、必要に応じて、バレル研磨を行なう。これにより、セラミック素体 2 のコーナー部や稜部に丸みが付けられる。

20

【0079】

(6) - 7 .

研磨後のセラミック素体 2 に対して、めっき処理を行なう。

【0080】

これによって、第 1 の外部電極 9 の、めっき膜からなる下地層 25 が形成される。このとき、図 3 に示すように、第 1 の内部電極 3 ばかりでなく、第 1 の内層ダミー導体 5 および外層ダミー導体 7 が、側面 13 および 14 上に露出していて、これらの露出部分を起点にめっきが析出するため、第 1 の外部電極 9 の下地層 25 を能率的に形成することができる。

30

【0081】

めっき処理には、回転バレル法による電解めっきを適用することが好ましい。めっき方法は回転バレルめっきであることが好ましい。めっき処理には、スチールボールなどの導電性メディアが用いられる。

【0082】

外層ダミー導体 7 は、2 つの露出部を有しているため、めっき工程において、導電性メディアが一方の露出部に接触すれば、他方の露出部にも通電する。つまり、メディアと接触する確率が高くなり、通電効率が高まる。これにより、下地層 25 の形成のためのめっき時間が短縮される。

【0083】

このめっき処理において、同時に、第 2 の内部電極 4 および第 2 の内層ダミー導体 6 の各露出部をめっき析出の起点として、第 2 の外部電極 10 の下地層 27 におけるめっき膜 29 も形成され得る。

40

【0084】

めっき処理後、600 ~ 900 の温度で熱処理を行なうことが好ましい。これにより、セラミック素体 2 に対するめっき膜の固着力が向上する。

【0085】

(6) - 8 .

第 2 の外部電極 10 の下地層 27 における焼結金属膜 30 が、導電性ペーストを塗布し、焼き付けることによって形成される。焼き付け温度は、700 ~ 900 であることが

50

好ましい。

【0086】

(6) - 9 .

第1の外部電極9の上層26および第2の外部電極10の上層28を形成するため、めっき処理を行なう。

【0087】

以上のようにして、積層セラミックコンデンサ1が完成される。

【0088】

[第2の実施形態]

この発明の第2の実施形態が図8に示されている。図8は、図3に対応する図である。図8において、図3に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

10

【0089】

第2の実施形態による積層セラミックコンデンサ1aでは、外層ダミー導体7aが、セラミック素体2を幅方向に貫通して形成されておらず、幅方向に沿って分離して形成されている。

【0090】

[第3の実施形態]

この発明の第3の実施形態が図9および図10に示されている。図9は、図1に対応する図であり、図10は、図3に対応する図である。図9および図10において、図1および図3に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

20

【0091】

第3の実施形態による積層セラミックコンデンサ1bでは、第1の外部電極9bが、下地層25および上層26を含めて、セラミック素体2の第1および第2の側面13および14ならびに第1および第2の主面11および12を周回するように配置されていることを特徴としている。

【0092】

この実施形態では、主面11および12を与えるセラミック層17を前述した焼成後の研磨工程で削り取り、主面11および12の各々の少なくとも一部に外層ダミー導体7を露出させておくことが好ましい。これにより、主面11および12上にもめっきの析出ポイントが追加されるため、第1の外部電極9bの下地層25となるめっき膜を周回した状態で形成することが容易になる。

30

【0093】

なお、外層ダミー導体7は、主面11および12上に、その全面が露出している必要はなく、不連続状に（たとえば、まだら状に）分布して露出しているてもよい。ただし、外層ダミー導体7の主面11および12における露出部分は、第1の側面13から第2の側面14にかけて一様に分布していることが好ましく、また、第1の側面13から第2の側面14にかけて途切れることなく露出していることが望ましい。このように、第1の側面13から第2の側面14にかけてわずかでも外層ダミー導体7が連続的に露出している部分がある場合、通電面積が主面11および12における第1の側面13側から第2の側面14側にまで及ぶことになるため、最も通電効率が高くなる。

40

【0094】

この実施形態によれば、第1の外部電極9bの下地層25を形成するためのめっき工程において生じるめっき成長の過程で、めっき膜がセラミック素体2を周回するようにつながることで、めっきの析出ポイントとなり得る電極面積が大きくなるので、その時点から通電効率が向上し、単位時間で生成できる膜厚が厚くなる。つまり、この実施形態によれば、第1の外部電極9bの下地層25において、所定の膜厚を形成する時間が短くなり、コスト削減となる。

【0095】

前述した第1の実施形態では、セラミック素体2の主面11および12に第1の外部電

50

極 9 の先端部分が存在する。当該積層セラミックコンデンサ 1 を実装する基板のたわみなどにより、第 1 の外部電極 9 の先端部分に応力が加わると、ここを起点に下地層 2 5 が剥がれる可能性が高い。しかし、この実施形態では、第 1 の外部電極 9 b がエンドレスであり、先端部分がなくなるため、剥がれの問題が起こりにくくなる。

【 0 0 9 6 】

また、第 1 の実施形態では、主面 1 1 および 1 2 上に位置する第 1 の外部電極 9 の下地層 2 5 の先端部分が、上層 2 6 をめっきにより形成する際に用いられるめっき液の浸入の入り口となって、信頼性が低下する可能性がある。しかし、この実施形態では、第 1 の外部電極 9 b の下地層 2 5 には、先端部分が存在しないため、信頼性低下の問題も起こりにくくなる。

10

【 0 0 9 7 】

また、第 1 の外部電極 9 b はセラミック素体 2 を周回するめっき膜から構成されるので、この第 1 の外部電極 9 b を、セラミック素体 2 の外表面に沿う平滑なものとすることができる。このため、積層セラミックコンデンサ 1 b は、その実装時に転がりにくく、姿勢を安定なものとすることができる。

【 0 0 9 8 】

[ 第 4 の実施形態 ]

この発明の第 4 の実施形態が図 1 1 ないし図 1 2 に示されている。図 1 1 は、図 2 に対応する図であり、図 1 2 は、図 6 に対応する図である。図 1 1 および図 1 2 において、図 2 および図 6 に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

20

【 0 0 9 9 】

第 4 の実施形態による積層セラミックコンデンサ 1 c では、外層ダミー導体 7 と同一面上に第 2 の外層ダミー導体 8 が配置されていることを特徴としている。

【 0 1 0 0 】

また、第 2 の外部電極 1 0 c の下地層 2 7 全体がめっき膜により構成されている。これによって、第 1 および第 2 の外部電極 9 および 1 0 c の下地層 2 5 および 2 7 を同時に形成することができる。

【 0 1 0 1 】

第 2 の外層ダミー導体 8 は、第 2 の外部電極 1 0 c の下地層 2 7 を構成するめっき膜の析出ポイントとして機能し、通電効率を向上させる。

30

【 0 1 0 2 】

[ その他の実施形態 ]

ダミー導体、特に外層ダミー導体は電気的特性の発現に寄与するものであってもよい。さらに、ダミー導体は、いかなる形状であってもよく、たとえば、外層ダミー導体は内部電極と同じ形状であってもよい。

【 0 1 0 3 】

[ 実験例 ]

第 3 の実施形態に基づいて、次のような積層セラミックコンデンサを作製した。

【 0 1 0 4 】

( 1 ) セラミック素体の長さ方向寸法 × 幅方向寸法 : 1 . 6 mm × 0 . 8 mm ( ただし、幅方向寸法は試料によって異なる。 )

40

( 2 ) 第 1 の外部電極

下地層 : 厚み 1 0 μ m の Cu めっき膜

上層 : 厚み 3 μ m の Ni めっき膜およびその上の厚み 3 μ m の Sn めっき膜

( 3 ) 第 2 の外部電極

下地層 : 厚み 1 0 μ m の Cu めっき膜およびその上の厚み 1 5 μ m の Cu 焼結金属膜

上層 : 厚み 3 μ m の Ni めっき膜およびその上の厚み 3 μ m の Sn めっき膜

( 4 ) 内部電極

内部電極間距離 t : 表 1 のとおり

50

内部電極の厚み：0.56  $\mu\text{m}$

内部電極の枚数：345枚

(5) 内層ダミー導体

内部電極と同じ

(6) 外層ダミー導体

外層ダミー導体間距離：内部電極間距離  $t$  と同じ

外層ダミー導体の厚み：0.56  $\mu\text{m}$

外層ダミー導体の枚数：上下の外層部で各56枚ずつ

(7) 最外層内部電極と最内層外層ダミー導体との距離  $b$ ：表1のとおり。

【0105】

10

表1に示すように、 $t$ および $b$ を変えた各試料につき、BDVおよびめっき付き不良を評価した。

【0106】

なお、 $t$ および $b$ を測定するにあたって、各試料を3個ずつ準備し、セラミック素体を幅方向寸法の1/2程度まで研磨し、研磨面に、長さ方向寸法および厚み方向寸法によって規定される断面を露出させた。

【0107】

そして、 $t$ については、上記断面において、長さ方向寸法の1/2程度に位置する内層部の最上層に位置する15層分の内部電極間距離を、電子顕微鏡により測定し、試料3個での平均値を求めた。

20

【0108】

また、 $b$ については、上記断面において、長さ方向寸法の1/2程度に位置する第1の主面側の外層部と内層部との間の距離を、同じ電子顕微鏡により測定し、試料3個での平均値を求めた。

【0109】

BDVについては、各試料を10個ずつ準備し、直流電圧破壊試験機により、昇圧速度100V/秒の条件で測定した。

【0110】

めっき付き不良については、第1の外部電極における下地層となるCuめっき膜を形成した段階での試料を1000個ずつ準備し、外層部と内層部との間でのCuめっき膜の状態を光学顕微鏡により確認し、めっき膜が切れているものをめっき付き不良とし、1000個の試料中において、めっき付き不良となった試料数を求めた。

30

【0111】

なお、上記の第1の外部電極における下地層となるCuめっき膜は、次のようにして形成した。まず、pH8.5で、浴温25とされた、14g/Lのピロリン酸銅、120g/Lのピロリン酸カリウム、および10g/Lの蔞酸カリウムを含むめっき浴を用いて、回転パレルめっきにより、電流密度0.1A/dm<sup>2</sup>の条件で、60分間、ストライクCuめっきを行ない、次に、pH8.8で、浴温55とされた、上村工業製ピロブライトプロセス用浴を用いて、回転パレルめっきにより、電流密度0.3A/dm<sup>2</sup>の条件で、60分間、厚付けCuめっきを行なうことによって、Cuめっき膜を形成した。

40

【0112】

【表 1】

試料番号	t( $\mu\text{m}$ )	b( $\mu\text{m}$ )	BDV(V)	めっき付き不良
試料1	1.24	1.24	96.1	0/1000
試料2	1.22	2.44	101.7	0/1000
試料3	1.23	3.69	103.0	0/1000
試料4	1.21	4.85	103.9	0/1000
試料5	1.20	6.00	103.8	0/1000
試料6	1.24	7.42	104.1	1/1000
試料7	1.22	8.52	104.3	3/1000

10

## 【0113】

表1からわかるように、 $2t < b$ を満足する試料2～7では、100V以上のBDVを達成した。

## 【0114】

特に、 $b > 6\mu\text{m}$ を満足する試料3～5では、めっき付き性も良好であった。

## 【0115】

なお、表には記載していないが、上記実験例の条件の内部電極間距離 $t$ を $3.0\mu\text{m}$ 付近または $0.7\mu\text{m}$ 付近のものに変えて同様の実験を行なったところ、上記実験結果と同様の効果が得られることが確認できている。

20

## 【産業上の利用可能性】

## 【0116】

この発明は、以上説明した積層セラミックコンデンサに限らず、他の積層セラミック電子部品にも適用することができる。たとえば、セラミック素体を圧電体セラミックで構成した場合は、圧電部品として機能する積層セラミック電子部品とすることができ、セラミック素体をスピネル状セラミックなどの半導体セラミックで構成した場合は、サーミスタとして機能する積層セラミック電子部品とすることができる。

## 【符号の説明】

## 【0117】

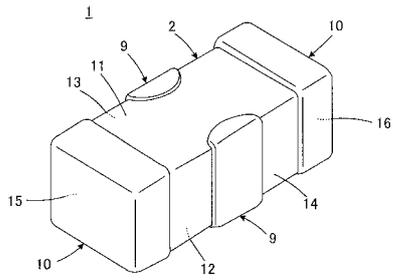
- 1, 1a, 1b, 1c 積層セラミックコンデンサ
- 2 セラミック素体
- 3 第1の内部電極
- 4 第2の内部電極
- 7, 7a 外層ダミー導体
- 9, 9b 第1の外部電極
- 10, 10c 第2の外部電極
- 11, 12 主面
- 13, 14 側面
- 15, 16 端面
- 17 セラミック層
- 19 第1の対向部
- 20 第1の引出し部
- 21 第2の対向部
- 22 第2の引出し部
- 23 内層部
- 24 外層部
- 25 第1の外部電極の下地層
- 26 第1の外部電極の上層
- 27 第2の外部電極の下地層
- 28 第2の外部電極の上層

30

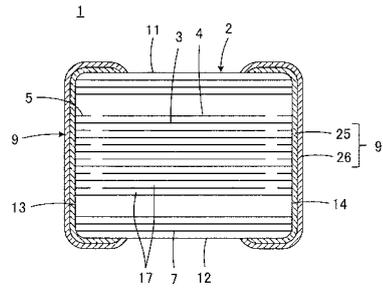
40

50

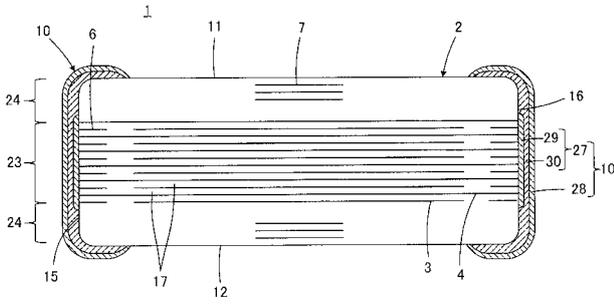
【 図 1 】



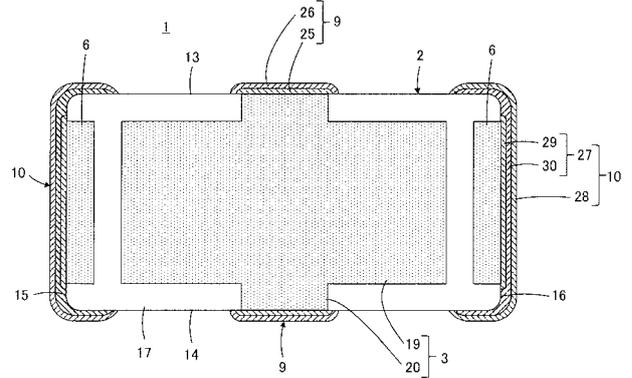
【 図 3 】



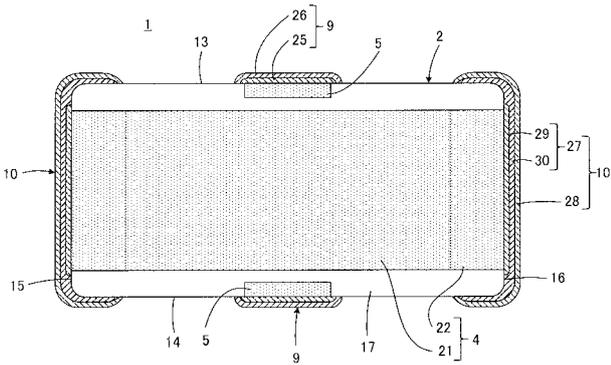
【 図 2 】



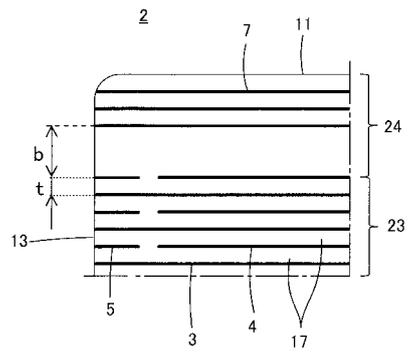
【 図 4 】



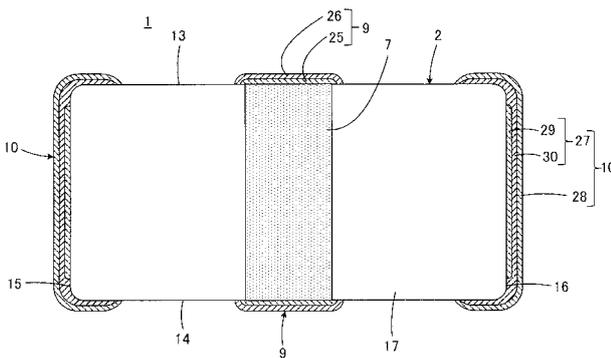
【 図 5 】



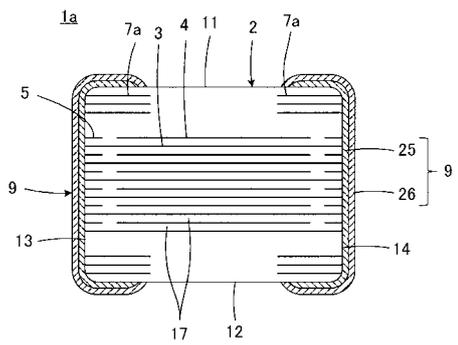
【 図 7 】



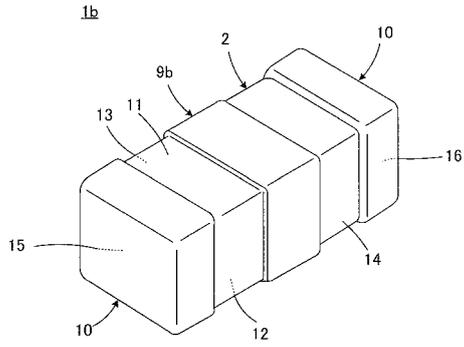
【 図 6 】



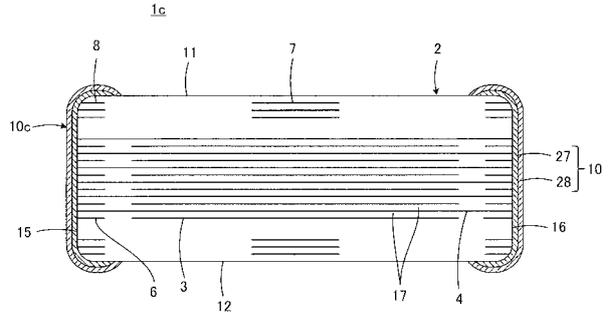
【 図 8 】



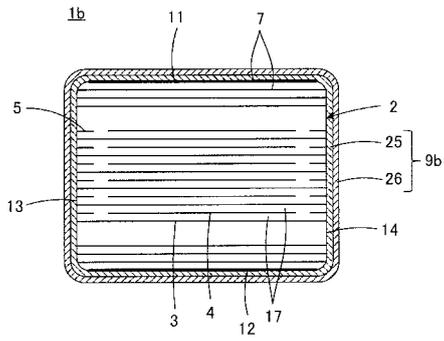
【 図 9 】



【 図 1 1 】



【 図 1 0 】



【 図 1 2 】

