



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0138997
(43) 공개일자 2021년11월22일

(51) 국제특허분류(Int. Cl.)
H01L 49/02 (2006.01) H01L 29/51 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 28/56 (2013.01)
H01L 29/516 (2013.01)
(21) 출원번호 10-2020-0057191
(22) 출원일자 2020년05월13일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이재호
서울특별시 강남구 개포로109길 9, 217동 302호
(개포동, 대치아파트)
박보은
경기도 화성시 동탄순환대로 719, 524호 (영천동)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **커패시터, 커패시터 제어 방법, 및 이를 포함하는 트랜지스터**

(57) 요약

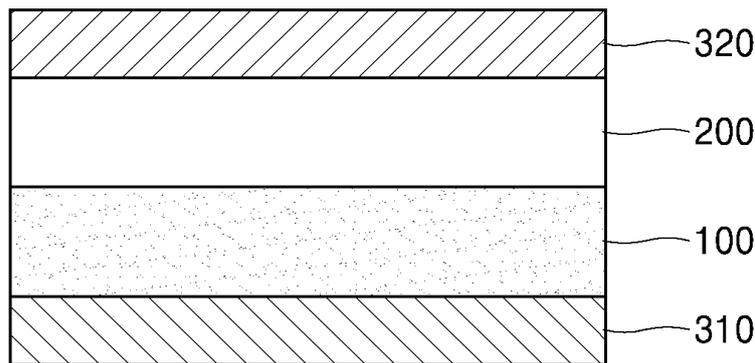
커패시터는 제1 전극, 제1 전극 상에 제공되는 제2 전극, 제1 전극과 제2 전극 사이에 제공되는 강유전막, 및 강유전막과 제2 전극 사이에 제공되는 유전막을 포함하고, 강유전막의 임피던스 및 유전막의 임피던스는, 제1 전극 및 제2 전극 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 결정되고, 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정된다.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

(V_{MAX}: 커패시턴스 부스팅 동작 전압, Z₁: 강유전막의 임피던스, Z₂: 유전막의 임피던스, t_F: 강유전막의 두께, E_{FM}: 강유전막의 분극 변화가 최대가 되는 강유전막에 인가되는 전기장)

대표도 - 도1

10



(52) CPC특허분류

H01L 29/78391 (2015.01)

(72) 발명자

김용성

경기도 수원시 영통구 도청로 65, 5407동 2201호
(이의동, 자연&힐스테이트아파트)

이주호

경기도 화성시 동탄대로시범길 19, 1401동 1902호
(청계동, 동탄역시범더샵 센트럴시티)

명세서

청구범위

청구항 1

제1 전극;

상기 제1 전극 상에 제공되는 제2 전극;

상기 제1 전극과 상기 제2 전극 사이에 제공되는 강유전막; 및

상기 강유전막과 상기 제2 전극 사이에 제공되는 유전막;을 포함하고,

상기 강유전막의 임피던스 및 상기 유전막의 임피던스는, 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 결정되고,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 커패시터.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

(V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

청구항 2

제 1 항에 있어서,

상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고,

상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하는 커패시터.

청구항 3

제 1 항에 있어서,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되고,

상기 제어 전압의 각진동수는, 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 결정되는 커패시터.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

(G_1 : 상기 강유전막의 컨덕턴스(Conductance), C_1 : 상기 강유전막의 커패시턴스(Capacitance), G_2 : 상기 유전막의 컨덕턴스, C_2 : 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전기장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

청구항 4

제 1 항에 있어서,

상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비율($\frac{|Z_2|}{|Z_1|}$)은 0.01 이상인 커패시터.

청구항 5

제 1 항에 있어서,

상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도(current density)는 1 mA/cm^2 이하인 커패시터.

청구항 6

제 1 항에 있어서,

상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상인 커패시터.

청구항 7

제 1 항에 있어서,

상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하인 커패시터.

청구항 8

제1 전극, 상기 제1 전극 상에 제공되는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 제공되는 강유전막, 및 상기 강유전막과 상기 제2 전극 사이에 제공되는 유전막을 포함하는 커패시터 제어 방법에 있어서,

상기 강유전막의 임피던스 및 상기 유전막의 임피던스를 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 제어하는 것;을 포함하되,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 커패시터 제어 방법.

$$V_{\text{MAX}} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{\text{FM}}$$

(V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

청구항 9

제 8 항에 있어서,

상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고,

상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하는 커패시터 제어 방법.

청구항 10

제 8 항에 있어서,

상기 제어 전압의 각진동수를 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 제어하는 것;을 더 포함하되,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 커패시터 제어 방법.

$$V_{\text{MAX}} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

(G_1 : 상기 강유전막의 컨덕턴스(Conductance), C_1 : 상기 강유전막의 커패시턴스(Capacitance), G_2 : 상기 유전막의 컨덕턴스, C_2 : 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전기장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터)

(Skewness Parameter))

청구항 11

제 8 항에 있어서,

상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비율($\frac{|Z_2|}{|Z_1|}$)은 0.01 이상인 커패시터 제어 방법.

청구항 12

제 8 항에 있어서,

상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치할 때, 상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도는 1 mA/cm^2 이하인 커패시터 제어 방법.

청구항 13

제 8 항에 있어서,

상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상인 커패시터 제어 방법.

청구항 14

제 8 항에 있어서,

상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하인 커패시터 제어 방법.

청구항 15

기판; 및

상기 기판 상에 제공되는 게이트 구조체;를 포함하되,

상기 기판은 상기 게이트 구조체를 사이에 두고 서로 이격된 소스 영역 및 드레인 영역을 포함하고,

상기 게이트 구조체는, 상기 기판 상에 차례로 제공되는 유전막, 강유전막, 및 게이트 전극을 포함하고,

상기 강유전막의 임피던스, 상기 유전막의 임피던스, 및 상기 강유전막의 두께는, 상기 게이트 전극 및 상기 기판 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 결정되고,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 트랜지스터.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

(V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

청구항 16

제 15 항에 있어서,

상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고,

상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하는 트랜지스터.

청구항 17

제 15 항에 있어서,

상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되고,

상기 제어 전압의 각진동수는, 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 결정되는 트랜지스터.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

(G1: 상기 강유전막의 컨덕턴스(Conductance), C1: 상기 강유전막의 커패시턴스(Capacitance), G2: 상기 유전막의 컨덕턴스, C2: 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

청구항 18

제 15 항에 있어서,

상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비($\frac{|Z_2|}{|Z_1|}$)는 0.01 이상인 트랜지스터.

청구항 19

제 15 항에 있어서,

상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도(current density)는 1 mA/cm^2 이하인 트랜지스터.

청구항 20

제 15 항에 있어서,

상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상인 트랜지스터.

청구항 21

제 15 항에 있어서,

상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하인 트랜지스터.

발명의 설명

기술 분야

[0001] 본 개시는 커패시터, 커패시터 제어 방법, 및 이를 포함하는 트랜지스터에 관한 것이다.

배경 기술

[0002] 기술 발전에 따라 트랜지스터, 커패시터 등의 소자의 크기가 작아지고 있다. 스케일 다운(scale down)된 소자는 제한된 두께를 가진다. 이에 따라, 높은 유전율을 갖는 물질 및 구조에 대한 요구가 늘어나고 있다.

[0003] 높은 유전율을 갖는 물질 및 구조와 관련하여, 음의 커패시턴스(Negative Capacitance)를 이용한 커패시턴스 부스팅(Capacitance Boosting) 효과가 연구되고 있다. 커패시턴스 부스팅 효과는 커패시터에 소정의 전압이 인가될 때 유전율이 크게 증가하는 것을 지칭할 수 있다.

발명의 내용

해결하려는 과제

[0004] 해결하고자 하는 과제는 커패시턴스 부스팅 효과를 갖는 커패시터를 제공하는 것에 있다.

[0005] 해결하고자 하는 과제는 커패시터가 커패시턴스 부스팅 효과를 갖는 커패시터 제어 방법을 제공하는 것에 있다.

[0006] 해결하고자 하는 과제는 커패시턴스 부스팅 효과를 갖는 트랜지스터를 제공하는 것에 있다.

[0007] 다만, 해결하고자 하는 과제는 상기 개시에 한정되지 않는다.

과제의 해결 수단

[0008] 일 측면에 있어서, 제1 전극; 상기 제1 전극 상에 제공되는 제2 전극; 상기 제1 전극과 상기 제2 전극 사이에 제공되는 강유전막; 및 상기 강유전막과 상기 제2 전극 사이에 제공되는 유전막;을 포함하고, 상기 강유전막의 임피던스 및 상기 유전막의 임피던스는, 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 결정되고, 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 커패시터 제어 방법이 제공될 수 있다.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

[0009]

[0010] (V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

[0011] 상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고, 상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함할 수 있다.

[0012] 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되고, 상기 제어 전압의 각진동수는, 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 결정될 수 있다.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

[0013]

[0014] (G_1 : 상기 강유전막의 컨덕턴스(Conductance), C_1 : 상기 강유전막의 커패시턴스(Capacitance), G_2 : 상기 유전막의 컨덕턴스, C_2 : 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전기장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

[0015] 상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비율($\frac{|Z_2|}{|Z_1|}$)은 0.01 이상일 수 있다.

[0016] 상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도(current density)는 1 mA/cm^2 이하일 수 있다.

[0017] 상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상일 수 있다.

[0018] 상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하일 수 있다.

[0019] 일 측면에 있어서, 제1 전극, 상기 제1 전극 상에 제공되는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 제공되는 강유전막, 및 상기 강유전막과 상기 제2 전극 사이에 제공되는 유전막을 포함하는 커패시터 제어 방법에 있어서, 상기 강유전막의 임피던스 및 상기 유전막의 임피던스를 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 제어하는 것;을 포함하되, 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 트랜지스터가 제공될 수 있다.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

[0020]

[0021] (V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

[0022] 상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고, 상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함할 수 있다.

[0023] 상기 제어 전압의 각진동수를 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 제어하는 것; 을 더 포함하되, 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정될 수 있다.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

[0024]

[0025] (G_1 : 상기 강유전막의 컨덕턴스(Conductance), C_1 : 상기 강유전막의 커패시턴스(Capacitance), G_2 : 상기 유전막의 컨덕턴스, C_2 : 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전기장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

[0026] 상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비율($\frac{|Z_2|}{|Z_1|}$)은 0.01 이상일 수 있다.

[0027] 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치할 때, 상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도는 1 mA/cm^2 이하일 수 있다.

[0028] 상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상일 수 있다.

[0029] 상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하일 수 있다.

[0030] 일 측면에 있어서, 기판; 및 상기 기판 상에 제공되는 게이트 구조체;를 포함하되, 상기 기판은 상기 게이트 구조체를 사이에 두고 서로 이격된 소스 영역 및 드레인 영역을 포함하고, 상기 게이트 구조체는, 상기 기판 상에 차례로 제공되는 유전막, 강유전막, 및 게이트 전극을 포함하고, 상기 강유전막의 임피던스, 상기 유전막의 임피던스, 및 상기 강유전막의 두께는, 상기 게이트 전극 및 상기 기판 사이에 인가되는 제어 전압이 커패시턴스 부스팅(capacitance boosting) 동작 전압과 일치되도록 결정되고, 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되는 트랜지스터가 제공될 수 있다.

$$V_{MAX} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{FM}$$

[0031]

[0032] (V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 상기 강유전막의 임피던스, Z_2 : 상기 유전막의 임피던스, t_F : 상기 강유전막의 두께, E_{FM} : 상기 강유전막의 분극 변화가 최대가 되는 상기 강유전막에 인가되는 전기장)

[0033] 상기 강유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함하고, 상기 유전막은 병렬 연결된 컨덕턴스 성분 및 커패시턴스 성분을 포함할 수 있다.

[0034] 상기 커패시턴스 부스팅 동작 전압은 아래의 식에 의해 결정되고, 상기 제어 전압의 각진동수는, 상기 제어 전압이 상기 커패시턴스 부스팅 동작 전압과 일치되도록 결정될 수 있다.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3)$$

[0035]

[0036] (G_1 : 상기 강유전막의 컨덕턴스(Conductance), C_1 : 상기 강유전막의 커패시턴스(Capacitance), G_2 : 상기 유전막의 컨덕턴스, C_2 : 상기 유전막의 커패시턴스, ω : 상기 제어 전압의 각진동수, P_S : 상기 강유전막에 E_{FM} 의 전기장이 인가될 때의 상기 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

- [0037] 상기 강유전막의 임피던스와 상기 유전막의 임피던스의 크기 비($\frac{|Z_2|}{|Z_1|}$)는 0.01 이상일 수 있다.
- [0038] 상기 유전막 및 상기 강유전막을 지나는 전류의 전류 밀도(current density)는 1 mA/cm^2 이하일 수 있다.
- [0039] 상기 강유전막의 자발 분극(spontaneous polarization)은 $20 \text{ } \mu\text{C/cm}^2$ 이상일 수 있다.
- [0040] 상기 유전막의 유전 손실 인자(dielectric dissipation factor)는 0.1 이하일 수 있다.

발명의 효과

- [0041] 본 개시는 커패시턴스 부스팅 효과를 갖는 커패시터를 제공할 수 있다.
- [0042] 본 개시는 커패시터가 커패시턴스 부스팅 효과를 갖는 커패시터 제어 방법을 제공할 수 있다.
- [0043] 본 개시는 커패시턴스 부스팅 효과를 갖는 트랜지스터를 제공할 수 있다.
- [0044] 다만, 발명의 효과는 상기 개시에 한정되지 않는다.

도면의 간단한 설명

- [0045] 도 1은 예시적인 실시예에 따른 커패시터의 단면도이다.
- 도 2는 도 1의 커패시터의 회로도이다.
- 도 3은 예시적인 실시예에 따른 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0046] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명하기로 한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성성분을 지칭하며, 도면상에서 각 구성성분의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 한편, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.
- [0047] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다.
- [0048] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성성분을 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성성분을 제외하는 것이 아니라 다른 구성성분을 더 포함할 수 있는 것을 의미한다.
- [0049] 도 1은 예시적인 실시예들에 따른 커패시터의 단면도이다. 도 2는 도 1의 커패시터에 대응하는 회로도이다. 도 1 및 도 2를 참조하면, 제1 전극(310), 강유전막(100), 유전막(200), 및 제2 전극(320)을 포함하는 커패시터(10)가 제공될 수 있다. 강유전막(100)은 강유전성(Ferroelectric) 물질을 포함할 수 있다. 강유전성 물질은 자발분극을 나타내는 부도체나 유전체를 지칭하는 것으로서, 이는 2개 이상의 강성, 예컨대 강유전성, 강탄성, 강자성, 반강자성 등을 나타내는 다강성(multiferroic) 물질과는 구별되는 것이다. 예를 들어, 강유전 물질은 산화물 강유전 물질, 고분자 강유전 물질, BMF(BaMgF_4) 등의 불화물 강유전 물질, 및/또는 강유전 물질 반도체 중 적어도 하나를 포함할 수 있다.
- [0050] 산화물 강유전체는, 예를 들어, PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$), BaTiO_3 , PbTiO_3 등의 페로브스카이트(Perovskite) 강유전체, LiNbO_3 , LiTaO_3 등의 수도 일메나이트(Pseudo-ilmenite) 강유전체, PbNb_3O_6 , $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ 등의 텅스텐-청동(TB) 강유전체, SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$), BLT($(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$), $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 등의 비스무스 층구조의 강유전체, HfZrO_2 , 및 $\text{La}_2\text{Ti}_2\text{O}_7$ 등의 파이로클로어(Pyrochlore) 강유전체와 이들 강유전체의 고용체를 비롯하여 Y, Er, Ho, Tm, Yb, Lu 등의 희토류 원소(R)를 포함하는 RMnO_3 과 $\text{PGO}(\text{Pb}_5\text{Ge}_3\text{O}_{11})$ 등을 포함할 수 있다. 고분자 강유전체는, 예를 들어, 폴리비닐리덴 플로라이드(PVDF), PVDF를 포함하는 중합체, 공중합체, 삼원공중합체, 시아노중합체, 이들의 중합체, 및/또는 공중합체 중 적어도 하나를 포함할 수 있다. 강유전체 반도체는, 예를 들어, CdZnTe , CdZnS , CdZnSe , CdMnS , CdFeS , CdMnSe 및 CdFeSe 등의 2-6족 화합물을 포함할 수 있다.

[0051] 강유전 물질은 자발 분극을 가질 수 있다. 예를 들어, 강유전막(100)의 자발 분극은 $20 \mu\text{C}/\text{cm}^2$ 이상일 수 있다. 강유전막(100)은 병렬 연결된 컨덕턴스(Conductance) 성분과 커패시턴스(Capacitance) 성분을 포함할 수 있다. 강유전막(100)의 임피던스(Impedance)는 후술된다.

[0052] 유전막(200)은 원하는 커패시턴스를 구현할 수 있는 재질을 가질 수 있다. 커패시터(10)가 구비되는 집적 회로 소자의 집적도가 높아짐에 따라 커패시터(10)가 차지하는 공간은 점차 줄어들게 되며, 따라서 높은 유전율의 유전체가 선호될 수 있다. 유전막(200)은 고유전율의 물질을 포함할 수 있다. 고유전율은 실리콘 산화물의 유전율보다 높은 유전율을 의미할 수 있다. 일 실시예에서, 유전막(200)은 Ca, Sr, Ba, Sc, Y, La, Ti, Hf, Zr, Nb, Ta, Ce, Pr, Nd, Gd, Dy, Yb, 및 Lu 중에서 선택되는 적어도 하나의 금속을 포함하는 금속 산화물이 사용될 수 있다. 예를 들어, 유전막(200)은 HfO_2 , ZrO_2 , CeO_2 , La_2O_3 , Ta_2O_3 , 또는 TiO_2 를 포함할 수 있다. 유전막(200)은 단층 구조 또는 다층층 구조를 가질 수도 있다. 유전막(200)은 원하는 커패시턴스를 구현할 수 있도록 소정의 두께를 가질 수 있다. 예를 들어, 유전막(200)의 두께는 10 나노미터(nm) 이하일 수 있다.

[0053] 유전막(200)은 병렬 연결된 컨덕턴스(Conductance) 성분과 커패시턴스(Capacitance) 성분을 포함할 수 있다. 유전막(200)의 임피던스(Impedance)는 후술된다. 일 실시예에서, 유전막의 유전 손실 인자(Dielectric Dissipation Factor)는 1 이하일 수 있다.

[0054] 제1 전극(310)은 강유전막(100)에 대해 유전막(200)의 반대편에 제공될 수 있다. 예를 들어, 제1 전극(310)은 강유전막(100)에 직접 접할 수 있다. 제1 전극(310)은 전기 전도성 물질을 포함할 수 있다. 예를 들어, 제1 전극(310)은 금속, 금속 질화물, 금속 산화물, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 제1 전극(310)은 Au, Al, TiN, MoN, CoN, TaN, TiAlN, TaAlN, W, Ru, RuO_2 , SrRuO_3 , Ir, IrO_2 , Pt, PtO, $\text{SRO}(\text{SrRuO}_3)$, $\text{BSRO}(\text{Ba,SrRuO}_3)$, $\text{CRO}(\text{CaRuO}_3)$, $\text{LSCO}(\text{La,SrCoO}_3)$, 또는 이들의 조합을 포함할 수 있다.

[0055] 제2 전극(320)은 유전막(200)에 대해 강유전막(100)의 반대편에 제공될 수 있다. 예를 들어, 제2 전극(320)은 유전막(200)에 직접 접할 수 있다. 제2 전극(320)은 전기 전도성 물질을 포함할 수 있다. 예를 들어, 제2 전극(320)은 금속, 금속 질화물, 금속 산화물, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 제2 전극(320)은 Au, Al, TiN, MoN, CoN, TaN, TiAlN, TaAlN, W, Ru, RuO_2 , SrRuO_3 , Ir, IrO_2 , Pt, PtO, $\text{SRO}(\text{SrRuO}_3)$, $\text{BSRO}(\text{Ba,SrRuO}_3)$, $\text{CRO}(\text{CaRuO}_3)$, $\text{LSCO}(\text{La,SrCoO}_3)$, 또는 이들의 조합을 포함할 수 있다. 일 예에서, 기판(미도시) 상에 제1 전극(310), 강유전막(100), 유전막(200), 및 제2 전극(320)은 차례로 적층되어 커패시터(10)가 형성될 수 있다.

[0056] 도 2를 참조하면, 강유전막(100)은 전기적으로 병렬로 연결된 컨덕턴스 성분 및 커패시턴스 성분을 가질 수 있다. 이하에서, 강유전막(100)의 컨덕턴스 성분은 제1 컨덕턴스(G_1)로 지칭될 수 있고, 강유전막(100)의 커패시턴스 성분은 제1 커패시턴스(C_1)로 지칭될 수 있다. 즉, 강유전막(100)은 임피던스를 가질 수 있다. 유전막(200)은 전기적으로 병렬로 연결된 컨덕턴스 성분 및 커패시턴스 성분을 가질 수 있다. 이하에서, 유전막(200)의 컨덕턴스 성분은 제2 컨덕턴스(G_2)로 지칭될 수 있다. 유전막(200)의 커패시턴스 성분은 제2 커패시턴스(C_2)로 지칭될 수 있다. 즉, 유전막(200)은 임피던스를 가질 수 있다.

[0057] 제1 전극(310) 및 제2 전극(320)을 통해 커패시터(10)에 제어 전압이 인가될 수 있다. 예를 들어, 제어 전압은 각진동수(ω)를 갖는 교류 전압일 수 있다. 제어 전압은, 강유전막(100)에 커패시턴스 부스팅(Capacitance Boosting) 효과를 발생시키는 커패시턴스 부스팅 동작 전압과 실질적으로 동일할 수 있다. 커패시턴스 부스팅 효과는 강유전막(100)의 커패시턴스가 급격히 증가하는 것을 지칭한다. 커패시턴스 부스팅 효과는 강유전막(100)이 음의 커패시턴스(Negative Capacitance)를 가짐으로써 발생될 수 있다.

[0058] 커패시턴스 부스팅 동작 전압은 아래와 같이 표현될 수 있다.

$$V_{\text{MAX}} = \left(1 + \frac{|Z_2|}{|Z_1|} \right) t_F E_{\text{FM}} \dots (\text{수식 1})$$

[0059]

[0060] (V_{MAX} : 커패시턴스 부스팅 동작 전압, Z_1 : 강유전막의 임피던스, Z_2 : 유전막의 임피던스, t_F : 강유전막의 두께, E_{FM} : 강유전막의 분극 변화가 최대가 되는 강유전막에 인가되는 전기장)

[0061] 수식 1에서, 강유전막(100)의 두께(t_F)와 강유전막의 분극 변화가 최대가 되는 강유전막(100)에 인가되는 전기

장(E_{FM})은 고정된 값을 가지므로, 커패시턴스 부스팅 동작 전압(V_{MAX})은 강유전막(100)의 임피던스(Z_1)의 크기와 유전막의 임피던스(Z_2)의 크기 비율을 조절하는 것에 의해 제어될 수 있다. 예를 들어, 강유전막(100)의 임피던스 크기와 유전막(200)의 임피던스 크기의 비율(즉, $\frac{|Z_2|}{|Z_1|}$)은 0.01 이상일 수 있다.

$$\frac{dP}{dE_F}$$

[0062] 강유전막의 분극 변화가 최대가 되는 강유전막에 인가되는 전기장은 $\frac{dP}{dE_F}$ 가 최대값을 갖는 전기장일 수 있다. 이때, P는 강유전막의 분극이고, E_F 는 강유전막에 인가되는 전기장이다. 강유전막(100)의 임피던스(Z_1)는 아래와 같이 표현될 수 있다.

$$Z_1 = \frac{G_2}{G_1^2 + \omega^2 C_1^2} - j\omega \frac{C_1}{G_1^2 + \omega^2 C_1^2} \dots (\text{수식 2})$$

[0063]

[0064] (G_1 : 강유전막의 컨덕턴스, C_1 : 강유전막의 커패시턴스, ω : 제어 전압의 각진동수)

[0065] 유전막(200)의 임피던스(Z_2)는 아래와 같이 표현될 수 있다.

$$Z_2 = \frac{G_2}{G_2^2 + \omega^2 C_2^2} - j\omega \frac{C_2}{G_2^2 + \omega^2 C_2^2} \dots (\text{수식 3})$$

[0066]

[0067] (G_2 : 유전막의 컨덕턴스, C_2 : 유전막의 커패시턴스, ω : 제어 전압의 각진동수)

[0068] 강유전막(100)에 인가되는 전기장(E_F)은 아래와 같이 표현될 수 있다.

$$E_F = 2\alpha P_S + 4\beta P_S^3 \dots (\text{수식 4})$$

[0069]

[0070] (P_S : 강유전막에 E_{FM} 의 전기장이 인가될 때의 강유전막의 분극, α : 안정성 파라미터(Stability Parameter), β : 비대칭성 파라미터(Skewness Parameter))

[0071] 안정성 파라미터(α) 및 비대칭성 파라미터(β)는 강유전막(100)의 분극화-전기장(Polarization-Electric Field Curve)을 란다우 피팅(Landau fitting)하는 것에 의해 획득될 수 있다.

[0072] 수식 1에 수식 2 내지 수식 4를 대입하면, 커패시턴스 부스팅 효과가 발생하는 동작 전압(V_{max})은 아래의 식으로 표현될 수 있다.

$$V_{MAX} = \left(1 + \sqrt{\frac{G_1^2 + \omega^2 C_1^2}{G_2^2 + \omega^2 C_2^2}} \right) t_F (2\alpha P_S + 4\beta P_S^3) \dots (\text{수식 5})$$

[0073]

[0074] 수식 5에서 제1 컨덕턴스(G_1), 제1 커패시턴스(C_1), 제2 컨덕턴스(G_2), 제2 커패시턴스(C_2), 강유전막(100)의 두께(t_F), 안정성 파라미터(α), 비대칭성 파라미터(β), 및 전기장(E_{FM})이 강유전막에 인가될 때의 강유전막의 분극(P_S)은 고정된 값을 가질 수 있다. 따라서, 커패시턴스 부스팅 동작 전압(V_{MAX})은 제어 전압의 각진동수(ω)를 조절하는 것에 의해 제어될 수 있다.

[0075] 일 예에서, 강유전막(100)과 유전막(200)을 지나는 전류의 전류 밀도(current density)는 1 mA/cm^2 이하일 수 있다.

[0076] 제1 전극(310)과 제2 전극(320) 사이에 인가되는 제어 전압은 커패시터(10)가 적용되는 반도체 장치(예를 들어, DRAM)에 따라 정해질 수 있다. 본 개시는 강유전막(100)의 임피던스의 크기와 유전막(200)의 임피던스의 크기

비율($\frac{|Z_2|}{|Z_1|}$)이, 제어 전압을 커패시턴스 부스팅 동작 전압에 일치시키도록 결정되는 커패시터(10)를 제공할 수 있다. 본 개시는 제어 전압의 각진동수(ω)가, 제어 전압을 커패시턴스 부스팅 동작 전압에 일치시키도록 결정되는 커패시터(10)를 제공할 수 있다.

[0077] 도 3은 예시적인 실시예에 따른 트랜지스터의 단면도이다. 설명의 간결함을 위해, 도 1 및 도 2를 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다.

[0078] 도 3을 참조하면, 트랜지스터(20)가 제공될 수 있다. 트랜지스터(20)는 기판(400), 소스 영역(SD1), 드레인 영역(SD2), 강유전막(100), 유전막(200), 및 게이트 전극(330)을 포함할 수 있다.

[0079] 기판(400)은 반도체 물질을 포함할 수 있다. 예를 들어, 기판(400)은 실리콘(Si) 기판, 저마늄(Ge) 기판(400), 또는 실리콘저마늄(SiGe) 기판일 수 있다. 예를 들어, 기판(400)은 제1 도전형질을 가질 수 있다. 예를 들어, 제1 도전형질은 n형일 수 있다.

[0080] 소스 영역(SD1) 및 드레인 영역(SD2)은 기판(400)의 상부에 제공될 수 있다. 소스 영역(SD1) 및 드레인 영역(SD2)은 기판(400)의 상면에 평행한 방향을 따라 서로 이격될 수 있다. 소스 영역(SD1) 및 드레인 영역(SD2)은 기판(400)의 상부에 불순물이 주입되어 형성될 수 있다. 예를 들어, 소스 영역(SD1) 및 드레인 영역(SD2)은 제1 도전형질과 다른 제2 도전형질을 가질 수 있다. 예를 들어, 제2 도전형질은 p형일 수 있다.

[0081] 강유전막(100), 유전막(200), 및 게이트 전극(330)은 소스 영역(SD1) 및 드레인 영역(SD2) 사이에 제공될 수 있다. 강유전막(100), 유전막(200), 및 게이트 전극(330)은 기판(400) 상에 차례로 적층될 수 있다. 강유전막(100) 및 유전막(200)은 도 1을 참조하여 설명된 강유전막(100) 및 유전막(200)과 실질적으로 동일할 수 있다.

[0082] 게이트 전극(330)은 전기 전도성 물질을 포함할 수 있다. 예를 들어, 게이트 전극(330)은 알루미늄(Al), 금(Au), 텅스텐(W), 또는 이들의 조합을 포함할 수 있다. 게이트 전극(330)과 기판(400) 사이에 제어 전압이 인가될 수 있다. 예를 들어, 게이트 전극(330)에 제어 전압이 인가되고, 기판(400)은 접지될 수 있다. 예를 들어, 제어 전압은 각진동수(ω)를 갖는 교류 전압일 수 있다. 적층된 강유전막(100)과 유전막(200)을 포함하는 구조체는 커패시턴스 부스팅 동작 전압(수식 1과 수식 5의 V_{max})에서 커패시턴스가 크게 증가하는 커패시턴스 부스팅 효과를 가질 수 있다. 예를 들어, 커패시턴스 부스팅 효과는 강유전막(100)이 음의 커패시턴스(Negative Capacitance)를 가짐으로써 발생될 수 있다.

[0083] 게이트 전극(330)과 기판(400) 사이에 인가되는 제어 전압은 미리 결정될 수 있다. 본 개시는 강유전막(100)의

임피던스의 크기와 유전막(200)의 임피던스의 크기 비율($\frac{|Z_2|}{|Z_1|}$)이, 제어 전압을 커패시턴스 부스팅 동작 전압에 일치시키도록 결정되는 트랜지스터(20)를 제공할 수 있다. 본 개시는 제어 전압의 각진동수(ω)가, 제어 전압을 커패시턴스 부스팅 동작 전압에 일치시키도록 결정되는 트랜지스터(20)를 제공할 수 있다.

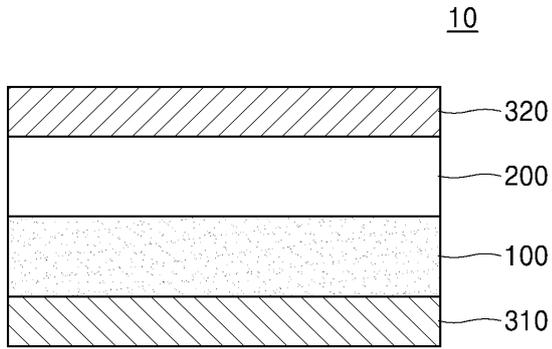
[0084] 본 발명의 기술적 사상의 실시예들에 대한 이상의 설명은 본 발명의 기술적 사상의 설명을 위한 예시를 제공한 다. 따라서 본 발명의 기술적 사상은 이상의 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

부호의 설명

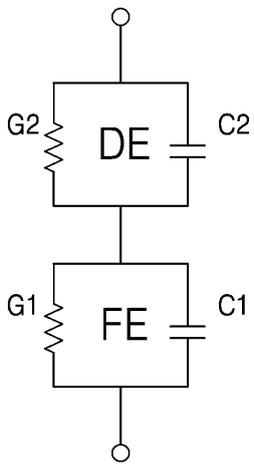
- [0085] 100: 강유전막 200: 유전막
- 310: 제1 전극 320: 제2 전극
- 330: 게이트 전극 400: 기판
- SD1: 소스 영역 SD2: 드레인 영역

도면

도면1



도면2



도면3

