



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0105499
(43) 공개일자 2010년09월29일

(51) Int. Cl.
G01R 31/26 (2006.01) **H01L 21/66** (2006.01)
 (21) 출원번호 10-2010-0024611
 (22) 출원일자 2010년03월19일
 심사청구일자 없음
 (30) 우선권주장
 098109078 2009년03월20일 대만(TW)

(71) 출원인
 상하이 신하오 (브레이브칩스) 마이크로 일렉트로닉스 코. 엘티디.
 중국 200092 상하이 시펑 로드 1398 빌딩 비 스위트 1202
 (72) 발명자
 린, 케네스 쉹하오
 중국 200092 상하이 시펑 로드 1398 빌딩 비 스위트 1202
 쟡, 홍시
 중국 200092 상하이 시펑 로드 1398 빌딩 비 스위트 1202
 (뒷면에 계속)
 (74) 대리인
 박영우

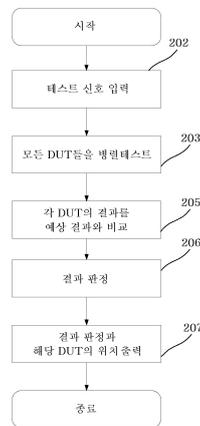
전체 청구항 수 : 총 16 항

(54) 집적 회로 병렬 테스트 방법, 장치 및 시스템

(57) 요약

공통 기관 상에서 동일한 기능을 가지는 복수의 마이크로 전자 회로(테스트 대상 장치)들을 병렬로 테스트 하는 방법, 장치 및 시스템이 개시된다. 상기 테스트 대상 장치들은 동일한 입력 테스트 신호에 의하여 구동되고 각각이 실행 결과를 출력한다. 각각의 실행 결과는 비교 장치들에 의하여 비교되어 비교 특성을 출력하고 이 특성은 실패된 장치를 걸러내는데 사용된다. 본 발명에 따르면 테스트 비용을 감소시킬 수 있고, 대량 생산에 필요한 시간을 감소시킬 수 있고, 실패된 장치가 정상 동작으로 판정되는 미스 레이트를 감소시킬 수 있다.

대표도 - 도2



(72) 발명자

렌, 하오치

중국 200092 상하이 시펑 로드 1398 빌딩 비 스위
트 1202

장, 빙춘

중국 200092 상하이 시펑 로드 1398 빌딩 비 스위
트 1202

젠, 창춘

중국 200092 상하이 시펑 로드 1398 빌딩 비 스위
트 1202

특허청구의 범위

청구항 1

반도체 웨이퍼, 집적 회로 칩 및 회로 기관 중의 하나인 공통 기관 상에서 동일 기능의 복수의 마이크로 전자 회로들의 병렬 테스트 방법으로서,

입력 경로들을 통하여 동일한 테스트 신호를 동일 기능의 복수의 테스트 대상 장치들에 인가하는 단계;

비교 장치를 이용하여, 상기 복수의 테스트 대상 장치들의 출력을 병렬로 비교하는 단계;

출력 경로들을 통하여 상기 복수의 테스트 대상 장치들의 비교 결과와 위치 정보를 출력하는 단계; 및

상기 비교 결과와 상기 기관 상에서 상기 위치 정보를 검사하여 그 비교 결과가 동일/정합하는 테스트 대상 장치들은 유효(패스)로 판정하고, 그 비교 결과가 동일/정합하지 않는 테스트 대상 장치들은 실패(페일)로 판정하는 단계를 포함하는 병렬 테스트 방법.

청구항 2

반도체 웨이퍼, 집적 회로 칩 및 회로 기관 중의 하나인 공통 기관 상에서 동일 기능의 복수의 마이크로 전자 회로들의 병렬 테스트 방법으로서,

입력 경로들을 통하여 동일한 테스트 신호를 동일 기능의 복수의 테스트 대상 장치들에 인가하는 단계;

비교 장치를 이용하여, 상기 복수의 테스트 대상 장치들의 출력을 상기 입력 경로를 통한 예상 결과와 병렬로 비교하는 단계;

출력 경로들을 통하여 상기 복수의 테스트 대상 장치들의 비교 결과와 위치 정보를 출력하는 단계; 및

상기 비교 결과와 상기 기관 상에서 상기 위치 정보를 검사하여 그 비교 결과가 동일/정합하는 테스트 대상 장치들은 유효(패스)로 판정하고, 그 비교 결과가 동일/정합하지 않는 테스트 대상 장치들은 실패(페일)로 판정하는 단계를 포함하는 병렬 테스트 방법.

청구항 3

동일한 기능의 복수의 테스트 대상 다이들(상기 복수의 다이들 또는 상기 다이 내의 동일한 기능의 기능 블록들은 테스트 대상 장치임); 및

반도체 제조 공정에서 생산되며, 부분적으로 상기 테스트 대상 장치 내부에 위치하거나 상기 테스트 대상 장치 외부에 위치하는 보조 테스트 장치를 포함하고,

상기 보조 테스트 장치는,

전원 입력을 전원 전압에 연결시키는 전원 공급 회로;

상기 복수의 테스트 대상 장치들의 신호 입력을 신호 입력 포트들에 연결시키는 입력 경로;

두 개의 입력포트를 구비하고, 상기 두 개의 입력 포트 중 하나가 상기 테스트 대상 장치들 중 하나의 출력 포트와 연결되고, 상기 두 개의 입력 포트 중 다른 하나가 상기 테스트 대상 장치들 중 다른 하나의 출력 포트와 연결되거나 상기 예상 결과를 통과시키는 상기 입력 경로에 연결되는 비교 장치;

상기 비교 장치의 출력 포트와 연결되고, 상기 비교 회로의 비교 결과를 임시적으로 저장하는 레지스터 회로;

상기 레지스터 회로에 연결되고, 상기 해당하는 비교 장치의 비교 결과와 해당하는 테스트 대상 장치의 위치 정보를 출력하는 출력 회로를 포함하는 웨이퍼.

청구항 4

제3항에 있어서, 상기 보조 테스트 장치가 상기 테스트 대상 장치들의 외부에 위치하는 경우, 상기 웨이퍼가 절단된 후, 상기 보조 테스트 장치의 전기적 연결은 차단되는 것을 특징으로 하는 웨이퍼.

청구항 5

제3항에 있어서, 상기 테스트 대상 장치들은 전자기파를 통하여 무선으로 전원을 공급받는 것을 특징으로 하는 웨이퍼.

청구항 6

제3항에 있어서, 상기 전원 공급 회로는 상기 복수의 테스트 대상 장치들의 전원 입력 포트들에 더 연결되는 것을 특징으로 하는 웨이퍼.

청구항 7

제3항에 있어서, 상기 전원 공급 회로는 하드 와이어드로 구성되거나, 구성 가능한(configurable) 스위치로 구성되거나, 또는 상기 하드 와이어드나 상기 구성 가능한 스위치의 결합에 의하여 구성되는 것을 특징으로 하는 웨이퍼.

청구항 8

제3항에 있어서, 상기 입력 경로를 통하여 상기 웨이퍼 상의 상기 복수의 테스트 대상 장치들은 상기 테스트 대상 장치의 신호 입력 단자들과 유선 전기 접속으로 연결되거나, 전자기파에 의하여 무선으로 연결되거나 상기 유선 전기 접속과 상기 전자기파에 의한 무선의 결합으로 연결되어 무선 데이터 신호 또는 제어 신호가 전달되는 것을 특징으로 하는 웨이퍼.

청구항 9

제3항에 있어서, 상기 입력 경로, 상기 테스트 대상 디바이스들 및 상기 비교 장치 사이의 연결은 유선 전기 접속이거나 전자기파에 의하여 무선 연결이거나 상기 유선 전기 접속과 상기 전자기파에 의한 무선 연결의 결합인 것을 특징으로 하는 웨이퍼.

청구항 10

제3항에 있어서, 상기 입력 경로는 상기 테스트 대상 장치들에 연결되는 변환 장치를 포함하고, 상기 변환 장치 는 변환 후에 신호들을 상기 입력 포트들에 전송하는 것을 특징으로 하는 웨이퍼.

청구항 11

제3항에 있어서, 상기 비교 장치는 상기 복수의 테스트 대상 장치들의 모든 출력 신호들을 샘플링하여 병렬로 각각 상기 입력 경로를 통하여 전달된 상기 예상 결과들과 상기 출력 신호들을 서로 비교하는 것을 특징으로 하는 웨이퍼.

청구항 12

제3항에 있어서, 상기 비교 장치는 상기 복수의 테스트 대상 장치들에 연결되고, 상기 복수의 테스트 대상 장치 들로부터의 출력을 비교하기 전에 변환하는 변환 장치를 포함하는 것을 특징으로 하는 웨이퍼.

청구항 13

제3항에 있어서, 상기 비교 장치는 상기 비교 결과를 수집하고 시간과 공간에 따라서 압축하는 결과 수집 및 압 축 장치를 포함하는 것을 특징으로 하는 웨이퍼.

청구항 14

제3항에 있어서, 상기 입력 경로는 상기 테스트 대상 장치들의 신호 입력 포트가 입/출력 양방향 포트로 사용되 는 경우 고(high) 임피던스(impedance)로 설정되는 것을 특징으로 하는 웨이퍼.

청구항 15

제3항에 있어서, 상기 출력 회로는 하드 와이어드로 구성되거나, 구성 가능한(configurable) 스위치로 구성되거 나, 또는 상기 하드 와이어드나 상기 구성 가능한 스위치의 결합에 의하여 구성되는 것을 특징으로 하는

웨이퍼.

청구항 16

제3항에 있어서, 상기 보조 테스트 장치의 부분 혹은 전체의 레이아웃은 컴퓨터 자동 배치 배선 툴(computer place and route tool)을 이용한 기본 유닛들로부터 자동으로 생성되는 것을 특징으로 하는 웨이퍼.

명세서

기술분야

[0001] 본 발명은 집적 회로 분야에 관한 것으로 보다 상세하게는 집적 회로 병렬 테스트 방법, 장치 및 시스템에 관한 것이다.

배경기술

[0002] 전형적인 반도체의 제작과정에서는, 얇고 균일한 반도체 재료 웨이퍼 (wafer) 위에 똑같은 장방형모양의 다이 (die)가 제작된다. 다이는 너비가 60~80미크론인 스크라이브 라인(scribe line)에 의하여 서로 분리된다. 일반적으로 스크라이브 라인위에는 마스크(mask) 정렬마크(alignment mark)와 생산 과정에서 품질의 모니터링을 진행하는 웨이퍼 수용 테스트(wafer acceptance test, WAT) 소자를 설치한다.

[0003] 제작과정중에서, 노광기는 매차에 하나의 구역을 노출시키는데, 이를 스텝퍼 구역(stepper field)이라고 부르며, 이러한 스텝퍼 구역내에는 하나 혹은 여러 개의 다이가 포함되어 있다. 모든 제작 과정이 완성된 후, 웨이퍼에 있는 다이들은 모두 기능 테스트를 거쳐야 한다. 웨이퍼 테스트장치(wafer prober)의 프로브 카드 (probe card)를 이용하여 테스트 패드(pad)를 접촉하게 하여, 테스트 프로그램에 기초한 테스트 신호들을 테스트 다이들에 전송해주고, 다이들은 입력된 신호에 따라 그에 상응하게 신호를 출력한다. 출력된 신호는 프로브 카드를 통하여 테스트장치(tester)로 전달되어 예상결과와 비교되어 비교 결과가 예상결과와 동일하거나 정합하면 곧 테스트 다이의 기능이 정상적임을 나타낸다. 한번에 하나의 다이가 테스트된다.

[0004] 이러한 테스트를 통과한 다이들과 통과하지 못한 다이들의 위치가 칩 패키징의 준비를 위하여 잉크로 표시되거나 파일 셀 웨이퍼 맵에 저장된다. 모든 테스트를 마친 후, 스크라이브 라인을 따라 웨이퍼를 절단하여 다이들을 분리한다. 상기 테스트를 통과한 다이들은 칩으로 패키징되고 상기 테스트를 통과하지 못한 다이들은 폐기된다. 이렇게 패키징된 칩들은 테스트를 거치고, 기능이 확인된 칩들은 고객에게 납품된다.

[0005] 도 1은 종래의 공통 웨이퍼 테스트(wafer test)를 나타낸다.

[0006] 도 1을 참조하면, 테스트 대상 웨이퍼(101)가 웨이퍼 프로버(102) 상에 거치되고, 테스터(103)는 테스트 벡터 생성기(104)에서 생성된 테스트 신호를 케이블(105)을 통하여 테스트 헤드(106)상의 프로브 카드(107)를 경유하여 테스트 대상 다이(108)에 전송한다. 테스트 대상 다이(108)의 출력은 프로브 카드(107)에 의하여 수집되고, 테스트 헤드(106)와 출력 케이블(111)을 통하여 테스터(103)에 전송된다. 전송된 테스트 결과는 비교기(109)에서 예상결과(110)와 비교되어 해당 테스트 다이(107)의 정상 동작 여부를 판단한다.

[0007] 집적회로 생산 공정의 발전과 더불어 웨이퍼의 규격은 이미 1인치에서 12인치로 발전하였으며 하나의 웨이퍼는 거의 만개에 달하는 다이를 수용할 수 있다. 그러나 값비싼 테스트 설비 테스트 채널(channel) 수의 제한으로 인하여 웨이퍼 테스트는 여전히 직렬화 방식으로 진행하고 있는바 하나하나씩 다이를 테스트하여, 웨이퍼 테스트에 소요되는 시간과 웨이퍼 상 다이의 수량은 정비례를 이루어 테스트 시간이 길어지고 테스트 원가가 증가하게 되었다. 테스트 설비에서 프로브(probe)가 한 다이를 테스트 하고 다른 다이로 이동하는 시간만도 100ms~250ms로서, 이 시간에는 테스트를 진행할 수 없이 시간이 낭비된다. 이는 테스트에 걸리는 시간을 증가시키고 테스트 원가를 급등하게 하였다. 현재 집적회로 생산 공정에서 테스트 및 패키징 원가는 이미 전 생산원가의 25%~30%에 달하였고 50%에 달하는 경우도 있다.

[0008] 이외에도, 테스트 설비와 다이 사이의 긴 연결 지연(connection delay)으로 인하여 테스트 주파수가 제한되어 테스트는 비교적 낮은 주파수하에서만 가능하다.

[0009] 이러한 문제를 해결하기 위하여 한 방법은 여러 개 멀티 사이트(multi-site)로 병렬 테스트를 수행하는 것이다. 그러나 이 방법은 테스트 설비 채널수의 제한을 받고 있다. 각 테스트 설비의 채널수는 128~1024 사이이며, 다이 하나의 본딩 패드는 수백~수천 개이므로 테스트 병렬성의 향상 가능성은 높지 않아 멀티-사이트 테스트는 한번에 2~4 개의 다이를 테스트 하는 것으로 제한된다. 또한 채널 가격은 아주 비싸서 채널의 수를 증가시키면 테

스트 설비의 가격도 대폭 증가하게 되어 테스트 원가를 급등하게 한다.

[0010] 상기에서 논의된 바대로 현재의 집적회로 테스트 방법, 장치와 시스템은 테스트 채널의 제한으로 한번에 하나 혹은 몇 개의 DUT(device under test)만을 테스트할 수 있으며 테스트 모듈의 대규모 동시/병렬 비교를 진행하지 못한다. 테스트 채널수의 유한성은 테스트 효율의 향상을 제한하는 장애물이다.

발명의 내용

해결하려는 과제

[0011] 이에 따라, 본 발명의 목적은 공통 기판 상에서 동일한 기능을 가지는 복수의 마이크로 전자 회로들을 병렬로 테스트 하는 방법, 장치 및 시스템을 제공하는데 있다. 상기 마이크로 전자 회로들은 동일한 테스트 신호를 실행하고, 비교 장치를 통하여 복수의 테스트 대상 장치의 출력 단자 신호와 예상 결과를 비교하거나, 비교 장치에서 복수의 테스트 대상 장치의 출력 단자 신호를 서로 비교하여 실패된(페일된) 테스트 대상 장치를 검출하게 된다.

과제의 해결 수단

[0012] 상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 웨이퍼, 집적 회로 칩 및 회로 기판 중의 하나인 공통 기판 상에서 동일 기능의 복수의 마이크로 전자 회로들의 병렬 테스트 방법은 입력 경로들을 통하여 동일한 테스트 신호를 동일 기능의 복수의 테스트 대상 장치들에 인가하는 단계, 비교 장치를 이용하여, 상기 복수의 테스트 대상 장치들의 출력을 상기 입력 경로를 통한 예상 결과와 병렬로 비교하는 단계, 출력 경로들을 통하여 상기 복수의 테스트 대상 장치들의 비교 결과와 위치 정보를 출력하는 단계 및 상기 비교 결과와 상기 기판 상에서 상기 위치 정보를 검사하여 그 비교 결과가 동일/정합하는 테스트 대상 장치들은 유효(패스)로 판정하고, 그 비교 결과가 동일/정합하지 않는 테스트 대상 장치들은 실패(페일)로 판정하는 단계를 포함한다.

[0013] 상기한 본 발명의 목적을 달성하기 위하여 본 발명의 실시예에 따른 반도체 웨이퍼, 집적 회로 칩 및 회로 기판 중의 하나인 공통 기판 상에서 동일 기능의 복수의 마이크로 전자 회로들의 병렬 테스트 방법은 입력 경로들을 통하여 동일한 테스트 신호를 동일 기능의 복수의 테스트 대상 장치들에 인가하는 단계, 비교 장치를 이용하여, 상기 복수의 테스트 대상 장치들의 출력을 상기 입력 경로를 통한 예상 결과와 병렬로 비교하는 단계, 출력 경로들을 통하여 상기 복수의 테스트 대상 장치들의 비교 결과와 위치 정보를 출력하는 단계 및 상기 비교 결과와 상기 기판 상에서 상기 위치 정보를 검사하여 그 비교 결과가 동일/정합하는 테스트 대상 장치들은 유효(패스)로 판정하고, 그 비교 결과가 동일/정합하지 않는 테스트 대상 장치들은 실패(페일)로 판정하는 단계를 포함한다.

[0014] 상기한 본 발명의 목적을 달성하기 위하여 본 발명의 실시예에 따른 웨이퍼는 동일한 기능의 복수의 테스트 대상 다이들(상기 복수의 다이들 또는 상기 다이 내의 동일한 기능의 기능 블록들은 테스트 대상 장치임) 및 반도체 제조 공정에서 생산되며, 부분적으로 상기 테스트 대상 장치 내부에 위치하거나 상기 테스트 대상 장치 외부에 위치하는 보조 테스트 장치를 포함한다. 상기 보조 테스트 장치는 전원 입력을 전원 전압에 연결시키는 전원 공급 회로, 상기 복수의 테스트 대상 장치들의 신호 입력을 신호 입력 포트들에 연결시키는 입력 경로, 두 개의 입력포트를 구비하고, 상기 두 개의 입력 포트 중 하나가 상기 테스트 대상 장치들 중 하나의 출력 포트와 연결되고, 상기 두 개의 입력 포트 중 다른 하나가 상기 테스트 대상 장치들 중 다른 하나의 출력 포트와 연결되거나 상기 예상 결과를 통과시키는 상기 입력 경로에 연결되는 비교 장치, 상기 비교 장치의 출력 포트와 연결되고, 상기 비교 회로의 비교 결과를 임시적으로 저장하는 레지스터 회로, 상기 레지스터 회로에 연결되고, 상기 해당하는 비교 장치의 비교 결과와 해당하는 테스트 대상 장치의 위치 정보를 출력하는 출력 회로를 포함한다.

[0015] 실시예에 있어서, 상기 보조 테스트 장치가 상기 테스트 대상 장치 내부에 위치할 경우, 상기 테스트 대상 장치의 정상 동작에서 상기 보조 테스트 장치는 디스에이블되고, 상기 보조 테스트 장치가 상기 테스트 대상 장치들의 외부에 위치하는 경우, 상기 웨이퍼가 절단된 후, 상기 보조 테스트 장치의 전기적 연결은 차단될 수 있다.

[0016] 실시예에 있어서, 상기 웨이퍼 상에서 테스트할 때 필요한 테스트 패드는 테스트 대상 장치 내부에 위치할 수 있고, 마찬가지로 스크라이브 라인(scribe line) 속에 위치할 수 있고, 마찬가지로 미사용 테스트 대상 장치의 코너 패드(corner pad) 놓일 수 있고, 미사용 테스트 대상 장치의 공간 패드(no connection pad)에 위치할 수 있다. 테스트할 때, 프로브를 웨이퍼 상의 홀수 혹은 복수의 테스트 대상 장치들과 대응하는 노멀 패드 혹은 테스트 패드와 접촉하게 하면 인풋 채널을 통하여 전원과 신호를 서술하는 웨이퍼 위 모든 혹은 지정 범위 중의

테스트 대상 장치들에 전송할 수 있다.

- [0017] 실시예에 있어서, 상기 테스트 대상 장치들은 전자기파를 통하여 무선으로 전원을 공급받을 수 있다.
- [0018] 실시예에 있어서, 상기 전원 공급 회로는 상기 복수의 테스트 대상 장치들의 전원 입력 포트들에 더 연결될 수 있다.
- [0019] 실시예에 있어서, 상기 전원 공급 회로는 하드 와이어드(hard-wired)로 구성되거나, 구성 가능한(configurable) 스위치로 구성되거나, 또는 상기 하드 와이어드나 상기 구성 가능한 스위치의 결합에 의하여 구성될 수 있다.
- [0020] 실시예에 있어서, 상기 입력 경로를 통하여 상기 웨이퍼 상의 상기 복수의 테스트 대상 장치들은 상기 테스트 대상 장치의 신호 입력 단자들과 유선 전기 접속으로 연결되거나, 전자기파에 의하여 무선으로 연결되거나 상기 유선 전기 접속과 상기 전자기파에 의한 무선의 결합으로 연결되어 무선 데이터 신호 또는 제어 신호가 전달될 수 있다.
- [0021] 실시예에 있어서, 상기 입력 경로, 상기 테스트 대상 디바이스들 및 상기 비교 장치 사이의 연결은 유선 전기 접속이거나 전자기파에 의하여 무선 연결이거나 상기 유선 전기 접속과 상기 전자기파에 의한 무선 연결의 결합일 수 있다.
- [0022] 실시예에 있어서, 상기 입력 경로는 상기 테스트 대상 장치들에 연결되는 변환 장치를 포함하고, 상기 변환 장치는 변환 후에 신호들을 상기 입력 포트들에 전송할 수 있다.
- [0023] 실시예에 있어서, 상기 웨이퍼 상의 상기 테스트 대상 장치의 구성 가능 스위치를, 외부 설비를 통하여 병행 혹은 직렬 전송 배치 방식으로 배치할 수 있다. 디지털 신호, 컨트롤 신호 혹은 예상 결과를 전송할 때, 상기 테스트 대상 장치의 입력과 대응하는 스위치는 연결되며, 출력과 대응하는 스위치는 차단된다. 상기 입력 경로들이 제대로 배치되면 상기 웨이퍼 상의 복수의 테스트 대상 장치들은 동일한 테스트 신호로 구동될 수 있다. 상기 배치는 상기 테스트 신호원보다 앞선 스위치들을 연결시키고 상기 테스트 신호원보다 뒤의 스위치들을 차단시켜서 달성할 수 있다.
- [0024] 실시예에 있어서, 상기 구성 가능 스위치는 각각 테스트 대상 장치의 입력 사이에 차단할 수 있는 대응 구동을 포함한다. 다른 테스트 대상 장치의 대응 입력 사이에 구동 연결로 배치하며 테스트 신호의 위치에 따라 상기 테스트 신호가 진행되는 방향의 구동 연결을 접속하고 상반되는 방향의 구동 접속을 차단하여 각각 테스트 대상 장치 사이의 같은 테스트 신호 입력의 전파 네트워크를 구성하여, 각각 테스트 대상 장치에서 동일한 테스트 신호가 구동될 수 있다.
- [0025] 실시예에 있어서, 상기 비교 장치는 상기 복수의 테스트 대상 장치들의 모든 출력 신호들을 샘플링하여 병렬로 각각 상기 입력 경로를 통하여 전달된 상기 예상 결과들과 상기 출력 신호들을 서로 비교할 수 있다.
- [0026] 실시예에 있어서, 상기 비교 장치는 상기 복수의 테스트 대상 장치들에 연결되고, 상기 복수의 테스트 대상 장치들로부터의 출력을 비교하기 전에 변환하는 변환 장치를 포함할 수 있다.
- [0027] 실시예에 있어서, 상기 비교 장치는 상기 비교 결과를 수집하고 시간과 공간에 따라서 압축하는 결과 수집 및 압축 장치를 포함할 수 있다. 상기 비교 장치는 상기 테스트 대상 장치와 연결되는 누적(accumulate) 회로를 더 포함하고, 상기 비교 장치의 출력 결과를 누적하고 저장한다. 상기 결과 수집 및 압축 장치는 하나의 테스트 대상 장치와 인접되는 복수의 비교 결과를 하나의 결과로 누적한다.
- [0028] 상기 비교 장치는 각각 테스트 대상 장치 입력에 동일한 테스트 신호가 인가된 후, 출력 신호의 샘플링, 변환 및 비교 결과가 상기 예정 결과와 같거나 정합여부를 출력하거나 상기 복수의 테스트 대상 장치와 대응되는 출력 신호의 샘플링, 변환 및 상호 비교를 출력한다. 상기 출력 신호는 상기 테스트 대상 장치의 출력 포트로부터의 신호이거나 내부 신호일 수 있다. 상기 샘플은 디지털 신호이거나 아날로그 신호일 수 있지만 이에 제한되지 않는다. 상기 변환은 아날로그 전류, 전압, 저항 등 디지털 신호로의 전환 혹은 아날로그 신호로의 변환을 포함하지만 제한하지 않는다. 상기 비교는 각종 테스트 대상 장치 실행 결과와 전달되는 예상 결과를 병렬로 비교하거나, 각 테스트 대상 장치의 실행 결과를 병렬로 비교한다.
- [0029] 단일 혹은 복수 테스트 대상 장치의 단일 혹은 복수 출력 신호를 샘플링하고 판정하여, 전원 공급 문제로 인하여 테스트 대상 장치가 동작하지 않는 동안 비교 결과가 정합하는 것과 같이 비교 결과가 잘못 판정되는 경우를 방지할 수 있다. 단일 혹은 복수 출력 신호는 단일 혹은 복수의 디지털 출력 비트이거나 단일 혹은 복수의 아날로그 출력 포트의 신호일 수 있다. 상기의 샘플링과 판정은 상기 단일 혹은 복수의 출력 신호 또는 상기 웨이퍼

상에서 상기 단일 혹은 복수의 실행 결과를 판단하는 외부 장치에 기초하여 전적으로 수행될 수 있다. 상기 기능 모듈은 카운터를 포함할 수 있지만 이에 제한되지 않는다. 상기 판단은 상기 카운터에 의하여 기록된 신호의 토클이 예상값과 일치하는 여부에 의하여 이루어질 수 있지만 이에 제한되지 않는다.

- [0030] 일 실시예에서, 마이크로프로세서 데이터 출력 버스의 한 비트 신호가 카운터에 의하여 샘플링되고 기록된다. 상기 카운터는 초기에 0으로 설정되고, 상기 카운터는 상기 마이크로 프로세서가 테스트 패턴을 운영하고 한 클럭 지연되어 매 클럭마다 이 신호의 로직 값을 샘플링한다. 상기 카운터의 카운팅 값은 샘플링된 신호가 하이 레벨인 경우마다 하나씩 증가한다. 테스트가 완료된 후 카운팅 값이 예상값과 일치하며 테스트 결과는 유효하다. 만일 카운트 값이 예상값과 일치하지 않으면 테스트 결과가 유효하지 않거나 테스트 대상 장치는 실패이다.
- [0031] 예를 들어 DC 특성을 테스트 하는 경우, 테스트 수행후 얻어진 DC 특성은 요구조건의 만족여부를 판단하기 위하여 비교될 수 있다. 상기 비교는 예상 DC 특성값과의 비교 또는 복수의 테스트 대상 디바이스들의 DC 특성값의 상호 비교를 포함할 수 있지만 이에 한정되지 않는다.
- [0032] 상기 비교 장치는 샘플링 및 비교 기능만을 구비하거나 변환 및 비교 기능을 결합하여 구비할 수 있다. 상기 비교 장치는 실행 결과를 먼저 비교하고, 샘플들에 대한 비교를 수행하거나 실행 결과와 비교한 후 비교 결과를 최종 결과로 샘플링할 수 있다.
- [0033] 상기 비교 장치는 또한 패스/페일 판단 기능을 포함할 수 있다. 예상 결과와 비교하는 경우, 상기 테스트 대상 장치의 출력 신호가 예상 결과와 일치/정합하는 경우 패스로 판단되고, 일치하지 않으면 페일로 판단된다. 테스트 대상 장치의 출력 신호를 서로 비교하는 경우, 인접하는 테스트 대상 장치의 출력 신호들과 일치/정합하는 경우 패스로 판단되고 일치하지 않는 경우 잠재적 페일로 판단된다. 잠재적 페일로 판단된 테스트 대상 장치들에 대하여는 테스트를 추가로 실시할 수 있다. 패스된 테스트 대상 장치들의 수가 페일된 테스트 대상 장치들의 수보다 많기 때문에 종래의 싱글 다이 테스트가 잠재적 페일로 판단된 테스트 대상 장치들에 대하여 수행되어 최종 페일 여부가 판단될 수 있다.
- [0034] 실시예에 있어서, 병렬 테스트를 위한 상기 입력 경로는 상기 테스트 대상 장치들의 신호 입력 포트가 입/출력 양방향 포트 사용되고 상기 포트가 출력 모드인 경우 고(high) 임피던스(impedance)로 설정될 수 있다. 프로브 카드가 접촉하는 상기 양방향 입/출력 포트는 상기 양방향 포트를 테스트하기 위한 여분의 출력 포트를 구비할 수 있다. 상기 양방향 포트와 상기 여분의 출력 포트는 상기 비교 장치에 연결될 수 있다.
- [0035] 상기 입력 경로와 상기 출력 경로는 한번에 모든 배치 정보를 직렬로 입력하거나 한번에 한 스텝으로 모든 배치 정보를 입력하여 설정될 수 있다.
- [0036] 실시예에 있어서, 병렬 테스트를 위한 상기 출력 회로는 하드 와이어드로 구성되거나, 구성 가능한 (configurable) 스위치로 구성되거나, 또는 상기 하드 와이어드나 상기 구성 가능한 스위치의 결합에 의하여 구성될 수 있다. 상기 입력 경로는 상기 프로브 카드가 접촉한 테스트 대상 장치로부터의 입력 테스트 신호와 예상 결과를 다른 나머지 모든 유닛들에 전달한다. 상기 출력 경로는 상기 나머지 모든 유닛들로부터의 테스트 결과를 상기 프로브 카드가 접촉한 테스트 대상 장치로 전달한다. 상기 입력 경로와 상기 출력 경로가 경로들의 기능을 확보한 후에는 셀프 테스트도 가능하다. 만일 프리-테스트가 페일이면, 상기 프로브 카드는 다른 테스트 대상 장치로 이동하여 입력 경로와 출력 경로를 재배치하여 셀프 테스트를 다시 수행할 수 있다. 예를 들어 셀프 테스트 활성화 신호는 입력 경로를 통하여 테스트 대상 디바이스들에 전달될 수 있고, 출력 경로로부터 직렬로 독출되어 상기 입력 경로와 상기 출력 경로를 셀프 테스트 할 수 있다.
- [0037] 상기 병렬 테스트를 위한 상기 입력 경로는 상기 다이들을 포함하는 상기 웨이퍼 상에 배치될 수 있다. 상기 입력 경로의 배치는 부분적으로 상기 다이들의 내부 또는 상기 다이들의 외부에 배치하는 것을 포함하지만 이에 제한되지 아니한다. 상기 입력 경로와 출력 경로의 부분은 와이어들은 스크라이브 라인 내, 다이 내부 또는 다이를 통과하여 위치할 수도 있다. 상기 와이어들과 스크라이브 라인 내의 장치는 웨이퍼 절단 중에는 차단되어 상기 다이의 정상 동작에는 영향을 미치지 않는다. 코너 패드내의 상기 테스트 패드나 미연결 패드는 다이의 기능에 영향을 미치지 않는다. 상기 보조 테스트 장치는 상기 다이 내부 또는 웨이퍼 수용 테스트 소자와 공간을 공유하는 스크라이브 라인 내에 위치할 수 있다. 또는 다른 웨이퍼 상에 위치할 수 있다. 상기 공유는 상기 웨이퍼 수용 테스트 소자 구조 주위의 본 발명의 디자인 구조이고, 테스트 신호 입력을 위한 웨이퍼 수용 테스트의 프로빙 패드와 같은 웨이퍼 수용 테스트 구조 부분을 공유한다.
- [0038] 커패시터가 상기 스크라이브 라인 내에 위치하여 테스트 대상 장치의 구동에 필요한 로드를 시뮬레이션하여 테

스트를 좀더 정확하게 할 수 있다.

- [0039] 실시예에 있어서, 상기 보조 테스트 장치의 부분 혹은 전체의 레이아웃은 컴퓨터 자동 배치 배선 툴(computer place and route tool)을 이용한 기본 유닛들로부터 자동으로 생성될 수 있다.
- [0040] 본 발명의 실시예들과 종래기술의 차이점은 다음과 같다.
- [0041] (1) 본 발명의 실시예들에 따르면 한번에 기관 상의 선택된 지역에 위치한 모든 테스트 대상 장치들에 동일한 테스트 신호 및/또는 예상 결과를 전달하는 반면에 종래 기술은 한번에 하나의 테스트 대상 장치에 테스트 신호 및/또는 예상 결과를 전달한다.
- [0042] (2) 본 발명의 실시예들에 따르면 기관 상의 선택된 지역에 위치한 모든 테스트 대상 장치들을 병렬로 테스트 할 수 있는데 반면에 종래 기술에 의하면 테스트 대상 장치들을 번갈아 테스트한다.
- [0043] (3) 본 발명의 실시예들에 따르면 모든 테스트 대상 장치들의 출력 신호를 예상 결과들과 병렬로 비교할 수 있는데 종래 기술에 의하면 하나의 테스트 대상 장치의 출력 신호를 예상 결과와 비교한다.
- [0044] (4) 본 발명의 실시예들에 따르면 동작 여부를 알지 못하는 테스트 대상 장치들의 출력 신호를 병렬로 비교할 수 있는데 종래 기술에 의하면 하나의 테스트 대상 장치의 출력을 테스트 장치에 저장된 기준 값 또는 동작하고 있는 장치의 실행 결과와 비교한다.

발명의 효과

- [0045] 본 발명에 실시예들에 따르면 채널 수를 증가시키지 않고도 많은 테스트 대상 장치들에 대한 테스트를 병렬로 수행하여 테스트 시간과 비용을 감소시킬 수 있다.

도면의 간단한 설명

- [0046] 도 1은 종래의 공통 웨이퍼 테스트(wafer test)를 나타낸다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로의 병렬 테스트 방법을 나타내는 흐름도이다.
- 도 3은 본 발명의 다른 실시예에 따른 반도체 집적 회로의 병렬 테스트 방법을 나타내는 흐름도이다.
- 도 4는 다이 출력이 예상 결과와 비교되는 구조를 나타낸다.
- 도 5는 다이 출력들이 서로 비교되는 구조를 나타낸다.
- 도 6a는 비교기가 테스트 대상 다이 내에 포함되는 경우의 실시예를 나타낸다.
- 도 6b는 비교기가 테스트 대상 다이 외부에 위치하는 경우의 실시예를 나타낸다.
- 도 7a 내지 도 7c는 본 발명의 실시예에 따라 테스트 프로세스에서 폐일된 다이를 결정하는 방법을 나타낸다.
- 도 8은 아날로그 실행 결과들을 비교하는 것을 나타낸다.
- 도 9는 본 발명의 실시예에 따른 파워 공급을 나타낸다.
- 도 10a 및 도 10b는 본 발명의 실시예에 따라 DUT들의 출력이 서로 비교되는 경우를 나타낸다.
- 도 11a 및 도 11b는 본 발명의 실시예에 따른 배치 방법을 나타낸다.
- 도 12a는 본 발명의 실시예에 따른 웨이퍼 테스트의 입력 채널을 나타낸다.
- 도 12b는 본 발명의 실시예에 따른 웨이퍼 상의 비교/판정 결과 출력 회로를 나타낸다.
- 도 13은 무선 주파수 다이들의 웨이퍼 테스트를 나타낸다.
- 도 14는 다중-실행 유닛/다중-코어 집적 회로 칩의 내부 테스트 구조를 나타낸다.
- 도 15는 본 발명의 실시예에 따른 다이 출력과 비교기 사이의 연결 방식을 나타낸다.
- 도 16은 본 발명의 실시예에 따른 테스트 대상 다이에 대한 DC 테스트를 나타낸다.
- 도 17은 본 발명의 실시예에 따라서 IC칩의 기능 모듈을 테스트 할 경우 판정 결과를 보관하는데 사용하는 테스트 결과표를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0047] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0048] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0049] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0050] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0051] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0052] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0053] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0054] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0055] 도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로의 병렬 테스트 방법을 나타내는 흐름도이다. 도 2의 실시예에서는 본 발명에 따른 공용 플랫폼 집적회로테스트장치가 예상결과가 있는 상황하에서 진행한 테스트의 프로세스도이다. 본 실시예에서 비교기는 패스/페일 판정 기능을 포함하지 않는다.
- [0056] 도 2를 참조하면, 먼저 테스트 신호가 입력된다(202). 다음에 모든 DUT(device under test)들에 대하여 병렬 테스트를 수행한다(203). 각 DUT들의 실행 결과가 무작위 추출되고, 추출된 결과는 기대 결과와 비교되고, 비교 결과가 기록된다(205). 데이터 수집 비교 차수는 테스트 정확성의 요구에 근거한다. 상기 추출된 결과들에 대한 비교가 모두 완료된 후, 모든 DUT들의 위치 및 해당 테스트 결과와 함께 최종 테스트 결과가 생성된다(206). 그 후에 각 DUT들의 위치와 테스트 결과가 출력된다(207).
- [0057] 도 3은 본 발명의 다른 실시예에 따른 반도체 집적 회로의 병렬 테스트 방법을 나타내는 흐름도이다. 도 3의 실시예에서는 본 발명에 따른 공통 플랫폼 집적회로테스트장치가 예상결과가 없는 상황하에서 진행한 테스트의 프로세스도이다. 본 실시예에서 비교기는 패스/페일 판정 기능을 포함한다.
- [0058] 도 3을 참조하면, 먼저 테스트 신호가 입력된다(302). 다음에 모든 DUT(device under test)들에 대하여 병렬 테

스트를 수행한다(303). 각 DUT들의 실행 결과가 무작위 추출되고, 추출된 결과는 다른 DUT의 실행 결과와 비교되고, 상기 비교한 결과의 특성이 기록된다(305). 데이터 수집 비교 차수는 테스트 정확성의 요구에 근거한다. 상기 추출된 결과들에 대한 비교가 모두 완료된 후, 최종 테스트 결과가 생성된다(206). 그 후에 각 DUT들의 위치와 테스트 결과가 출력된다(307). 상기 특성은 유사 페일 모듈(혹은 DUT) 혹은 페일 모듈의 정보를 나타내는 판정 결과이다. 상기 테스트가 모두 완료된 후에 상기 유사 페일 모듈은 필요에 따라 다시 테스트되거나, 또는 페일 DUT로 판정된다. 상기 페일 모듈들은 물리적 방법으로 표시된다.

[0059] 도 4는 다이 출력이 예상 결과와 비교되는 구조를 나타낸다.

[0060] 도 4를 참조하면, 양방향 스위치(403), 양방향 스위치(404), 양방향 스위치(443) 및 양방향 스위치(444)는 오른쪽으로 신호를 전송하고, 테스트 신호(401)가 와이어드 커넥션(402), 양방향 스위치(403), 양방향 스위치(404)들과 입력 패드들(406, 407, 408)을 통하여 다이들(409, 410, 411)에 전달된다. 예상 결과들(412)은 와이어드 커넥션(413)과 양방향 스위치(443) 및 양방향 스위치(444)를 통하여 비교기들(414, 415, 416)에 전달된다. 다이들(409, 410, 411)의 실행 결과는 출력 패드들(425, 426, 427) 각각을 통하여 비교기들(414, 415, 416)에 전달되어 특성 레지스터들(417, 418, 419) 각각에 저장된다. 특성 레지스터들(417, 418, 419)의 초기값은 외부 제어 신호에 의하여 설정되거나 내부에서 생성되는 신호들에 의하여 설정된다. 특성 레지스터의 값은 해당 비교기의 두 개의 입력이 서로 동일하지 않거나 정합되지 않는 경마다 변동되어 해당 다이를 유사 페일 모듈로 표시한다. 특성 레지스터들(417, 418, 419)과 다른 특성 레지스터는 쉬프트 레지스터의 체인(420)으로 연결되어 테스트 중인 다이의 위치 정보와 해당하는 비교/판정 결과를 채널로 출력할 수 있다. 테스트 신호(401)는 입력 패드들(406, 407, 408)을 사용하지 않고 메탈 와이어를 사용하여 해당 다이의 내부 블록으로 직접 전달될 수 있다. 다이 출력은 출력 패드들(425, 426, 427)을 사용하지 않고 다이의 내부 블록으로부터 다이 외부로 메탈 와이어를 사용하여 직접적으로 출력될 수 있다. 상기 비교기는 단일 입력 또는 복수의 입력을 구비할 수 있다.

[0061] 도 5는 다이 출력들이 서로 비교되는 구조를 나타낸다.

[0062] 도 5를 참조하면, 양방향 스위치(503) 및 양방향 스위치(504) 오른쪽으로 신호를 전송하고, 테스트 신호(501)가 와이어드 커넥션(502), 양방향 스위치(503), 양방향 스위치(504)들과 입력 패드들(505, 506, 507)을 통하여 다이들(508, 509, 510)에 전달된다. 다이(509)의 출력은 출력 패드(512)를 통하여 비교기들(514, 515)로 전달된다. 다이(508)의 출력은 출력 패드(511)를 통하여 비교기(514)로 전달되고, 다이(509)의 출력과 비교되고, 다이(510)의 출력은 출력 패드(513)를 통하여 비교기(515)로 전달되고 다이(509)의 출력과 비교된다. 비교기들(514, 515)의 비교/판정 결과는 각각 특성 레지스터들(516, 517)에 저장된다. 특성 레지스터들(516, 517)의 초기값은 외부 제어 신호에 의하여 설정되거나 내부에서 생성되는 신호들에 의하여 설정된다. 특성 레지스터의 값은 해당 비교기의 두 개의 입력이 서로 동일하지 않거나 정합되지 않는 경마다 변동되어 해당 다이를 유사 페일 모듈로 표시한다. 특성 레지스터들(516, 517)과 다른 특성 레지스터는 쉬프트 레지스터의 체인(518)으로 연결되어 테스트 중인 다이의 위치 정보와 해당하는 비교/판정 결과를 채널로 출력할 수 있다. 테스트 신호(501)는 입력 패드들(505, 506, 507)을 사용하지 않고 메탈 와이어를 사용하여 해당 다이의 내부 블록으로 직접 전달될 수 있다. 다이 출력은 출력 패드들(511, 512, 513)을 사용하지 않고 다이의 내부 블록으로부터 다이 외부로 메탈 와이어를 사용하여 직접적으로 출력될 수 있다. 상기 비교기는 단일 입력 또는 복수의 입력을 구비할 수 있다.

[0063] 도 6a는 비교기가 테스트 대상 다이 내에 포함되는 경우의 실시예를 나타낸다.

[0064] 도 6a를 참조하면, 예상 결과 또는 실행 결과 또는 이웃하는 다이들의 출력은 전송 네트워크(601), 입출력 버퍼(I/O핀, 602)의 패드(603)를 통하여 테스트 대상 다이로 전달되고, 비교기(605) 내에서 해당하는 실행 결과(604)와 비교된다. 여기서 출력 드라이버(606)는 고 임피던스(high impedance)로 설정되고, 입력 버퍼(608)는 상기 입출력 버퍼(602) 내에서 활성화된다.

[0065] 도 6b는 비교기가 테스트 대상 다이 외부에 위치하는 경우의 실시예를 나타낸다.

[0066] 도 6b를 참조하면, 상기 테스트 대상 다이의 실행 결과(611)는 출력 드라이버(612)와 출력 패드(613)를 통하여 비교기(614)로 전달되어 예상 결과 또는 이웃하는 다이의 실행 결과(615)와 비교된다.

[0067] 도 7a 내지 도 7c는 본 발명의 실시예에 따라 테스트 프로세스에서 페일된 다이를 결정하는 방법을 나타낸다. 도 7a 내지 도 7c에서, 각 DUT(테스트 대상 다이)의 네 개의 모서리 상의 실행 결과들은 각각 이웃하는 DUT의 실행 결과와 비교 장치에 의하여 비교된다. 비교 결과가 서로 동일하거나 정합하는 경우는 하얀색(빈공간)으로 표시되고 비교 결과가 서로 동일하지 않거나 정합하지 않는 경우는 검은색으로 표시된다. 이 실시예에서 페일된

다이를 결정하는 장치는 상기 웨이퍼 테스트 장치 상 또는 웨이퍼 테스트 장치 내에 위치할 수 있다.

- [0068] 도 7a는 DUT(701)의 네 모서리 상의 실행 결과들이 와이어(707)에 의하여 각각 다이들(702, 703, 704, 705)의 해당하는 모서리의 실행 결과들과 비교되어 모든 DUT들이 정상 동작하고 있음을 나타내는 경우이다. 여기서 비교기(706)는 하얀색으로 표시되어 있는데 이는 DUT들(701, 704) 사이의 해당 모서리 상의 실행 결과가 서로 일치/정합한다는 것을 나타낸다. 도시된 바와 같이 모든 모서리들 상의 비교 결과가 동일/정합함을 나타낸다. 따라서 DUT(701)는 정상 동작하고 있다.
- [0069] 도 7b는 DUT가 부분적으로 페일된 경우를 나타낸다. DUT(711)의 네 모서리 상의 실행 결과가 각각 다이들(712, 713, 714, 715)의 해당하는 모서리의 실행 결과들과 비교된다. 여기서 DUT(711)의 출력과 와이어(718)를 통하여 연결된 비교기(716)는 검은색으로 표시되어 DUT들(711, 712) 사이의 비교 결과가 동일하지 않음을 나타낸다. 또한 DUT(711)의 출력과 와이어(719)를 통하여 연결된 비교기(717)는 검은색으로 표시되어 DUT들(711, 714) 사이의 비교 결과가 동일하지 않음을 나타낸다. DUT들(711, 713) 사이의 비교 결과는 동일하고, DUT들(711, 715) 사이의 비교 결과는 동일하므로 DUT(711)는 부분적 페일로 판단된다.
- [0070] 도 7c는 DUT가 전적으로 페일된 경우를 나타낸다. DUT(721)의 네 모서리 상의 실행 결과가 각각 다이들(722, 723, 724, 725)의 해당하는 모서리의 실행 결과들과 비교된다. 비교기들(726, 727, 728, 729, 730, 731, 732, 733)은 모두 검은색으로 표시되어 있어 모든 비교 결과가 동일하지 않음을 나타낸다. 여기서 와이어(734)가 DUT(721)와 비교기(721)를 연결하는데 사용되었다. 따라서 DUT(721)는 페일로 판단된다. 복수의 출력 포트들의 복수의 비교 결과들은 AND 로직을 통하여 단일의 비교 결과로 공간적으로 압축될 수 있다. 복수의 비교 결과들은 시간적으로는 누적기를 통하여 단일의 비교 결과로 줄어들 수 있다. 시공간적으로 비교 결과를 감소시키면, 출력 패드의 대역폭 요구를 감소시켜서 테스트 프로세스의 속도를 향상시킬 수 있다.
- [0071] 도 8은 아날로그 실행 결과들을 비교하는 것을 나타낸다.
- [0072] 도 8을 참조하면, 아날로그-디지털 변환기(902)가 다이들(901)의 아날로그 실행 결과들을 샘플링하여 디지털 신호들로 변환한다. 디지털 비교기(903)는 두 개의 디지털 신호들을 비교하고 비교/판정 결과를 특성 레지스터(904)에 저장한다. 다이들(901)에 대한 입력은 부(negative)의 아날로그 신호이거나 디지털/아날로그 변환기에 의하여 디지털 입력으로부터 변환된 아날로그 신호일 수 있다.
- [0073] 도 9는 본 발명의 실시예에 따른 파워 공급을 나타낸다.
- [0074] 도 9를 참조하면, 다이들(1001) 내의 모든 파워 패드들(1002)은 글로벌 파워 메쉬(1003)에 직접 연결되거나, 구역으로 나누어진 로컬 파워 메쉬들 중 하나에 연결된다. 상기 다이들 내의 모든 그라운드 패드들(1004)도 역시 글로벌 그라운드 파워 메쉬(1005)에 직접 연결되거나 또는 구역으로 나누어진 로컬 파워 메쉬들 중 하나에 연결된다. 글로벌 메쉬 내의 또는 구역으로 나뉘어진 메쉬 내의 상기 그라운드 패드들은 서로 연결될 수 있으나, 상기 파워 패드들은 큰 사이즈의 피모스 장치를 통하여 글로벌 파워 메쉬 또는 구역으로 나뉘어진 파워 메쉬에 연결되고 상기 피모스 장치의 게이트를 통하여 각 다이들에 대한 파워 공급을 재구성하고, 온 오프를 제어할 수 있다. 상기 패드들은 메탈로 형성되어 다이 상부나 다이 외부에 위치하여 전술한 메탈 와이어들과 연결될 수 있다.
- [0075] 도 10a 및 도 10b는 본 발명의 실시예에 따라 DUT들의 출력이 서로 비교되는 경우를 나타낸다.
- [0076] 도 10a는 인접하는 DUT들의 관계를 나타내는 평면도이고 도 10b는 세 개의 다이들간의 연결을 확대하여 나타낸다.
- [0077] 도 10a 및 도 10b를 참조하면, 프로브 카드(1316)의 프로브 핀들을 다이(1311)의 패드들 위에 위치시키고, 입력 신호(테스트 신호)를 입력한다. 상기 입력 신호는 복수의 기본 전송 유닛들(1303)로 구성된 상호 연결 패스(1302)를 통하여 다이들(1310, 1312)에 전달된다. 구성 네트워크의 제어하에 기본 전송 유닛(1303) 내의 양방향 스위치(1304)는 신호를 좌로부터 우로(또는 우로부터 좌로) 위로부터 아래로(또는 아래로부터 위로) 전파하여 상기 웨이퍼 상의 임의의 하나의 다이로 전달된 프로브로부터의 입력 신호가 나머지 모든 다이들로 전달되도록 한다. 상기 양방향 스위치(1304)는 테스트 신호의 입력시에는 제1 방향으로 설정되고, 출력의 비교시에는 상기 제1 방향과 반대인 제2 방향으로 설정된다. 상기 양방향 스위치(1304)의 변환 방향은 전술한 하나의 방향으로 변환 동안에 구성 메모리(1308)만에 의하여 설정되거나 또는 DUT의 입/출력 제어 출력 패드(1309)와 구성 메모리(1308)에 의하여 설정된다. 기본 전송 유닛(1303) 내의 드라이버(1305)는 전달되는 신호들을 버퍼링하여 신호가 감쇄되는 것을 최소화한다. 상기 드라이버(1305)는 예상되는 감쇄가 거의 없는 경우에는 생략될 수 있다. 상기 신호를 파이프라인 방식으로 전달하기 위하여 상호 연결 패스에 래치들이 추가될 수 있다. 다이들의 실행 결

과가 비교되는 동안, 상기 양방향 스위치(1304)는 양방향 모두에 대하여 오프로 설정되고, 패드들(1301)의 출력은 비교를 위하여 비교기(1306)의 입력에 인가된다. 이 실시예에서 패드들(1301)은 입출력 패드들이고, 입력 패드들만의 구성이나 출력 패드들만의 구성도 이 실시예에 포함될 수 있다.

[0078] 도 11a 및 도 11b는 본 발명의 실시예에 따른 배치 방법을 나타낸다.

[0079] 도 11a 및 도 11b에서 와이어드 상호연결 경로와 출력 경로는 서로 다른 토폴로지 구조를 갖는다. 입력 경로는 프로브의 접촉 지점으로부터 가능한 한 가장 짧은 경로로 입력 테스트 신호를 네 가지 방향 모두로 통과시켜야 하고, 출력 경로는 직렬로 테스트 중인 모든 유닛을 통과해야 한다. 입력과 출력에 대한 와이어드 경로의 전파 방향은 각 노드마다 다를 수 있다. 본 실시예의 목적은 직렬 구성으로 테스트 중인 모든 유닛들의 비교/판단 결과를 프로브가 접촉한 유닛으로 전달하는 직렬 출력 경로와 프로브가 접촉한 DUT로부터 모든 방향으로 입력 테스트 신호를 전달하는 입력 경로들을 동시에 설정하는 것이다. 한 시점에 하나의 노드를 배치하고, 다음 배치 정보를 전달할 다음 노드를 결정하여 프로브가 접촉한 위치로부터 모든 DUT들을 통과하는 체인을 구성하는 방법을 사용한다. 참(real)의 비교/판단 결과가 체인이 설정된 방향과 반대 방향으로 체인에서 전송된다. 상기 와이어드 상호연결은 상기 체인을 구성하는 동안에 동시에 배치된다. 상기 배치 정보는 상호 연결 회로와 출력 경로 구성에 대한 배치 정보를 포함하는 이 체인의 모든 노드를 통과한다.

[0080] 구체적으로는 도 11a에 도시된 바와 같이 배치 정보와 클럭 신호(1427)가 프로브(1401)의 위치로부터 네트워크(1402)를 통하여 모든 노드들에 전달된다. 노드(1408)에 대하여는 입력 클럭 신호와 노드 배치 신호(1427)는 윗부분(top)으로부터 들어오고 그 위에 테스트 신호의 전달 방향을 제어하는 구성 메모리(1308)가 배치되고 노드(1408) 내의 출력 회로 전달 방향을 제어하는 도출 방향 레지스터(1407)가 배치된다. 상기 도출 방향 레지스터(1407)는 오른쪽 버튼으로 상기 방향으로의 비교/판정 결과 출력 회로 클럭 신호 전달 채널과 배치 정보 전달 채널과 상기 방향과 반대 방향으로의 비교/판정 결과 전달 채널을 포함하는 비교/판정 결과 출력 회로를 표시한다. 구성 메모리(1308)는 아래 방향으로 입력 테스트 신호(1414)를 전달하는 것을 표시한다.

[0081] 노드(1403)에 대하여는, 노드(1403)의 왼쪽에 위치한 노드(1408)로부터 입력 클럭 신호와 노드 배치 신호(1415)가 전달된다. 그 위에 테스트 신호의 전달 방향을 제어하는 구성 메모리(1308)가 배치되고 노드(1403) 내의 출력 회로 전달 방향을 제어하는 도출 방향 레지스터(1407)가 배치된다. 상기 도출 방향 레지스터(1407)는 오른쪽 버튼으로 상기 방향으로의 비교/판정 결과 출력 회로 클럭 신호 전달 채널과 배치 정보 전달 채널과 상기 방향과 반대 방향으로의 비교/판정 결과 전달 채널을 포함하는 비교/판정 결과 출력 회로를 표시한다. 구성 메모리(1308)는 아래 방향으로 입력 테스트 신호(1404)를 전달하는 것을 표시한다.

[0082] 노드(1406)에 대하여는, 노드(1406)의 왼쪽에 위치한 노드(1403)로부터 입력 클럭 신호와 노드 배치 신호(1415)가 전달된다. 그 위에 테스트 신호의 전달 방향을 제어하는 구성 메모리(1308)가 배치되고 노드(1403) 내의 출력 회로 전달 방향을 제어하는 도출 방향 레지스터(1407)가 배치된다. 상기 도출 방향 레지스터(1407)는 오른쪽 버튼으로 상기 방향으로의 비교/판정 결과 출력 회로 클럭 신호 전달 채널과 배치 정보 전달 채널과 상기 방향과 반대 방향으로의 비교/판정 결과 전달 채널을 포함하는 비교/판정 결과 출력 회로를 표시한다. 구성 메모리(1308)는 아래 방향으로 입력 테스트 신호(1488)를 전달하는 것을 표시한다. 모든 노드에서 구성 메모리(1308)와 도출 방향 레지스터(1407)의 내용은 일단 한번 설정되면 일정하게 유지된다. 상기 내용은 전원 공급이 차단되거나, 외부 리셋 신호에 의하여 초기값으로 리셋될 수 있다. 이러한 방식으로 클럭 신호와 노드 배치 정보가 노드 배치 정보 및 클럭 신호 경로들(1427, 1415, 1405, 1420)을 통하여 한번에 하나씩 상기 체인 내의 모든 노드에 필요에 따라 전달된다. 이와 동시에 비교/판정 결과 전달 경로들(1429, 1430, 1431)로 구성되는 입력 테스트 신호 전달 방향과 반대 방향의 비교/판정 결과 전달 회로는 동시에 설정된다. 도 11b는 노드들(1408, 1403, 1406) 사이의 연결을 나타낸다.

[0083] 도 12a는 본 발명의 실시예에 따른 웨이퍼 테스트의 입력 채널을 나타낸다. 도 12a는 상부 평면도이다.

[0084] 도 12a를 참조하면, 프로브 카드(1501), 테스트 대상 웨이퍼(1502)의 입력 채널(1503)을 통하여 테스트 신호를 다이들(1504) 각각에 전송하고, 입력 채널(1503)은 배치를 통하여 입력 채널 경로를 변경한다. 테스트 신호가 테스트 시간을 감소시키기 위하여 물리적으로 프로브 카드를 움직이지 않고 각 다이들에 전송될 수 있다. 또는 테스트 신호는 구역 선택 테스트를 위하여 웨이퍼의 일부분에 전송될 수 있다.

[0085] 도 12b는 본 발명의 실시예에 따른 웨이퍼 상의 비교/판정 결과 출력 회로를 나타낸다.

[0086] 도 12b를 참조하면, 테스트 대상 웨이퍼(1502)의 비교/판정 결과 출력 회로(1505)가 도시되어 있다. 테스트 대상 다이 상의 모든 특성 레지스터들은 출력 회로(1505)와 연결되어 쉬프트 레지스터를 구성한다. 비교/판단 결

과는 쉬프트 레지스터로부터 프로브 카드를 움직이지 않고도 비트 단위로 얻을 수 있다. 배치를 통하여 부분적 구역의 비교/판정 결과를 도출할 수 있다. 비교/판정 결과 출력 회로는 완성 후 미리 테스트 하여 출력 회로의 정확성을 확보할 수 있다. 테스트 신호는 프로브 카드(1501)로부터 노드(1506)를 통하여 비교/판정 결과 출력 회로(1505)에 전달될 수 있다. 입력과 노드(1507)로부터의 신호가 동일하다면 사전테스트를 통과한 것이고, 그렇지 않으면 사전 테스트를 통과하지 못한 것이다. 만일 프리테스트를 통과하지 못하면 프로브 카드를 테스트 중인 다른 다이로 이동하여 입력 채널과 비교/판정 결과 출력 회로(1505)를 재구성하여 셀프-테스트를 반복할 수 있다. 셀프-테스트하에서는 테스트 신호는 먼저 입력 채널을 통하여 테스트 대상 다이로 전달되고, 그 다음에 테스트 신호는 비교/판정 결과 출력 회로로부터 비트 단위로 얻을 수 있다.

[0087] 도 12a의 입력 채널과 도 12b의 비교/판정 결과 출력 회로는 도 11a 및 도 11b를 참조하여 설명된 입력 채널과 비교/판정 결과 출력 회로를 채용한다.

[0088] 도 13은 무선 주파수 다이들의 웨이퍼 테스트를 나타낸다.

[0089] 도 13을 참조하면, 웨이퍼 테스트 시에 프로브 카드(1703)는 테스트 대상 다이, 예를 들어 다이(1702)의 입력 안테나 패드에 상응하는 수신 안테나 또는 커플링 디바이스, 예를 들어 수신 안테나 또는 커플링 디바이스(1704)를 하나씩 포함한다. 테스트 신호와 파워는 프로브 카드 내의 안테나로부터 전자기파의 전송 모드에 의하여 테스트 대상인 무선 주파수 다이(1702)와 같은 테스트 대상 다이에 전송된다. 테스트 신호는 테스트 대상인 무선 주파수 다이(1702)와 같은 테스트 대상 다이에서 실행되고, 그 결과는 웨이퍼 내의 연결 라인들을 통하여 상응한 비교 장치에 전달된다. 비교/판정 결과는 테스트 대상인 무선 주파수 다이(1702)와 같은, 비교 테스트 대상 다이로부터의 결과를 상호 비교하거나 예상 결과와 비교하여 도출할 수 있고, 비교/판정 결과는 프로브카드(1703) 상의 출력 핀을 통하여 특성 표기장치에 전송되어 무선주파수 다이의 웨이퍼 테스트를 실현한다. 테스트 신호와 파워 공급은 구역 구분 방식으로 테스트 다이에 전송될 수 있다. 이미 안테나를 포함한 다이는 직접 전자파 전송 방식으로 테스트 신호 및 파워를 전송할 수 있다.

[0090] 도 14는 다중-실행 유닛/다중-코어 집적 회로 칩의 내부 테스트 구조를 나타낸다.

[0091] 도 14를 참조하면, 다중-실행 유닛/다중-코어 집적 회로 칩(2010)의 내부에서 테스트 신호 생성기(2001)가 테스트 신호를 생성하고, 생성된 테스트 신호는 테스트 모듈들(2002, 2004, 2007, 2009)에 전달된다. 각 테스트 모듈(2002, 2004, 2007, 2009)은 테스트 신호를 실행하여 그 결과를 해당 비교기(2003, 2005, 2006, 2008)에 전송하고, 각 비교기(2003, 2005, 2006, 2008)는 상호 비교를 통하여 비교/판정 결과를 도출한다. 여기서 테스트 모듈들(2002, 2004, 2007, 2009)은 다중-실행 유닛/다중-코어 집적 회로 칩(2010) 실행 모듈이거나 프로세서일 수 있다. 비교/판정 결과는 특성 레지스터에 기록된다. 실시예에 있어서, 각 테스트 모듈(2002, 2004, 2007, 2009)의 출력 결과는 상호 비교를 통하여 비교/판정 결과를 도출할 수 있고, 또한 각 테스트 모듈(2002, 2004, 2007, 2009)의 출력 결과와 예상 결과를 비교하여 비교/판정 결과를 도출할 수도 있다.

[0092] 도 15는 본 발명의 실시예에 따른 다이 출력과 비교기 사이의 연결 방식을 나타낸다.

[0093] 도 15를 참조하면, 비교기들(2103, 2104)은 스크라이브 라인 상의 절단 가능 구역(2109)과 절단 구역(2107) 내에 위치하여 있으며, 다이들(2101, 2102)의 출력 본딩패드들(2110, 2108)과 비교기들(2103, 2104) 사이의 연결선은 반드시 절단라인을 지나서 절단구역(2105)을 확정하여 비교기가 칩 테스트시에만 동작할 수 있고 칩의 절단 완료 후 다이 출력 본딩 패드와 비교기 사이의 연결선은 전부 절단되어 하며, 비교기가 출력 본딩 패드에 대하여 부하를 초래하지 않도록 해야 한다.

[0094] 도 16은 본 발명의 실시예에 따른 테스트 대상 다이에 대한 DC 테스트를 나타낸다.

[0095] 도 16을 참조하면, 테스트 대상 다이(2301)의 본딩패드/솔더볼(2302) 위에 전류원(2303)을 연결하고 해당 전류원(2303)은 본딩패드/솔더볼(2302)을 통하여 테스트 대상 다이(2301)에 일정 전원을 공급하며 이때 본딩패드/솔더볼(2302)은 지면(GND)에 대하여 전위차를 형성하여 아날로그 디지털 변환기(2304)를 통하여 본딩패드/솔더볼(2302)상 전압 수치를 얻을 수 있다. 이 전압수치와 기준직류 특성 전압수치를 비교하면 직류 특성수치가 요구를 만족하는지를 판단할 수 있다.

[0096] 도 17은 본 발명의 실시예에 따라서 IC칩의 기능 모듈을 테스트 할 경우 판정 결과를 보관하는데 사용하는 테스트 결과표를 나타낸다.

[0097] 도 17을 참조하면 판정 결과는 테스트 결과표(2601)에 보관되며, 각각의 부호(2602)는 시스템 중의 하나의 테스트 대상 장치에 상응한다. 이 위치상의 정보는 테스트 대상 장치의 상태를 표시한다. 그 중 "?"은 상응하는 테

스트 대상장치가 아직 테스트가 안되었음을 표시하며, "X"는 상응하는 테스트 대상 장치가 실패인(패일인) 경우를 표시하며, "0"은 상응하는 테스트 대상장치가 정상(패스)임을 표시한다. 이 테스트 결과표는 IC칩 내부에 위치하거나 또한 IC칩 외부에 위치할 수 있다. 이 테스트 결과표는 휘발성 저장장치 또는 비휘발성 저장장치에 저장 가능하다. 일회만 표기하고 수정이 불가능해도 되고, 여러 번 쓰고 지우는 것도 가능하다. 실패 기능 모듈의 기능과 유사한 유효 기능 모듈에 여분이 있을 경우, 효력을 상실한 기능 모듈은 우회되며, 남은 유효 기능 모듈이 실패 기능 모듈을 대체한다. 즉, 시스템의 정상적인 작동을 보장하여 효율을 높일 수 있고, 시스템의 자가복원 기능을 실현한다.

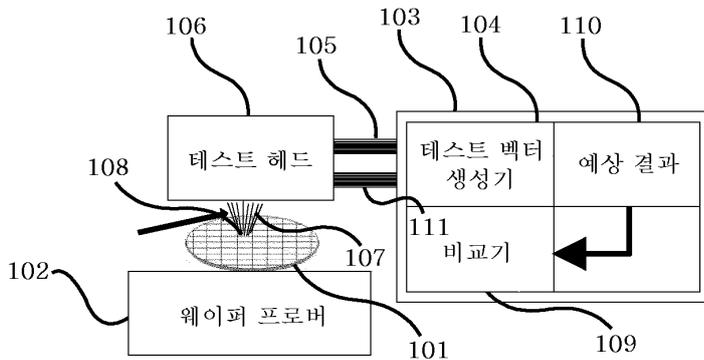
산업상 이용가능성

[0098] 본 발명에 실시예들에 따르면 채널 수를 증가시키지 않고 많은 수의 다이들을 테스트 할 수 있어 테스트 시간과 테스트 비용을 감소시킬 수 있어 대량의 다이를 포함한 웨이퍼 테스트에 효율적으로 이용될 수 있다.

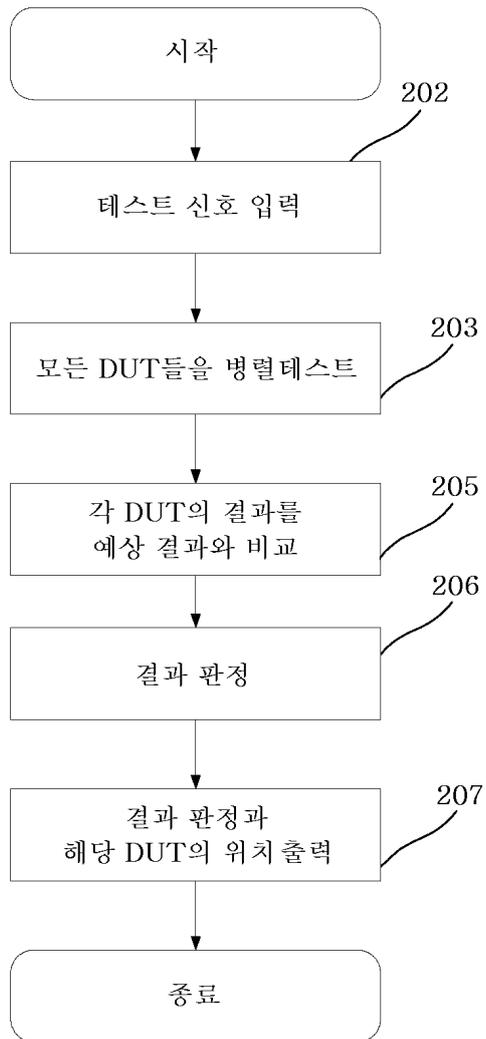
[0099] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

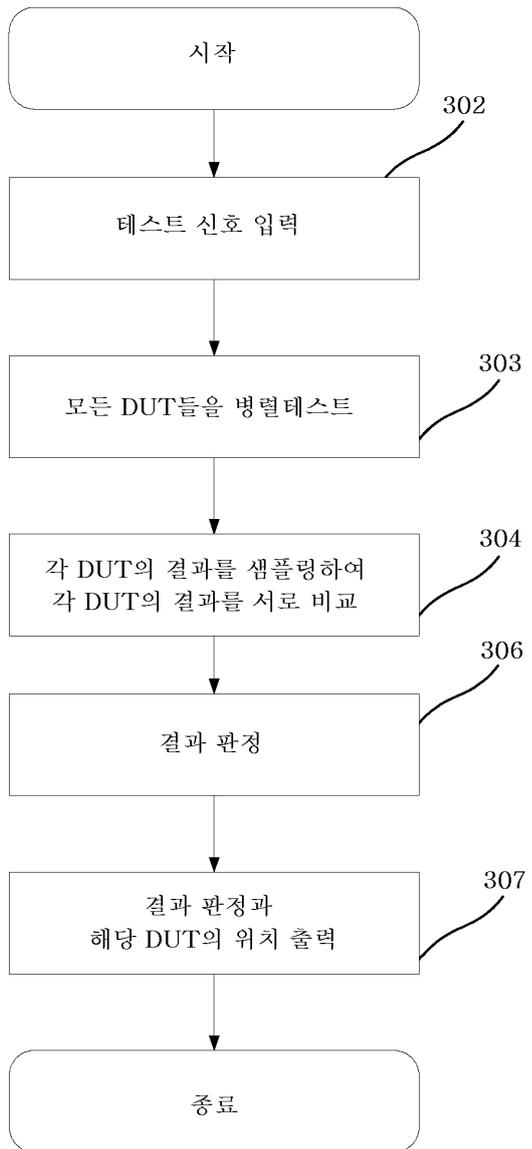
도면1



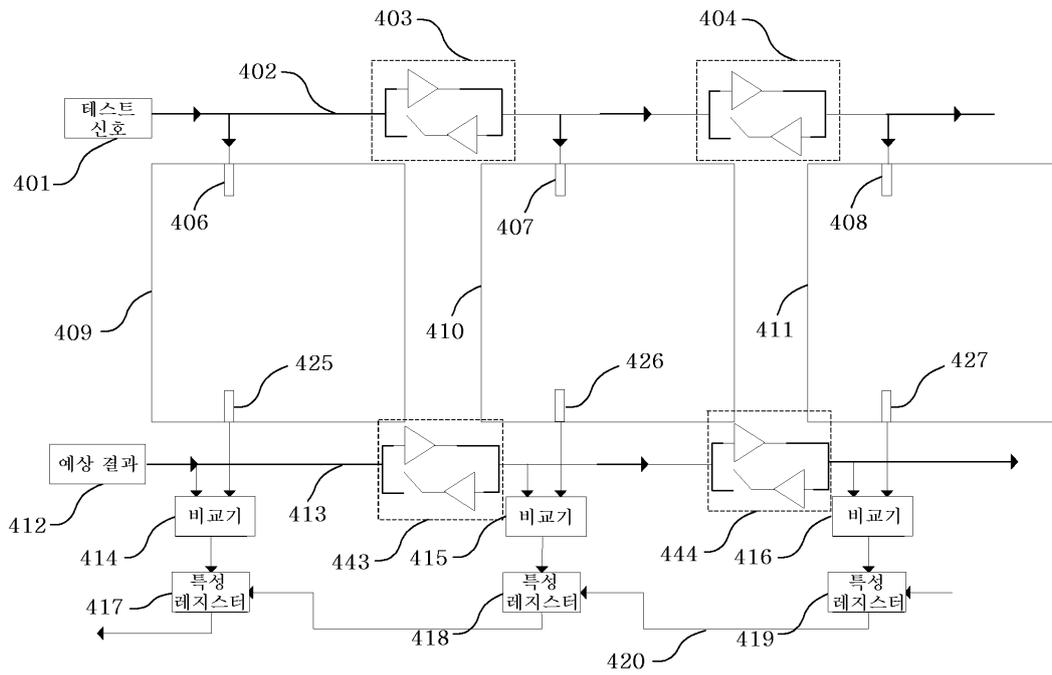
도면2



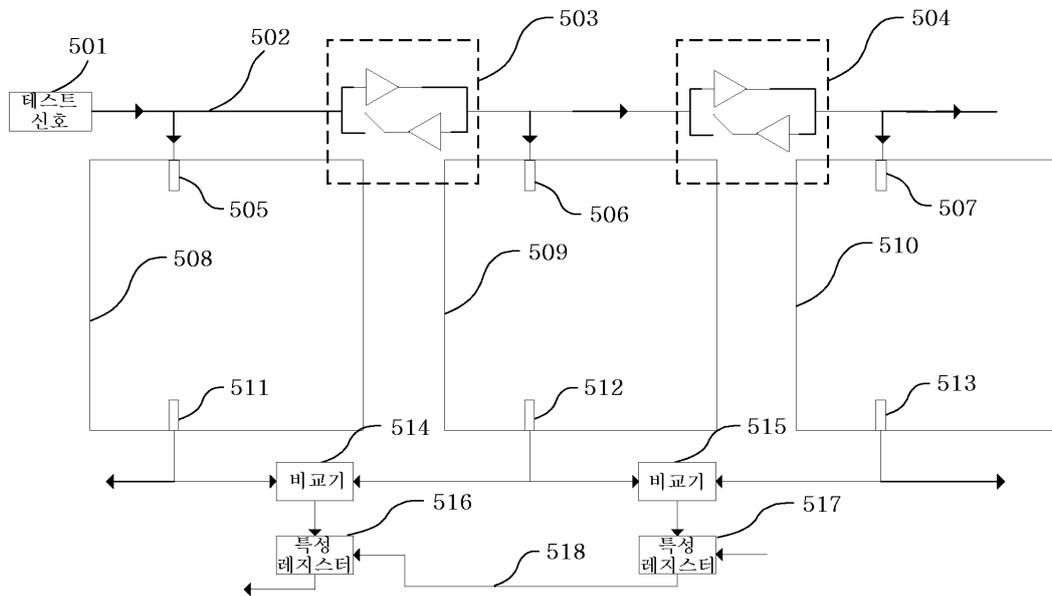
도면3



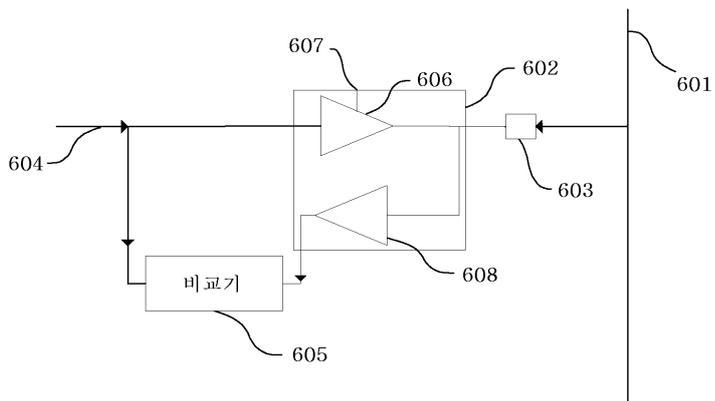
도면4



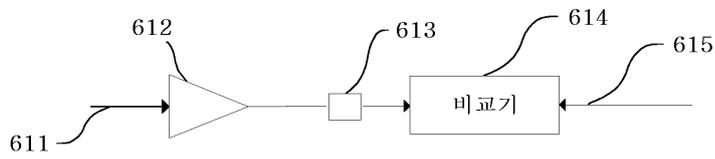
도면5



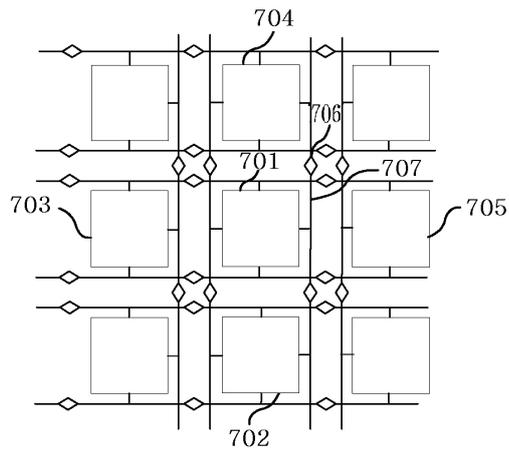
도면6a



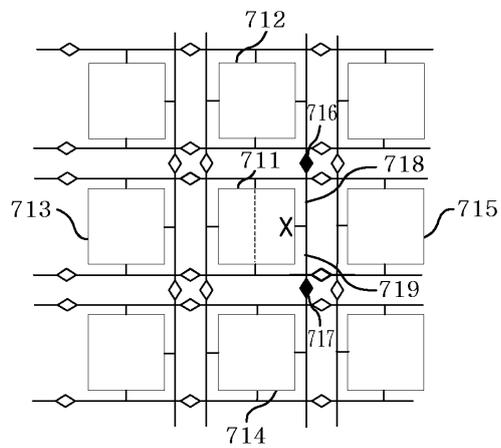
도면6b



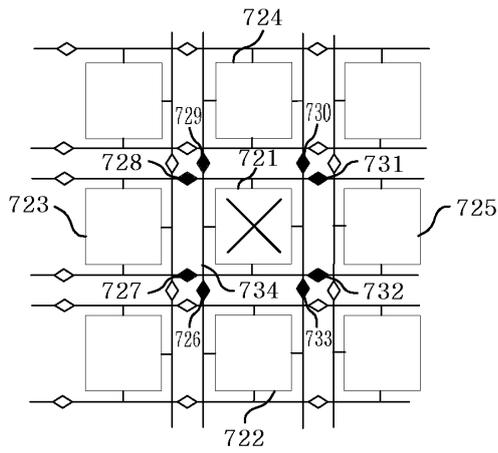
도면7a



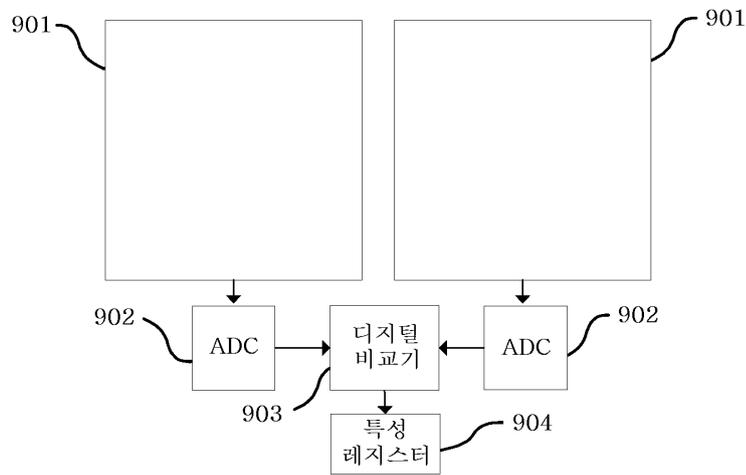
도면7b



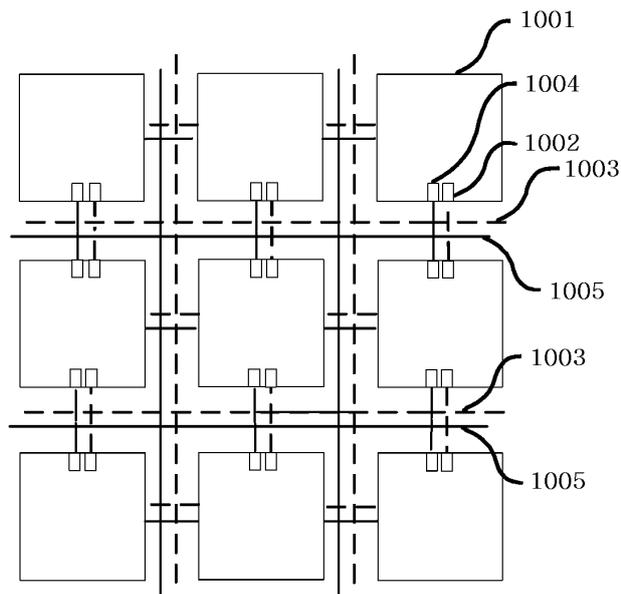
도면7c



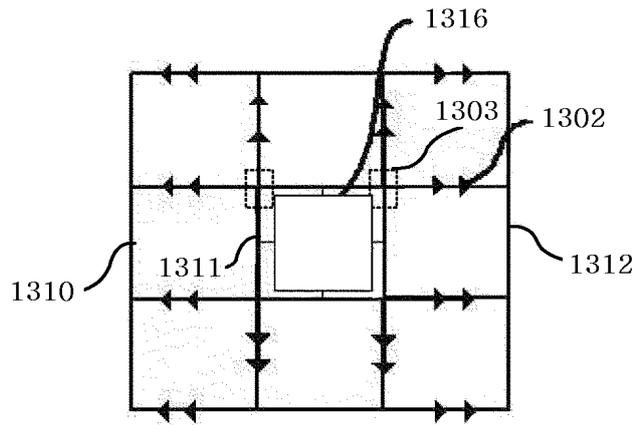
도면8



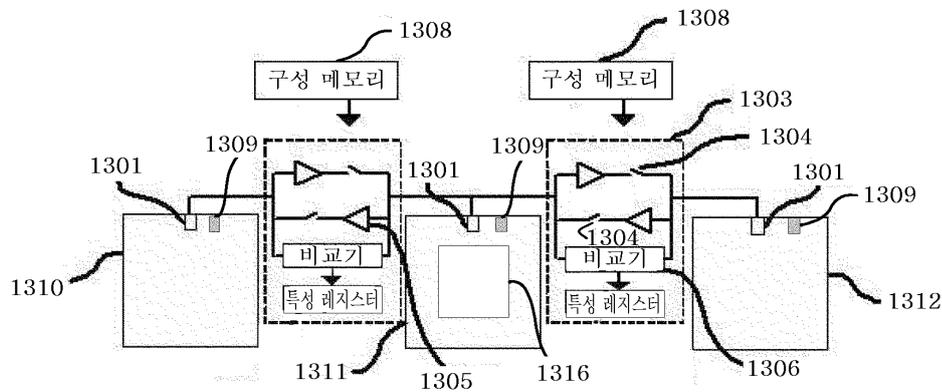
도면9



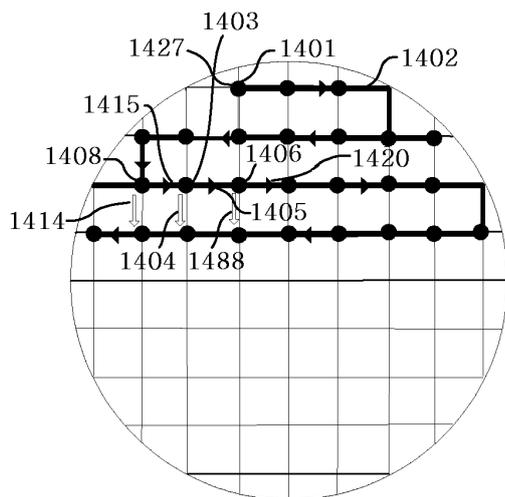
도면10a



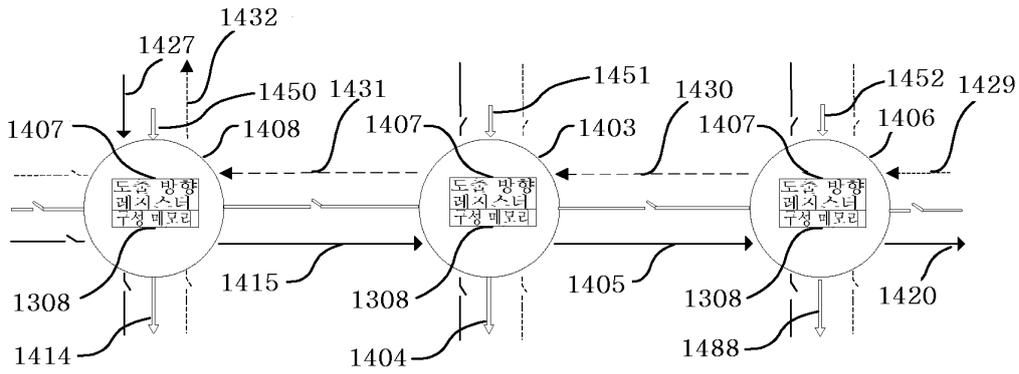
도면10b



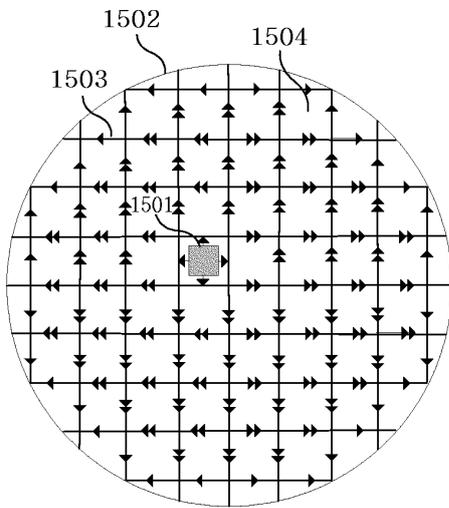
도면11a



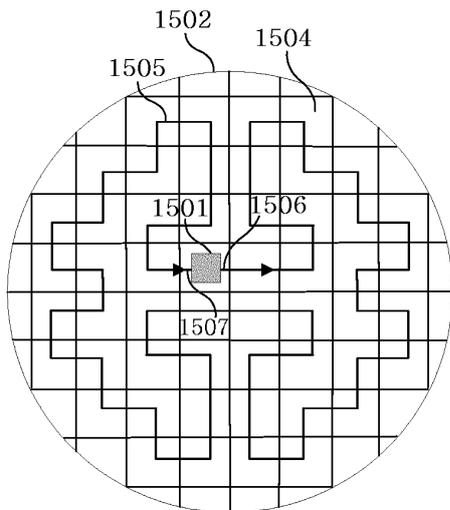
도면11b



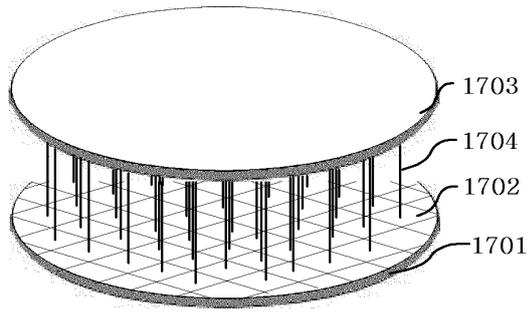
도면12a



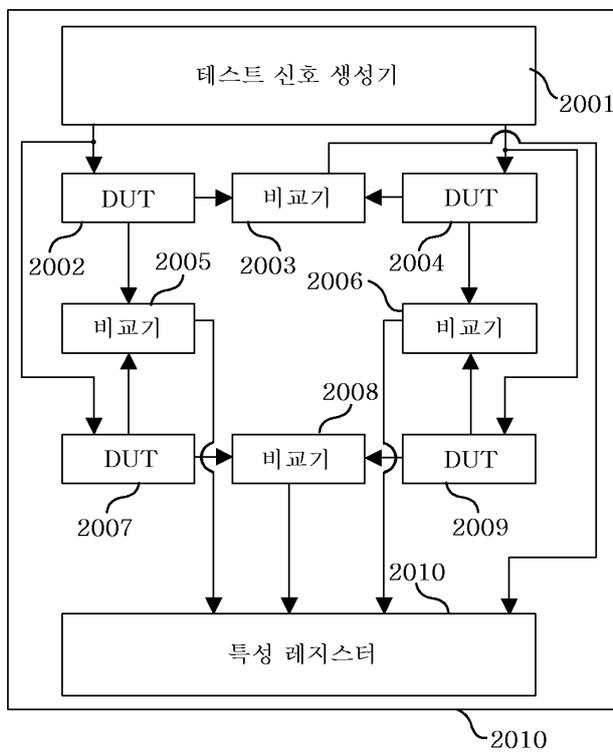
도면12b



도면13



도면14



도면15

