

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94124650

※申請日期：94.7.21

※IPC 分類：H05K 3/46

一、發明名稱：(中文/英文)

電路板結構及其製作方法

CIRCUIT BOARD STRUCTURE AND METHOD FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

全懋精密科技股份有限公司

PHOENIX PRECISION TECHNOLOGY CORPORATION

代表人：(中文/英文) 吳健漢 / WU, CHIEN HAN

住居所或營業所地址：(中文/英文)

新竹市科學園區力行路 6 號

No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu,
Taiwan, R. O. C.

國 籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 王杏如 / WANG, SHING-RU

2. 王仙壽 / WANG, HSIEN SHOU

3. 許詩濱 / HSU, SHIH-PING

國 籍：(中文/英文) 1. 至 3. 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電路板結構及其製作方法，更詳而言之，係有關於一種整合有散熱塊之電路板結構及其製作方法。

【先前技術】

隨著電子產業的蓬勃發展，電子產品亦逐漸邁入多功能、高性能的研發方向。為滿足半導體封裝件高積集度（Integration）以及微型化（Miniaturization）的封裝需求，提供多數主、被動元件及線路載接之電路板（Circuit Board）亦逐漸由單層板演變成多層板（Multi-layer Board）。

惟因電路板的線路層數以及元件密度提高，配合高度積集化（Integration）半導體晶片運作產生的熱量亦會大幅增加，這些熱量若不及時排除，將導致半導體封裝件過熱而嚴重威脅晶片壽命。

目前於電路板底部貼附散熱片的方法為業界使用最多。例如習知之底穴置晶型球柵陣型式封裝結構（Cavity-down ball grid array, CDBGGA），係為一種特殊形態的球柵陣列式封裝結構 10，如第 1 圖所示。主要係在一電路板 11 形成有一開口 113，並貼附有一散熱片 12，以將半導體晶片 13 接置於該散熱片 12 上且收納於該開口 113。其中該散熱件 12 的材質為一例如為銅之高導熱性材料，且其係貼附於該電路板 11 的第一表面 11a；而該半導

體晶片 13 具有一主動面 13a(Active surface)和一非主動面 13b(Inactive surface)。於組裝過程中，係將半導體晶片 13 接置於電路板 11 的開口 113 中，並將其非電性作用面黏結至散熱件 12，然後，進行一焊線製程，藉以利用焊線 14 將半導體晶片 13 電性連接至該電路板 11 第二表面 11b 之電性連接墊 114，接著進行一封裝膠體製程，藉此而形成封裝膠體 15 來完全包覆半導體晶片 13 和焊線 14，之後，進行一植球程序，藉此而於電路板 11 的第二表面 11b 上植置複數個焊球 16。此即完成該底穴置晶型球柵陣列式 (CDBGGA) 封裝結構。

上述封裝結構 10 雖然得以利用該散熱件 12 解決散熱問題，但一般為能夠將該焊球 16 順利焊結至外部印刷電路板，該焊球 16 配置高度必須大於該焊線 14 弧所佔高度，嚴重影響該電路板之線路佈局 (Routability) 與焊球 16 配置高度；另一方面，由於半導體晶片 13 周圍之線弧密度極高，極易造成焊線 14 因不慎觸接而產生短路 (Short)，故增加打線作業的困難度；再者，於進行模壓封膠製程時，係將完成佈設半導體晶片 13 與焊線 14 之電路板置於一封裝模具中，俾供一環氧樹脂 (Epoxy) 材料注入模具中而形成用以包覆該半導體晶片 13 與焊線 14 之封裝膠體 15，然而，於實際製程中，該模具由於受限於半導體封裝件之設計，故其模穴尺寸與夾壓位置勢必有所差異而造成無法緊密夾固等問題，俟注入樹脂材料時，容易導致封裝膠體 15 溢膠至該電路板表面，非但降低該半導體封裝件之表面平

整度與美觀，同時更可能污染該電路板上後續欲植置焊球 16 之焊墊位置，而影響該半導體封裝件之電性連接品質；況且，該樹脂材料於注膠時乃為一流體，於注入該模穴時將對該完成半導體晶片 13 與電路板電性連接之導線產生模流壓力，若注入速度控制不當時，即會因該壓力衝擊導線，使導線產生碰觸而發生短路問題，嚴重影響該半導體封裝件之生產品質及產品信賴度。

另外，此種做法係將散熱片 12 貼附於該電路板表面，因而使得封裝成品厚度增加，進而不利於封裝成品尺寸之縮小及性能的提高，亦不符合電子產品微型化之發展趨勢。

因此，如何提供一種具有良好散熱性之電路板結構及其製作方法，以避免習知技術中由於將散熱片貼附於電路板表面所引起的封裝成品尺寸無法縮小、電路板表面佈線難度增加等缺失，實已成為目前業界亟待解決之問題。

【發明內容】

鑒於上述習知技術的缺點，本發明之主要目的在於提供一種電路板結構及其製作方法，藉以提供接置其上之晶片良好散熱途徑，且得以縮小電路板尺寸。

本發明之另一目的在於提供一種電路板結構及其製作方法，藉以降低電路板表面佈線之難度。

為達上述目的，本發明提供一種電路板結構製作方法，係包括：於一承載板表面上形成多數導電凸塊，並於該承載板之表面形成第一防焊層，且令該第一防焊層填充於該等導電凸塊間之間隙中而露出該導電凸塊；於該第一

防焊層及該導電凸塊表面形成一導電層，並於該導電層上形成第一阻層，且令該第一阻層形成有多數開口以露出部分之該導電層；於該第一阻層開口中形成第一線路層及第一散熱塊；於該第一散熱塊、第一阻層及該第一線路層上形成第二阻層，且令該第二阻層形成有開口以露出該第一散熱塊；於外露出該第二阻層開口之第一散熱塊上形成第二散熱塊；移除該第二阻層、該第一阻層及該第一阻層所覆蓋之導電層，並對應於該第一、第二散熱塊位置外之該第一線路層及第一防焊層上形成一介電層；以及於該介電層上形成第二線路層，並於該第二散熱塊上形成第三散熱塊，且令該第二線路層得以電性連接至該第一線路層。

該電路板結構之製作方法復包括移除該承載板。另可於該第二線路層上形成第二防焊層，且該第二防焊層中形成有開口以露出該第二線路層中作為電性連接墊部分；或可因應電性設計需求，以於該第二線路層上持續進行線路增層製程，而形成多層線路結構。

依上述方法製得之電路板結構係包括：一具有第一表面及第二表面之介電層；一形成於該介電層中之散熱塊，該散熱塊係外露於該介電層之第一及第二表面，且凸出於該介電層第二表面；第一線路層，係嵌設於該介電層中且外露於該介電層第一表面；以及第二線路層，係形成於該介電層之第二表面上，且令該第二線路層電性連接至該第一線路層。其中該散熱塊之上下表面係分別與該第二及第一線路層齊平。

該電路板結構復包括：形成於該介電層第一表面之第一防焊層，且該第一防焊層具多數開口以外露出部分第一線路層；形成於該第一防焊層開口中之導電凸塊；以及形成於該第二線路層上之第二防焊層，且該第二防焊層具有開口以露出該第二線路層中作為電性連接墊部分。

相較於習知技術，本發明之電路板結構及其製作方法，主要係將散熱塊直接整合於佈設有第一線路層、介電層及第二線路層之電路板中，從而可降低所形成的電路板厚度，有利於封裝成品尺寸的縮小，藉以符合電子產品微型化之發展趨勢，而可適用於 CSP(chip size package) 級之半導體裝置，俾可避免習知技術中將散熱片貼附於電路板表面所引起的封裝產品厚度增加，封裝成品尺寸無法縮小等缺失。

同時，本發明係將散熱塊整合於電路板中，俾可避免習知技術中，散熱片貼附於電路板表面所引起的電路板表面佈線難度增加之缺失。

再者，本發明於電路板中整合有散熱塊，藉以形成具有高散熱性之電路板，以供後續將半導體晶片直接接置於該散熱塊上，俾可藉由該散熱塊及導電凸塊以將該半導體晶片運作時產生的熱量直接傳遞出去，提高電路板之散熱效果。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地

瞭解本發明之其他優點及功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同的觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 2A 至 2J 圖，係詳細說明本發明之電路板結構之製作方法第一實施例之剖面示意圖。

如第 2A 圖所示，首先提供一承載板 20，並於該承載板 20 上形成多數個導電凸塊 21，其係可於該承載板 20 上形成一阻層（未圖示），且令該阻層形成多數開口以露出其下部分之承載板，接著於該阻層開口中之承載板 20 上形成多數導電凸塊 21，並移除該阻層，藉以透過該導電凸塊 21 而供後續形成的電路板結構與外部電子裝置電性導接。於本實施例中，該導電凸塊 21 係可由焊錫材料或其它金屬材料所製成，且該承載板 20 可為金屬板，藉以透過電鍍方式形成該導電凸塊 21。

接著，於該承載板 20 上形成第一防焊層 22，且令該第一防焊層 22 之材料填充於該等導電凸塊 21 之間間隙中而外露出該等導電凸塊 21。

如第 2B 圖所示，於該第一防焊層 22 以及該導電凸塊 21 上形成一導電層 23，該導電層 23 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，或可使用導電高分子材料以作為該導電層 23。

如第 2C 圖所示，接著於該導電層 23 上形成圖案化之

第一阻層 24，俾使該第一阻層 24 覆蓋住部分之該導電層 23。該第一阻層 24 可為一例如乾膜或液態光阻等光阻層 (Photoresist)，其係利用印刷、旋塗或貼合等方式形成於該導電層 23 表面，再藉由曝光、顯影等製程加以圖案化，以使該第一阻層 24 僅覆蓋住部分之導電層 23，而外露出複數個欲電鍍形成線路與散熱塊之開口 240。

如第 2D 圖所示，接著，進行電鍍 (Electroplating) 製程，藉由該導電層 23 具導電特性，俾在進行電鍍時可作為電流傳導路徑，以在該等欲電鍍開口 240 中電鍍形成第一線路層 25 及第一散熱塊 251。

如第 2E 圖所示，於該第一散熱塊 251、第一阻層 24 及該第一線路層 25 上形成第二阻層 26，且該第二阻層 26 中形成有開口 260 以露出該第一線路層 25 中之第一散熱塊 251。該第二阻層 26 可為一例如乾膜或液態光阻等光阻層 (Photoresist)，其係利用印刷、旋塗或貼合等方式形成於該第一阻層 24 及該第一線路層 25 表面，再藉由曝光、顯影等製程加以圖案化以形成外露出該第一線路層 25 中之第一散熱塊 251。接著進行電鍍製程，以於外露出該第二阻層 26 開口 260 中之第一散熱塊 251 上形成第二散熱塊 252。

如第 2F 圖所示，移除該第二阻層 26、該第一阻層 24 以及該第一阻層 24 所覆蓋之導電層 23。

如第 2G 圖所示，對應於該第一及第二散熱塊 251, 252 位置外之該第一線路層 25 及第一防焊層 22 上形成一介電

層 28，且於該介電層 28 中利用例如雷射鑽孔(laser drill)、電漿蝕孔或機械鑽孔方式形成盲孔 280，以露出其下部分之該第一線路層 25。該介電層 28 係由 FR-4 樹脂、FR-5 樹脂、環氧樹脂(Epoxy)、聚酯樹脂(Polyesters)、氰脂(Cyanate ester)、聚乙醯胺(Polyimide)、雙順丁烯二酸醯亞胺/三氮吡(BT, Bismaleimide triazine)或混合環氧樹脂、玻璃纖維(Glass fiber)等絕緣性材料製成。

如第 2H 圖所示，於該介電層 28、該第二散熱塊 252 以及該盲孔 280 表面上形成一導電層 29，該導電層 29 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，或可為導電高分子材料而構成者。

並於該導電層 29 上形成圖案化之第三阻層 30，俾使該第三阻層 30 覆蓋住部分之該導電層 29。該第三阻層 30 可為一例如乾膜或液態光阻等光阻層(Photoresist)，其係利用印刷、旋塗或貼合等方式形成於該導電層 29 表面，再藉由曝光、顯影等製程加以圖案化，以使該第三阻層 30 形成複數欲電鍍形成線路與散熱塊之開口 300，其中至少一開口 300 位置係對應於該第二散熱塊 252 位置。

如第 2I 圖所示，進行電鍍製程，藉由該導電層 29 具導電特性，俾在進行電鍍時可作為電流傳導路徑，以於該第三阻層開口 300 內電鍍形成第三散熱塊 253、第二線路層 31 及導電盲孔 280a。該第二線路層 31 透過形成於該介

電層 28 中之導電盲孔 280a 與該第一線路層 25 進行電性連接，之後移除該第三阻層 30 及其所覆蓋之導電層 29。

如第 2J 圖所示，於該第二線路層 31 上形成第二防焊層 32，且該第二防焊層 32 具有開口 320 以露出該第三散熱塊 253 以及該第二線路層中作為電性連接墊 311 部分。另可於該電性連接墊 311 上形成一例如鎳/金層之金屬保護層(未圖示)。之後移除該承載板 20，藉以形成一埋設有散熱塊之電路板結構。

透過本發明之電路板結構第一實施例之製作方法所得之電路板結構主要係包括：一具有第一表面 28a 及第二表面 28b 之介電層 28；複數個堆疊散熱塊係嵌埋於該介電層 28 中且凸出於該介電層 28 之第二表面 28b；其中，該複數堆疊散熱塊係包含有嵌埋於該介電層 28 中之第一散熱塊 251、第二散熱塊 252 及凸出於該介電層 28 第二表面 28b 之第三散熱塊 253，一嵌設於該介電層 28 中且與該介電層 28 第一表面 28a 齊平之第一線路層 25；以及一形成於該介電層 28 第二表面 28b 上且與第一線路層 25 電性連接之第二線路層 31；其中，該第一線路層 25 係透過形成於該介電層 28 中之導電盲孔 280a 電性連接至該第二線路層 31。

上述該介電層 28 之第一表面 28a，係覆蓋有第一防焊層 22，且該第一防焊層 22 具多數開口 22a 以外露出部分該第一線路層 25 及第一散熱塊 251，另於該第一防焊層 22 之開口 22a 中形成有導電凸塊 21，該導電凸塊 21 高度係

與該第一防焊層 22 表面齊平，且其材質可為焊錫材料或金屬材料。該介電層 28 之第二表面 28b 及第二線路層 31 上復覆蓋有第二防焊層 32，且該第二防焊層 32 具有開口 320 以露出該第三散熱塊 253 及該第二線路層 31 中作為電性連接墊 311 部分。另該第二線路層 31 上未被該第二防焊層 32 覆蓋之部分以及該第三散熱塊 253 之表面復可形成有一金屬保護層，該金屬保護層係可為鎳/金層。

請參閱第 3A 及第 3B 圖所示，係為本發明之電板結構之製作方法第二實施例之剖面示意圖。於本發明之第二實施例中，主要係可於前述第一實施例之第二線路層 31 上進行線路增層製程，以形成所需電性設計之電路板。

如第 3A 圖所示，在第一實施例中所製備一已佈有第一線路層 25、第二線路層 31、第一、第二、第三散熱塊 251, 252, 253、介電層 28、第一防焊層 22 及多數導電凸塊 21 之承載板 20 上(請參閱第 2I 圖所示)，對應在該第二線路層 31 及第三散熱塊 253 上進行線路增層製程，以在該第二線路層 31 上形成一線路增層結構 34，並令該線路增層結構 34 電性連接至該第二線路層 31，同時持續堆高該散熱塊之厚度，以於該第三散熱塊 253 上形成第四散熱塊 254。

該線路增層結構 34 係包括：介電層 340，疊置於該介電層 340 上之線路層 342 以及穿過該介電層 340 以電性連接至該線路層 342 之導電盲孔 342a，且該等多數個導電盲孔 342a 得以電性連接至該第二線路層 31。而在該線路增

層結構 34 之外表面之線路層上則形成有多數電性連接墊 344。

如第 3B 圖所示，於該線路增層結構 34 之外層線路層上及第四散熱塊 254 上形成第二防焊層 32，該第二防焊層 32 係具有多數開口以外露出該外層線路層之電性連接墊 344 及第四散熱塊 254，藉以可供後續將半導體晶片（未圖示）接置於該第四散熱塊 254 上，並透過該散熱塊及導電凸塊以逸散晶片運作時所產生之熱量。另可於該第二防焊層 32 開口中之電性連接墊 344 上形成一例如鎳/金金屬之金屬保護層（未圖示）。之後即可移除該承載板 20，藉以完成一埋設有散熱塊之電路板結構。

因此，本發明之電路板結構及其製作方法，主要係提供一表面形成有多數導電凸塊之承載板，且於該承載板表面形成第一防焊層，以使該第一防焊層材料填充於該等導電凸塊間之間隙中而露出該等導電凸塊；接著於該第一防焊層及該導電凸塊上形成第一線路層及第一散熱塊；再於該第一散熱塊上形成第二散熱塊，並對應於該第一、第二散熱塊外之第一線路層及第一防焊層上形成一介電層，以於該介電層上形成第二線路層，且使該第二線路藉由導電盲孔電性連接至該第一線路層，藉以將散熱塊整合於電路板中，俾可使電路板厚度降低，且有利於封裝成品尺寸之縮小及性能之提高，進而符合電子產品微型化之發展趨勢，俾可避免習知技術中將散熱片貼附於電路板表面所引起的封裝產品厚度增加，封裝成品尺寸無法縮小等缺失。

同時，本發明係於電路板中嵌設有散熱塊，無須佔據電路板表面之佈線面積，因而有利於提升電路板表面佈線之靈活性，俾可避免習知技術中，散熱片貼附於電路板表面所引起的電路板表面佈線難度增加之缺失。

再者，本發明係將散熱塊整合於電路板中，藉以形成具高散熱性之電路板，以供後續將半導體晶片直接接置於該散熱塊上，俾可藉由該散熱塊將該半導體晶片運作時產生的熱量直接傳遞出去，提高電路板之散熱效果。

以及，於本發明之電路板結構之第二線路層上，復可進行線路增層製程，藉以在該第二線路層上形成高密度及細線路之多層線路結構。

上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第1圖係為習知底穴置晶型球柵陣型式封裝結構之剖面示意圖；

第2A至2J圖係為本發明之電路板結構之製作方法第一實施例之剖面示意圖；以及

第3A及3B圖係為本發明之電路板結構之製作方法第二實施例之剖面示意圖。

【主要元件符號說明】

I279175

- 10 封裝結構
- 113、22a、240、260、300、320 開口
- 114、311、344 電性連接墊
- 11a、28a 第一表面
- 11b、28b 第二表面
- 11 電路板
- 12 散熱件
- 13a 主動面
- 13b 非主動面
- 13 半導體晶片
- 14 焊線
- 15 封裝膠體
- 16 焊球
- 20 承載板
- 21 導電凸塊
- 22 第一防焊層
- 23、29 導電層
- 24 第一阻層
- 251 第一散熱塊
- 252 第二散熱塊
- 253 第三散熱塊
- 254 第四散熱塊
- 25 第一線路層
- 26 第二阻層

I279175

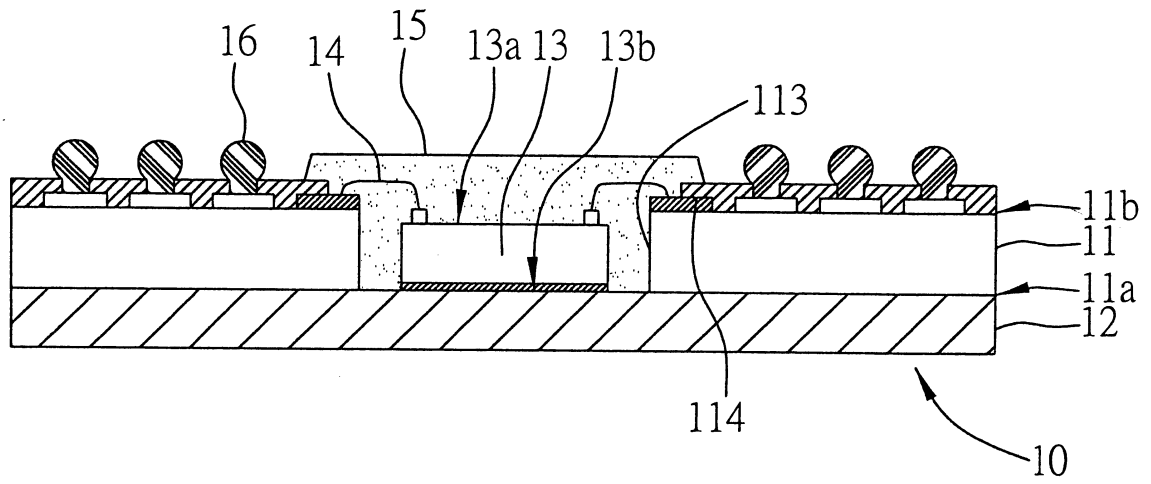
- 28、340 介電層
- 280a、342a 導電盲孔
- 280 盲孔
- 30 第三阻層
- 31 第二線路層
- 32 第二防焊層
- 342 線路層
- 34 線路增層結構

五、中文發明摘要：

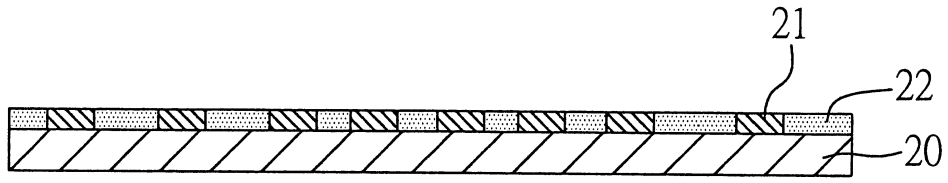
一種電路板結構及其製作方法，主要係在承載板表面上形成多數導電凸塊與第一防焊層，並使該第一防焊層填充於該等導電凸塊間之間隙中而露出該導電凸塊；於該第一防焊層及該導電凸塊上形成第一線路層及第一散熱塊；於該第一散熱塊上形成第二散熱塊，且於該第一、第二散熱塊外之該第一線路層及第一防焊層上形成一介電層；以及於該介電層上形成得以電性連接至第一線路層之第二線路層，且於該第二散熱塊上形成第三散熱塊，以將後續供接置晶片之散熱塊嵌設於該介電層中，進而降低所欲形成之電路板尺寸，以符合電子產品微型化之發展趨勢。

六、英文發明摘要：

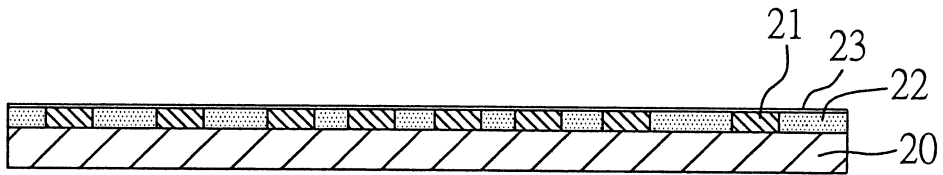
A circuit board structure and a method for fabricating the same are proposed. A plurality of conductive bumps and a first solder mask are formed on a carrier board, and the first solder mask is filled in the gaps between the conductive bumps and the conductive bumps are exposed. A first circuit layer and a first heat sink are formed on the first solder mask and the conductive bumps. A second heat sink is formed on the first heat sink, and a dielectric layer is formed on the first circuit layer and the first solder mask except the first and second heat sinks. A second circuit layer is formed on the dielectric layer and is electrically conducted to the first circuit layer. A third heat sink is formed on the second heat sink and a heat sink used for a chip mounting thereon is embedded in the dielectric layer. Therefore, the size of the circuit board is reduced and it is conformed to the size shrunk progress of electronic devices.



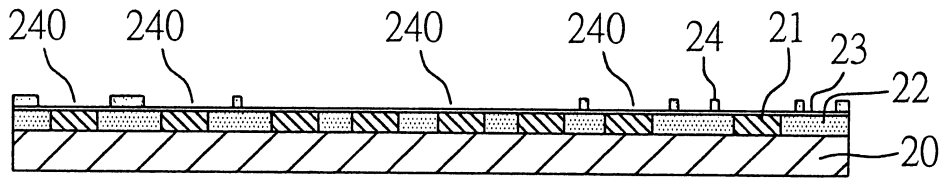
第 1 圖
(先前技術)



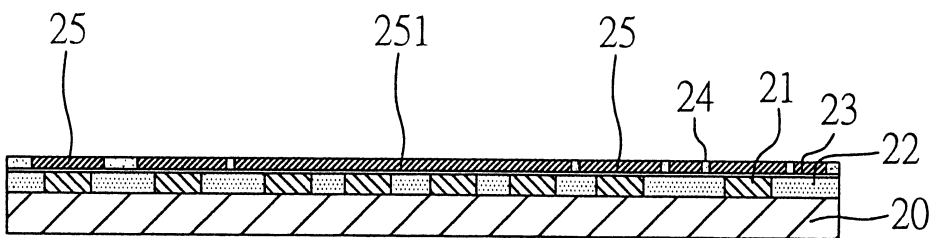
第 2A 圖



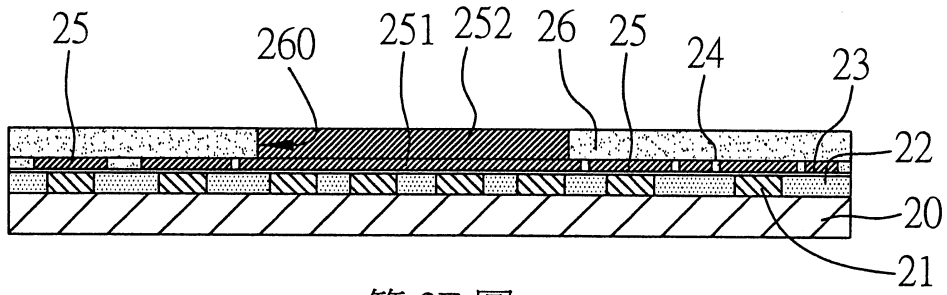
第 2B 圖



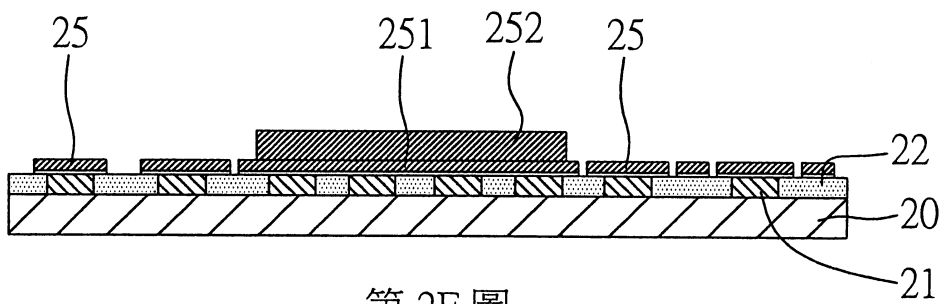
第 2C 圖



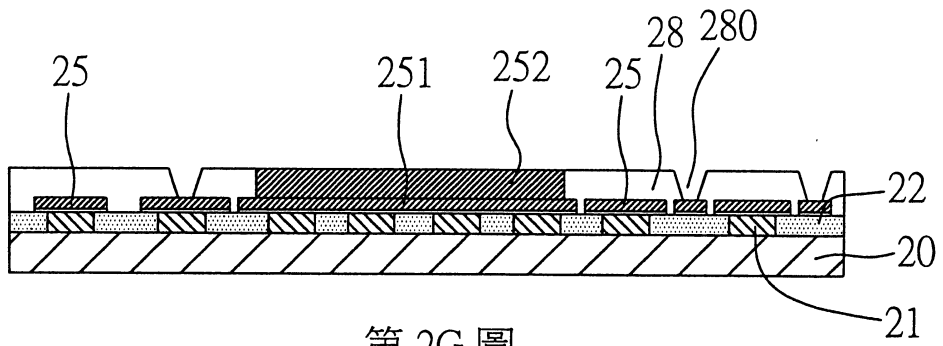
第 2D 圖



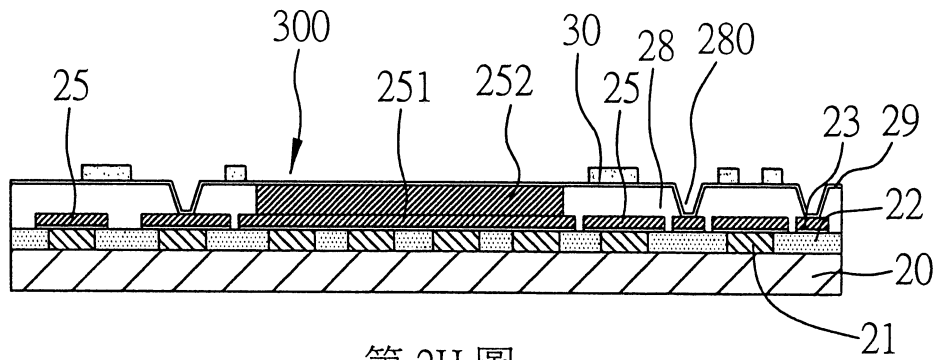
第 2E 圖



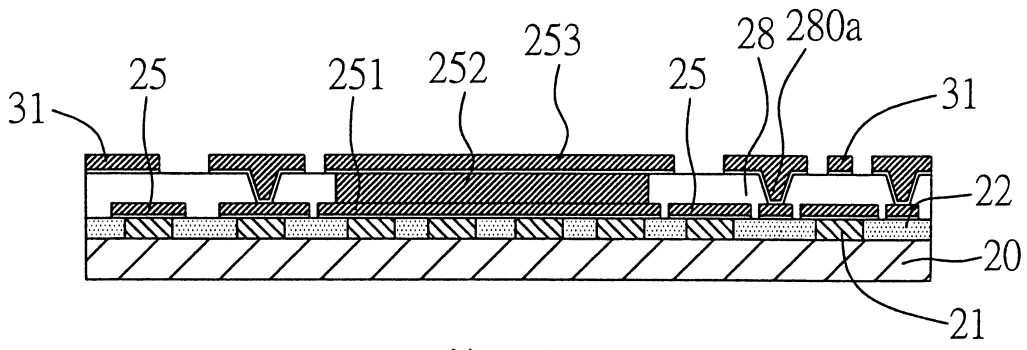
第 2F 圖



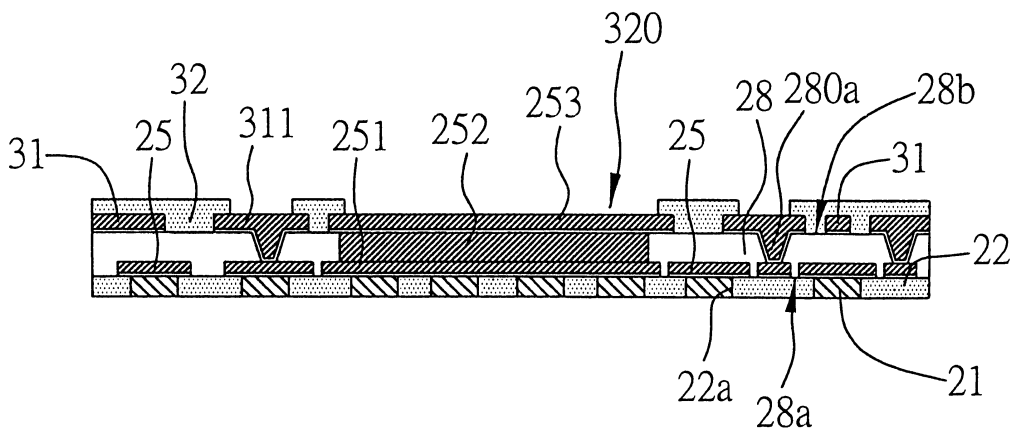
第 2G 圖



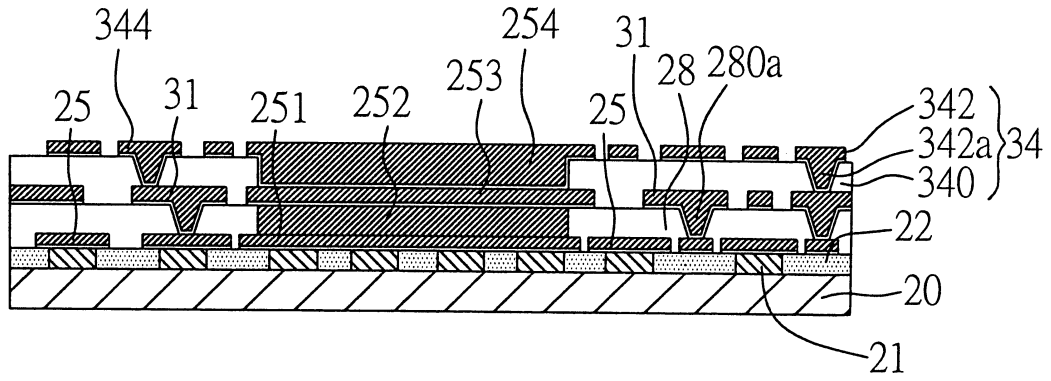
第 2H 圖



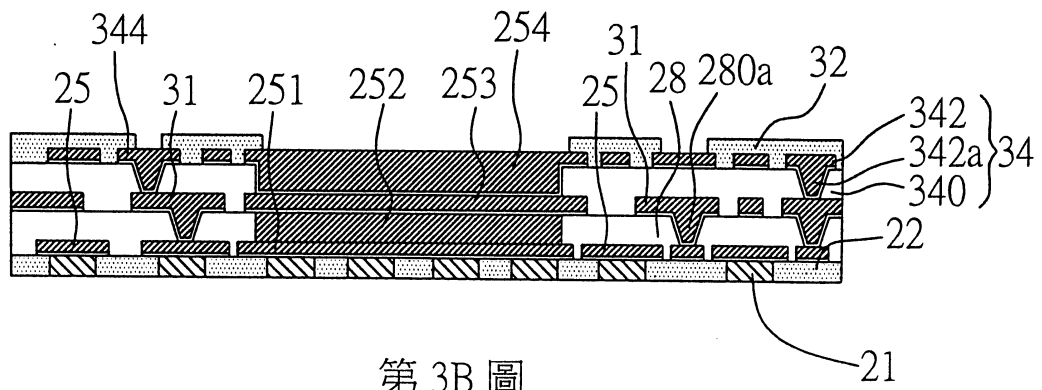
第 2I 圖



第 2J 圖



第 3A 圖



第 3B 圖

七、指定代表圖：

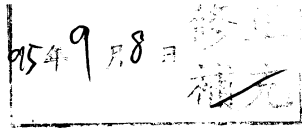
(一)本案指定代表圖為：第(2I)圖。

(二)本代表圖之元件代表符號簡單說明：

20	承載板
21	導電凸塊
22	第一防焊層
251	第一散熱塊
252	第二散熱塊
253	第三散熱塊
25	第一線路層
28	介電層
280a	導電盲孔
31	第二線路層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。



第 94124650 號專利申請案

申請專利範圍修正本

(95 年 9 月 8 日)

1. 一種電路板結構之製作方法，係包括：

於一承載板表面上形成多數導電凸塊與第一防焊層，並令該第一防焊層填充於該等導電凸塊間之間隙中而露出該等導電凸塊；

於該第一防焊層及導電凸塊表面形成一導電層，並於該導電層上形成第一阻層，且令該第一阻層形成有多數開口以露出部分導電層；

於該第一阻層開口中形成第一線路層及第一散熱塊；

於該第一散熱塊、第一阻層及該第一線路層上形成第二阻層，且令該第二阻層形成有開口以露出該第一散熱塊；

於外露出該第二阻層開口之第一散熱塊上形成第二散熱塊；

移除該第二阻層、該第一阻層及該第一阻層所覆蓋之導電層，並對應於該第一及第二散熱塊外之該第一線路層及第一防焊層上形成一介電層；以及

於該第二散熱塊上形成第三散熱塊，且於該介電層上形成第二線路層，並令該第二線路層得以電性連接至該第一線路層。

2. 如申請專利範圍第 1 項之電路板結構之製作方法，其

中，該導電凸塊之製程係為：

於該承載板上形成一阻層，且該阻層形成複數個開口；以及

於該阻層開口中形成導電凸塊。

3. 如申請專利範圍第 2 項之電路板結構之製作方法，復包括移除該阻層。

4. 如申請專利範圍第 1 項之電路板結構之製作方法，其中，該導電凸塊係由焊錫材料及金屬材料之其中一者所製成。

5. 如申請專利範圍第 1 項之電路板結構之製作方法，其中，該第二線路層之製程係為：

於該介電層中形成多數盲孔以露出其下部分之第一線路層；

於該介電層、該第二散熱塊及該盲孔表面形成一導電層；

於該導電層上形成一第三阻層，且該第三阻層中形成複數開口；以及

於該第三阻層開口中電鍍形成第二線路層、導電盲孔及第三散熱塊，該第二線路層係透過形成於該介電層中之導電盲孔電性連接至該第一線路層，且該第三散熱塊係對應形成於該第二散熱塊上。

6. 如申請專利範圍第 5 項之電路板結構之製作方法，復包括移除該第三阻層及其所覆蓋之導電層。

7. 如申請專利範圍第 1 項之電路板結構之製作方法，復包

括：

於該第二線路層上形成第二防焊層，且該第二防焊層具有開口以露出該第三散熱塊以及該第二線路層中作為電性連接墊部分；以及

移除該承載板。

8. 如申請專利範圍第 7 項之電路板結構之製作方法，其中，該電性連接墊表面形成有金屬保護層。

9. 如申請專利範圍第 1 項之電路板結構之製作方法，復包括：

於該第二線路層及第三散熱塊上進行線路增層製程，以在該第二線路層上形成線路增層結構及堆高該散熱塊厚度，該線路增層結構外表面之線路層上形成有多數電性連接墊；

於該線路增層結構及散熱塊外表面形成第二防焊層，且令該第二防焊層形成開口以露出該電性連接墊及散熱塊；以及

移除該承載板。

10. 如申請專利範圍第 9 項之電路板結構之製作方法，其中，該電性連接墊表面形成有金屬保護層。

11. 一種電路板結構，係包括：

一具有第一表面及第二表面之介電層；

複數個堆疊散熱塊係嵌埋於該介電層中且凸出於該介電層之第二表面；

一嵌設於該介電層中且與該介電層第一表面齊平

之第一線路層；以及

一形成於該介電層第二表面上且與第一線路層電性連接之第二線路層；其中，該第一線路層係透過形成於該介電層中之導電盲孔電性連接至該第二線路層。

12. 如申請專利範圍第 11 項之電路板結構，其中，該複數堆疊散熱塊係包括嵌埋於該介電層中之第一、第二散熱塊及凸出於該介電層第二表面之第三散熱塊。

13. 如申請專利範圍第 11 項之電路板結構，復包括：

覆蓋於該介電層第一表面及第一線路層上之第一防焊層，且該第一防焊層具多數開口以外露出部分該第一線路層；以及

形成於該第一防焊層之開口中之導電凸塊。

14. 如申請專利範圍第 13 項之電路板結構，其中，該導電凸塊之材質為焊錫材料及金屬材料之其中之一者。

15. 如申請專利範圍第 12 項之電路板結構，復包括有形成於該介電層之第二表面、第二線路層及第三散熱塊上之第二防焊層，且該第二防焊層具有開口以露出該第三散熱塊及該第二線路層中作為電性連接墊部分。

16. 如申請專利範圍第 15 項之電路板結構，其中，該電性連接墊表面形成有金屬保護層。

17. 如申請專利範圍第 12 項之電路板結構，其中，該介電層第二表面及第二線路層上復形成有線路增層結構，且該第三散熱塊上亦堆積有散熱塊。

18. 如申請專利範圍第 17 項之電路板結構，其中，該線路

增層結構上復形成一防焊層，且該防焊層具有多數開口以露出該線路增層結構外表面之線路層上之電性連接墊。

19. 如申請專利範圍第 18 項之電路板結構，其中，該電性連接墊表面係形成有金屬保護層。