



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월15일  
(11) 등록번호 10-2387464  
(24) 등록일자 2022년04월12일

(51) 국제특허분류(Int. Cl.)  
G01R 31/28 (2006.01) G01R 15/24 (2006.01)  
(52) CPC특허분류  
G01R 31/2853 (2013.01)  
G01R 15/241 (2013.01)  
(21) 출원번호 10-2017-0132750  
(22) 출원일자 2017년10월12일  
심사청구일자 2020년08월26일  
(65) 공개번호 10-2019-0041317  
(43) 공개일자 2019년04월22일  
(56) 선행기술조사문헌  
JP2012198194 A  
KR1020100057258 A  
KR1020120037352 A  
KR1020080061790 A

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김성열  
경기도 용인시 기흥구 구성3로 65, 308동 1202호  
(청덕동, 휴먼시아물푸레마을3단지아파트)  
김재홍  
서울특별시 강남구 도곡로93길 12, 202동 307호(대치동, 래미안 대치 하이스턴)  
(뒷면에 계속)  
(74) 대리인  
리앤목특허법인

전체 청구항 수 : 총 20 항

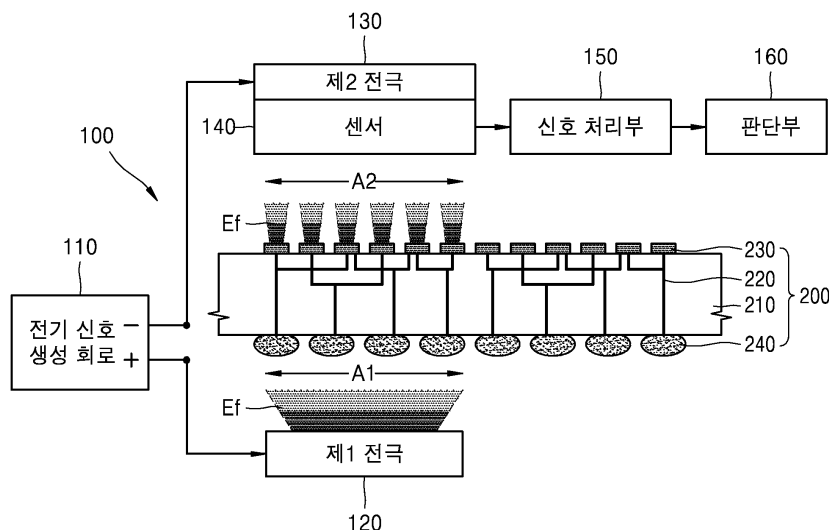
심사관 : 이병수

(54) 발명의 명칭 배선 회로 테스트 장치 및 방법과, 그 방법을 포함한 반도체 소자 제조방법

(57) 요약

본 발명의 기술적 사상은 전기적인 접촉이 어려운 제품을 테스트할 수 있고, 또한, 많은 배선 회로의 수를 갖는 제품을 고속으로 테스트할 수 있는 배선 회로 테스트 장치 및 방법과, 그 방법을 포함한 반도체 소자 제조방법을 제공한다. 그 배선 회로 테스트 장치는 전계 생성용 전기신호를 생성하는 전기신호 생성회로; 상면 및 하면을 구비하고 배선 회로가 형성된 기판의 제1 영역 상에 배치된 제1 전극; 상기 기판의 제2 영역 상에 배치된 제2 전극; 및 상기 제1 전극과 제2 전극을 통해 상기 전기신호를 상기 기판에 인가하여 상기 제1 영역 또는 제2 영역에서 방출된 전계를 검출하는 센서;를 포함한다.

대표도 - 도1a



(52) CPC특허분류

**G01R 31/2884** (2013.01)

(72) 발명자

**이경민**

경기도 과천시 별양로 180, 809동 1204호(부림동,  
주공아파트)

**임미현**

서울특별시 영등포구 당산로42길 16, 501동 2001  
호(당산동4가, 당산현대5차아파트)

## 명세서

### 청구범위

#### 청구항 1

전계 생성용 전기신호를 생성하는 전기신호 생성회로;

상면 및 하면을 구비하고 배선 회로가 형성된 기판의 제1 영역 상에 배치된 제1 전극;

상기 기판의 제2 영역 상에 배치된 제2 전극; 및

상기 제1 전극과 제2 전극을 통해 상기 전기신호를 상기 기판에 인가하여 상기 제1 영역 또는 제2 영역에서 방출된 전계를 검출하는 센서;를 포함하는 배선 회로 테스트 장치.

#### 청구항 2

제1 항에 있어서,

상기 제1 전극 및 제2 전극 중 적어도 하나는 상기 전계의 방사 형태를 형성(forming)하기 위하여 평판 형태를 가지며,

상기 제1 전극 및 제2 전극은 상기 기판의 상면 또는 하면 상에 함께 배치거나, 또는 상기 기판을 사이에 두고 배치된 것을 특징으로 하는 배선 회로 테스트 장치.

#### 청구항 3

제1 항에 있어서,

상기 센서는 전류 미터를 이용한 센서이고,

상기 센서는, 상기 전류 미터의 하부에 배치된 안테나를 이용하여 전계를 수신하고, 상기 전류 미터로 수신된 전계에 대한 전류를 측정하여, 상기 전계를 검출하는 것을 특징으로 하는 배선 회로 테스트 장치.

#### 청구항 4

제1 항에 있어서,

상기 센서는 전기-광학(electro-optic) 결정을 이용한 센서이고,

상기 전기-광학 결정은, 상기 기판과 상기 제1 전극 또는 제2 전극 사이에 배치되고, 상기 기판을 향하는 면에 반사판이 형성되며, 상기 전계의 세기에 따라 굴절률이 변하거나 결정의 방향이 변하는 것을 특징으로 하는 배선 회로 테스트 장치.

#### 청구항 5

제4 항에 있어서,

상기 전기-광학 결정이 배치된 상기 제1 전극 또는 제2 전극은 투명하고,

상기 센서는, 상기 전기-광학 결정, 광을 생성하는 조명부, 상기 조명부로부터의 광을 상기 전기-광학 결정으로 입사시키고 상기 전기-광학 결정에서 반사된 광을 전기-광학 변환부로 입사시키는 광학 소자, 및 상기 광학 소자로부터 입사된 광을 전기신호로 변환하는 상기 전기-광학 변환부를 포함하고,

상기 전기-광학 결정과 상기 광학 소자 사이에 배치된 상기 제1 전극 또는 제2 전극은 투명한 것을 특징으로 하는 배선 회로 테스트 장치.

#### 청구항 6

제1 항에 있어서,

상기 센서는, 상기 제1 영역 또는 제2 영역의 전체를 커버하는 형태를 갖거나 또는 일부를 커버하는 형태를 가

지며,

상기 센서가 상기 제1 영역 또는 제2 영역의 일부를 커버하는 형태를 갖는 경우, 상기 센서는 상기 제1 영역 또는 제2 영역을 스캔하여 전계를 검출하는 것을 특징으로 하는 배선 회로 테스트 장치.

**청구항 7**

제1 항에 있어서,

상기 제1 전극, 제2 전극, 및 센서 중 적어도 하나는 상기 기판으로부터 이격되어 배치된 것을 특징으로 하는 배선 회로 테스트 장치.

**청구항 8**

제1 항에 있어서,

상기 센서로부터의 검출된 전계 데이터로부터 상기 배선 회로의 패드별 전계 세기와 대응하는 배선의 저항값을 계산하는 신호 처리부; 및

상기 전계 세기 및 저항값에 기초하여 배선 회로의 이상 여부를 판단하는 판단부;를 포함하는 배선 회로 테스트 장치.

**청구항 9**

전계 생성용 전기신호를 생성하고, 전계를 측정하는 장치 본체;

상기 장치 본체에 전기적으로 연결되고, 배선 회로가 형성된 배선 회로 기판의 제1 영역 상에 배치된 제1 전극;

상기 장치 본체에 전기적으로 연결되고, 상기 배선 회로 기판의 제2 영역 상에 배치되며, 상기 제1 전극과 전위차를 발생시켜 상기 전기신호가 상기 배선 회로 기판에 인가되도록 하며, 상기 제2 영역의 상기 배선 회로의 부분의 전계의 형태를 형성하는 제2 전극; 및

상기 제2 전극과 상기 배선 회로 기판 사이에 배치되고, 상기 제2 영역에서 방출된 전계를 검출하는 센서;를 포함하는 배선 회로 테스트 장치.

**청구항 10**

제9 항에 있어서,

상기 제1 전극과 제2 전극은 상기 배선 회로 기판을 사이에 두고 배치되거나 또는 상기 배선 회로 기판의 동일면에 배치되고,

상기 제2 전극은 평판 형태를 갖는 것을 특징으로 하는 배선 회로 테스트 장치.

**청구항 11**

제9 항에 있어서,

상기 센서는, 전류 미터를 이용한 센서, 또는 전기-광학 결정을 이용한 센서인 것을 특징으로 하는 배선 회로 테스트 장치.

**청구항 12**

제9 항에 있어서,

상기 제1 전극, 제2 전극, 및 센서 중 적어도 하나는 상기 배선 회로 기판으로부터 이격되어 배치되고,

상기 제1 전극은 상기 장치 본체에 결합하여 배치되거나, 또는 상기 장치 본체와 별개로 배치된 것을 특징으로 하는 배선 회로 테스트 장치.

**청구항 13**

배선 회로가 형성된 배선 회로 기판의 제1 영역과 제2 영역 상에 배치된 2개의 전극을 이용하여 상기 배선 회로 기판에 전기신호를 인가하고, 상기 제2 영역에 전계를 생성하는 단계;

상기 제2 영역 상에 배치된 센서를 이용하여 상기 전계를 검출하는 단계;

상기 센서로부터의 검출된 전계 데이터로부터 상기 배선 회로 기관의 패드별 전계 세기와 대응하는 배선의 저항 값을 계산하는 단계; 및

상기 전계 세기 및 저항값에 기초하여 상기 배선 회로 기관의 이상 여부를 판단하는 단계;를 포함하는 배선 회로 테스트 방법.

**청구항 14**

제13 항에 있어서,

상기 센서는 전류 미터를 이용한 센서이고,

상기 전계를 검출하는 단계에서,

상기 센서는, 상기 전류 미터의 하부에 배치된 안테나로 전계를 수신하고, 상기 전류 미터로 수신된 전계에 대한 전류를 측정하여, 상기 전계를 검출하는 것을 특징으로 하는 배선 회로 테스트 방법.

**청구항 15**

제13 항에 있어서,

상기 센서는 전기-광학 결정을 이용한 센서이고,

상기 전기-광학 결정은 상기 제2 영역 상에 배치되되 상기 배선 회로 기관을 향하는 면에 반사판이 형성되며,

상기 전기-광학 결정은 상기 전계의 세기에 따라 굴절률이 변하거나 결정의 방향이 변하는 것을 특징으로 하는 배선 회로 테스트 방법.

**청구항 16**

배선 회로가 형성된 배선 회로 기관의 제1 영역과 제2 영역 상에 배치된 2개의 전극을 이용하여 상기 배선 회로 기관에 전기신호를 인가하고, 상기 제2 영역에 전계를 생성하는 단계;

상기 제2 영역 상에 배치된 센서를 이용하여 상기 전계를 검출하는 단계;

상기 센서로부터의 검출된 전계 데이터로부터 상기 배선 회로 기관의 패드별 전계 세기와 대응하는 배선의 저항 값을 계산하는 단계;

상기 전계 세기 및 저항값에 기초하여 상기 배선 회로 기관의 이상 여부를 판단하는 단계; 및

상기 배선 회로 기관이 정상인 경우에, 후속 공정을 수행하는 단계;를 포함하는 반도체 소자 제조방법.

**청구항 17**

제16 항에 있어서,

상기 센서는 전류 미터를 이용한 센서, 또는 전기-광학 결정을 이용한 센서인 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 18**

제17 항에 있어서,

상기 센서는 전기-광학 결정을 이용한 센서이고,

상기 전기-광학 결정은 상기 배선 회로 기관을 향하는 면에 반사판이 형성되며,

상기 센서는, 광을 전기-광학 결정으로 조사하고 상기 반사판에 의해 반사된 광을 수광하며, 수광된 광을 전기 신호로 변환하여 상기 전계를 검출하는 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 19**

제16 항에 있어서,

상기 2개의 전극을 상기 배선 회로 기판들 사이에 두고 배치하거나, 또는 상기 배선 회로 기판의 동일면에 배치하고,

상기 2개 전극, 및 센서 중 적어도 하나를 상기 배선 회로로부터 이격되어 배치하여 상기 전계를 검출하는 것을 특징으로 하는 반도체 소자 제조방법.

**청구항 20**

제16 항에 있어서,

상기 후속 공정은,

상기 배선 회로 기판 상에 반도체 칩들을 적층하고 밀봉하여 패키지 구조체를 형성하는 단계; 및

상기 패키지 구조체를 소잉하여 각각의 반도체 패키지로 개별화하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 테스트 장치 및 방법에 관한 것으로, 특히 배선 회로의 정상 유무를 테스트하는 테스트 장치 및 방법에 관한 것이다.

**배경 기술**

[0002] 대부분의 반도체 부품은 입력 전기신호를 변환하거나 전달하기 위한 목적으로 실리콘 배선 회로 기판에 다양한 회로를 구성한다. 실리콘 배선 회로 기판의 경우, PCB 배선 회로 기판에 비해 고집적으로 구현될 수 있으나 선 폭이 미세하고 배선 회로가 훨씬 복잡하다. 최근 등장한 패키징 기술은 하나의 반도체 다이(Die) 상에서 이중의 칩을 연결함으로써, 패키지 수준에서 시스템을 통합하는 데에 초점이 맞춰지고 있다. 이러한 최근 패키징 기술에서, 연결만을 위한 배선 회로 기판이 도입되고, 배선 회로 기판에 배선 회로의 수는 적게는 만개에서 많게는 십만 개까지 존재할 수 있다. 배선 회로의 불량은 보통 회로 양단의 저항을 측정하는 비교적 단순한 방법으로 검출할 수 있다. 그러나 배선 회로 기판의 많은 배선 수와 새로이 추가되는 공정들은 프로빙 난이도를 크게 증가시킨다. 이는 설비 개발비를 증가시켜 투자 수익(Return on Investment: ROI) 측면에서 큰 단점으로 작용하고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 기술적 사상은, 전기적인 접촉이 어려운 제품을 테스트할 수 있고, 또한, 많은 배선 회로의 수를 갖는 제품을 고속으로 테스트할 수 있는 배선 회로 테스트 장치 및 방법과, 그 방법을 포함한 반도체 소자 제조방법을 제공하는 데에 있다.

**과제의 해결 수단**

[0004] 상기 과제를 해결하기 위하여, 본 발명의 기술적 사상은 전계 생성용 전기신호를 생성하는 전기신호 생성회로; 상면 및 하면을 구비하고 배선 회로가 형성된 기판의 제1 영역 상에 배치된 제1 전극; 상기 기판의 제2 영역 상에 배치된 제2 전극; 및 상기 제1 전극과 제2 전극을 통해 상기 전기신호를 상기 기판에 인가하여 상기 제1 영역 또는 제2 영역에서 방출된 전계를 검출하는 센서;를 포함하는 배선 회로 테스트 장치를 제공한다.

[0005] 또한, 본 발명의 기술적 사상은 상기 과제를 해결하기 위하여, 전계 생성용 전기신호를 생성하고, 전계를 측정하는 장치 본체; 상기 장치 본체에 전기적으로 연결되고, 배선 회로가 형성된 배선 회로 기판의 제1 영역 상에 배치된 제1 전극; 상기 장치 본체에 전기적으로 연결되고, 상기 배선 회로 기판의 제2 영역 상에 배치되며, 상기 제1 전극과 전위차를 발생시켜 상기 전기신호가 상기 배선 회로 기판에 인가되도록 하며, 상기 제2 영역의 상기 배선 회로의 부분의 전계의 형태를 형성하는 제2 전극; 및 상기 제2 전극과 상기 배선 회로 기판 사이에 배치되고, 상기 제2 영역에서 방출된 전계를 검출하는 센서;를 포함하는 배선 회로 테스트 장치를 제공한다.

[0006] 더 나아가, 본 발명의 기술적 사상은 상기 과제를 해결하기 위하여, 배선 회로가 형성된 배선 회로 기판의 제1

영역과 제2 영역 상에 배치된 2개의 전극을 이용하여 상기 배선 회로 기판에 전기신호를 인가하고, 상기 제2 영역에 전계를 생성하는 단계; 상기 제2 영역 상에 배치된 센서를 이용하여 상기 전계를 검출하는 단계; 상기 센서로부터의 검출된 전계 데이터로부터 상기 배선 회로 기판의 패드별 전계 세기와 대응하는 배선의 저항값을 계산하는 단계; 및 상기 전계 세기 및 저항값에 기초하여 상기 배선 회로 기판의 이상 여부를 판단하는 단계;를 포함하는 배선 회로 테스트 방법을 제공한다.

[0007] 한편, 본 발명의 기술적 사상은 상기 과제를 해결하기 위하여, 배선 회로가 형성된 배선 회로 기판의 제1 영역과 제2 영역 상에 배치된 2개의 전극을 이용하여 상기 배선 회로 기판에 전기신호를 인가하고, 상기 제2 영역에 전계를 생성하는 단계; 상기 제2 영역 상에 배치된 센서를 이용하여 상기 전계를 검출하는 단계; 상기 센서로부터의 검출된 전계 데이터로부터 상기 배선 회로 기판의 패드별 전계 세기와 대응하는 배선의 저항값을 계산하는 단계; 상기 전계 세기 및 저항값에 기초하여 상기 배선 회로 기판의 이상 여부를 판단하는 단계; 및 상기 배선 회로 기판이 정상인 경우에, 후속 공정을 수행하는 단계;를 포함하는 반도체 소자 제조방법을 제공한다.

**발명의 효과**

[0008] 본 발명의 기술적 사상에 의한 배선 회로 테스트 장치는, 제1 및 제2 전극 사이에 전기신호를 인가하여 전계를 생성하고 검출하는 방법을 이용하므로, 제1 및 제2 전극이 배선 회로 기판의 패드 및 연결 단자에 직접 콘택 할 필요가 없다. 즉, 배선 회로 테스트 장치는 배선 회로 기판을 비접촉 방식으로 테스트할 수 있다. 따라서, 배선 회로 테스트 장치는, 절연층의 존재 유무에 상관없이 배선 회로 기판을 용이하게 테스트할 수 있다.

[0009] 또한, 본 발명의 기술적 사상에 의한 배선 회로 테스트 장치는, 제1 및 제2 전극이 패드 및 연결 단자에 직접 접촉하지 않으므로, 패드 및 연결 단자에 손상을 가하지 않을 수 있다. 즉, 배선 회로 테스트 장치는 배선 회로 기판을 비파괴 방식으로 테스트할 수 있다.

[0010] 더 나아가, 본 발명의 기술적 사상에 의한 배선 회로 테스트 장치는 간단한 구성요소들을 가지고 배선 회로 기판을 고속으로 용이하게 테스트할 수 있다. 따라서, 기존 접촉 방식의 ATE의 사용에 따른 문제점들을 해결할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도들이다.
- 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도들이다.
- 도 3은 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이다.
- 도 4a 및 도 4b는 도 1a의 배선 회로 테스트 장치에서, 센서 부분을 좀더 상세히 보여주는 사시도들이다.
- 도 5a 내지 도 5c는 도 1a의 배선 회로 테스트 장치에서, 전극들 및 센서와 배선 회로 기판과의 위치 관계를 보여주는 단면도들이다.
- 도 6a 내지 도 6d는 도 2a의 배선 회로 테스트 장치에서, 전극들 및 센서와 배선 회로 기판과의 위치 관계를 보여주는 단면도들이다.
- 도 7은 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이다.
- 도 8은 도 1a의 배선 회로 테스트 장치를 이용하여 배선 회로를 테스트하는 원리를 설명하기 위한 그래프들이다.
- 도 9는 도 1a의 배선 회로 테스트 장치에서, 평판 형태의 상부 전극을 이용하여 전계를 형성하는 원리를 보여주는 단면도들이다.
- 도 10 내지 도 12는 본 발명의 일 실시예들에 따른 배선 회로 테스트 장치에 대한 구성도들이다.
- 도 13a 및 도 13b는 도 10의 배선 회로 테스트 장치에서 전기-광학 결정 부분을 좀더 상세히 보여주는 단면도들이다.
- 도 14는 본 발명의 일 실시예에 따른 배선 회로 테스트 방법을 개략적으로 보여주는 흐름도이다.
- 도 15는 본 발명의 일 실시예에 따른 배선 회로 테스트 방법을 포함한 반도체 소자 제조방법을 개략적으로 보여주는 흐름도이다.

도 16은 도 15의 반도체 소자 제조방법을 통해 완성된 반도체 소자를 예시적으로 보여주는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0013] 도 1a는 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이고, 도 1b는 도 1a의 배선 회로 테스트 장치에서 배선 회로 기관을 좀더 상세히 보여주는 구성도이다.
- [0014] 도 1a 및 도 1b를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)는 전계를 이용하여 배선 회로 기관(200)의 배선 회로의 이상 유무를 테스트하는 장치일 수 있다. 배선 회로 테스트 장치(100)는 전기신호 생성회로(110), 제1 전극(120), 제2 전극(130), 센서(140), 신호 처리부(150), 및 판단부(160)를 포함할 수 있다.
- [0015] 전기신호 생성회로(110)는 전계 생성용 전기신호를 생성할 수 있다. 예컨대, 전기신호 생성회로(110)는 전기신호를 생성하고, 전기신호를 제1 및 제2 전극(120, 130)을 통해 배선 회로 기관(200)에 인가시킴으로써, 배선 회로 기관(200)에서 전계가 방출되도록 할 수 있다. 좀더 정확히 말하면, 기본적으로 제1 및 제2 전극(120, 130) 사이의 전위차에 의해 전계가 발생하고, 사이에 배치된 배선 회로 기관(200)에 의해 전계의 형태가 변경되어 방출된다고 할 수 있다.
- [0016] 전기신호 생성회로(110)는 오실레이터, PLL(Phase Locked Loop) 회로, 및 DAC(Digital to Analog Converter) 등을 포함할 수 있고, 전기신호로서 RF 신호를 생성할 수 있다. 예컨대, 전기신호 생성회로(110)는 전기신호로서 수십 MHz 내지 수십 GHz의 RF 신호를 생성할 수 있다. 물론, 전기신호 생성회로(110)가 생성하는 전기신호의 주파수 범위가 전술한 수치에 한정되는 것은 아니다.
- [0017] 제1 전극(120) 및 제2 전극(130)은 전기신호 생성회로(110)에 전기적으로 연결되고, 전기신호를 배선 회로 기관(200)에 인가할 수 있다. 제1 전극(120) 및 제2 전극(130)은 전기 전도성이 좋은 메탈로 형성될 수 있다. 예컨대, 제1 전극(120) 및 제2 전극(130)은 구리(Cu), 알루미늄(Al), 니켈(Ni), 은(Ag), 금(Au), 백금(Pt) 등을 포함할 수 있다. 실시예에 따라, 제1 전극(120) 및 제2 전극(130) 중 전계를 검출하는 쪽의 전극은 ITO(Indium Tin Oxide) 전극과 같은 투명 전극으로 형성될 수도 있다.
- [0018] 본 실시예의 배선 회로 테스트 장치(100)에서, 제1 전극(120)이 배선 회로 기관(200)에 하부에 배치되고, 제2 전극(130)은 배선 회로 기관(200)의 상부에 배치될 수 있다. 물론, 제1 전극(120) 및 제2 전극(130)의 배치 위치가 그에 한정되는 것은 아니다. 예컨대, 도 2a에서 알 수 있듯이, 제1 전극(120) 및 제2 전극(130) 둘 다 배선 회로 기관(200)의 상부에 배치될 수 있다. 또한, 제1 전극(120) 및 제2 전극(130) 둘 다 배선 회로 기관(200)의 하부에 배치될 수도 있다.
- [0019] 참고로, 도 1a에 도시된 바와 같이, 전기신호 생성회로(110)의 양극 단자(+)에 제1 전극(120)이 연결되고, 음극 단자(-)에 제2 전극(130)이 연결될 수 있다. 그에 따라, 전계의 방향은 제1 전극(120)에서 제2 전극(130)으로 향할 수 있다. 또한, 단자를 반대로 연결하여 전계의 방향이 제2 전극(130)에서 제1 전극(120)으로 향하게 할 수도 있다. 결국, 제1 전극(120)과 제2 전극(130)은 극성에 따른 상대적인 구별일 뿐 기능적으로 큰 차이는 없을 수 있다. 또한, 아날로그 신호와 같은 교류 신호의 경우는 극성이 계속 바뀌므로 극성에 따른 제1 전극(120)과 제2 전극(130)의 구별은 더욱 의미가 없을 수 있다. 다만, 전계의 형성(forming)을 위해 센서(140)가 배치되는 쪽의 전극의 형태가 조절될 수 있다. 한편, 도 1a에서, 이해의 편의를 위해 전계(Ef)를 해칭을 통해 간단히 표시하고 있는데, 실제 방출되는 전계(Ef)의 형태는 그와 다를 수 있다.
- [0020] 제1 전극(120) 및 제2 전극(130)은 평판 형태를 가질 수 있다. 좀더 구체적으로, 제1 전극(120) 및 제2 전극(130)은 배선 회로 기관(200)의 테스트 영역에 대응하는 평판 형태를 가질 수 있다. 예컨대, 제1 전극(120)은 배선 회로 기관(200) 하면의 제1 테스트 영역(A1)에 대응하는 평판 형태를 가지며, 제2 전극(130)은 배선 회로 기관(200) 상면의 제2 테스트 영역(A2)에 대응하는 평판 형태를 가질 수 있다. 여기서, 평판 형태는 원형, 타원형, 또는 다각형의 평판 형태를 포함할 수 있다.
- [0021] 제1 전극(120) 및 제2 전극(130)은 동일한 형태를 가질 수 있고, 서로 다른 형태를 가질 수도 있다. 본 실시예의 배선 회로 테스트 장치(100)에서, 제1 전극(120) 및 제2 전극(130) 둘 다 사각형 평판 형태를 가질 수 있다. 그러나 제1 전극(120) 및 제2 전극(130)의 형태가 사각형 평판 형태에 한정되는 것은 아니다. 또한, 실시예에 따라, 제1 전극(120) 및 제2 전극(130)은 평판 형태에 한정되지 않고 다른 형태를 가질 수도 있다. 한편, 본 실시예의 배선 회로 테스트 장치(100)에서, 제1 전극(120) 및 제2 전극(130) 중 센서(140)가 배치되는 쪽의 전극



은 평판 형태를 가짐으로써, 전계의 형성에 기여할 수 있다. 그에 대해서는, 도 9의 설명 부분에서 좀더 상세히 설명한다.

- [0022] 도 1b에 도시된 바와 같이, 제1 전극(120)과 제2 전극(130) 각각은 배선 회로 기관(200)으로부터 이격되어 배치될 수 있다. 예컨대, 제1 전극(120)은 배선 회로 기관(200)의 하면으로부터 제1 간격(S1)만큼 이격되어 배치될 수 있고, 제2 전극(130)은 배선 회로 기관(200)의 상면으로부터 제2 간격(S2)만큼 이격되어 배치될 수 있다. 여기서, 배선 회로 기관(200)의 하면은 연결 단자(240)의 하면을 의미하고, 배선 회로 기관(200)의 상면은 패드(230)의 상면을 의미할 수 있다. 또한, 제2 간격(S2)은 배선 회로 기관(200)의 상면으로부터 제2 전극(130)의 하면까지를 의미하나, 센서(140)가 제2 전극(130)에 밀접하게 결합하여 배치된 경우에는 센서(140)의 하면까지의 거리를 의미할 수도 있다.
- [0023] 한편, 배선 회로 기관(200) 하면에 배치된 절연층(300)의 존재로 인해 제1 간격(S1)이 제2 간격(S2)보다 클 수 있다. 그러나 제1 간격(S1)과 제2 간격(S2)의 상대적인 크기가 그에 한정되는 것은 아니다. 예컨대, 제1 간격(S1)과 제2 간격(S2)이 동일할 수도 있고, 제2 간격(S2)이 제1 간격(S1)보다 클 수도 있다. 또한, 제1 간격(S1)과 제2 간격(S2)은 배선 회로 기관(200)에서의 방출하는 전계의 크기와 위치별 전계의 구분을 위해 적절하게 조절될 수 있다. 예컨대, 제1 간격(S1)과 제2 간격(S2)을 작게 할수록 전계의 크기를 증가시킬 수 있다. 또한, 제2 간격(S2)에 의해 센서(140)의 위치를 조절함으로써, 센서(140)에 의한 위치별 전계의 구분이 명확해질 수 있다.
- [0024] 센서(140)는 전계를 검출하는 쪽의 전극, 예컨대, 제2 전극(130)의 하부에 배치되어 배선 회로 기관(200)에서 방출한 전계를 검출할 수 있다. 센서(140)는 제2 전극(130)에 하면에 결합하여 배치될 수도 있다. 그러나 그에 한하지 않고, 센서(140)는 고정 구조물을 이용하여 제2 전극(130)과 독립적으로 배치될 수도 있다. 센서(140)가 독립적으로 배치된 경우에, 센서(140)는 제2 전극(130)의 하면에 접할 수도 있고 제2 전극(130)의 하면에서 이격될 수도 있다.
- [0025] 센서(140)는 예컨대, 전류 미터를 이용한 센서이거나, 또는 전기-광학(electro-optic) 결정을 이용한 센서일 수 있다. 전류 미터를 이용한 센서, 및 전기-광학 결정을 이용한 센서에 대해서는 도 10 내지 도 13b의 설명 부분에서 좀더 상세히 설명한다. 센서(140)의 종류가 전술한 센서들에 한정되는 것은 아니다. 예컨대, 전계를 효과적으로 검출하는 있는 모든 종류의 센서가 본 실시예의 배선 회로 테스트 장치(100)에 적용될 수 있다.
- [0026] 여기서, 센서(140)에 의한 전계의 검출은 전계 세기에 대한 직접적인 검출이 아니라 전계 세기에 대한 정보를 알 수 있는 신호 또는 데이터에 대한 검출일 수 있다. 예컨대, 센서(140)는 전류나 빛과 같은 전기신호 또는 광신호를 검출할 수 있고, 검출된 전기신호 또는 광신호에는 전계 세기에 대한 정보가 포함될 수 있다. 이하, 센서(140)에 의해 검출되는 신호 또는 데이터를 '전계'라고 표현하되, 전계 세기와 구별해야 하는 경우에 '전계 데이터'란 용어를 사용한다.
- [0027] 센서(140)는 배선 회로 기관(200)의 테스트 영역 전체의 전계를 한 번에 검출하거나 또는 테스트 영역의 일부의 전계를 검출할 수 있다. 센서(140)가 테스트 영역의 일부의 전계를 검출하는 경우, 센서(140)가 이동하면서 테스트 영역을 스캔하는 식으로 테스트 영역 전체의 전계를 검출할 수 있다. 센서(140)의 형태와 전계 검출 방식에 대해서 도 4a 및 도 4b의 설명 부분에서 좀더 상세히 설명한다.
- [0028] 신호 처리부(150)는 센서(140)에서 검출된 전계 데이터에 기초하여 배선 회로 기관(200)의 위치별 전계 세기 및 그에 대응하는 배선의 저항값을 계산할 수 있다. 예컨대, 테스트 영역이 배선 회로 기관(200)의 상면의 패드들이 배치된 부분인 경우, 신호 처리부(150)는 검출된 전계 데이터에 기초하여 패드별 전계 세기와 그에 대응하는 배선의 저항값을 계산할 수 있다.
- [0029] 신호 처리부(150)는 센서(140)로부터 입력된 신호들을 필터링(filtering)함으로써, 노이즈가 제거된 전계 데이터를 얻을 수 있다. 또한, 신호 처리부(150)는 전계 데이터에 수학 연산을 적용하여 배선 회로 기관(200)의 위치별 전계 세기와 저항값을 계산할 수 있다.
- [0030] 판단부(160)는 배선 회로 기관(200)의 배선 회로에 대한 이상 여부를 판단할 수 있다. 판단부(160)는, 배선 회로 기관(200)의 설계 데이터, 및 신호 처리부(150)에서 계산된 전계 세기 및 저항값 등에 기초하여 배선 회로에 대한 이상 여부를 판단한다. 실시예에 따라, 판단부(160)는 신호 처리부(150)에 함께 포함될 수도 있다. 판단부(160)에 의한 배선 회로의 이상 여부 판단에 대해서는 도 8의 설명 부분에서 좀더 상세히 설명한다.
- [0031] 도 1b에서 확인할 수 있듯이, 전기신호 생성회로(110), 신호 처리부(150), 및 판단부(160)는 함께 결합하여 장치 본체(AB)를 구성할 수 있다. 물론, 전기신호 생성회로(110), 신호 처리부(150), 및 판단부(160) 중 적어도

하나가 분리되어 배치될 수도 있다. 예컨대, 전기신호 생성회로(110)가 제1 장치 본체를 구성하고, 신호 처리부(150)와 판단부(160)가 제2 장치 본체를 구성할 수 있다.

- [0032] 본 실시예의 배선 회로 테스트 장치(100)의 테스트의 대상이 되는 배선 회로 기판(200)은 기판(210), 내부 배선(220), 패드(230) 및 연결 단자(240)를 포함할 수 있다. 기판(210)은 예컨대, 실리콘, 유기물, 플라스틱, 및 유리 기판 중 어느 하나로 형성될 수 있다. 물론, 기판(210)의 재질이 전술한 물질들에 한정되는 아니다. 기판(210)은 단층 또는 다층 구조를 가질 수 있다. 배선 회로 기판(200)은, 기판(210)이 실리콘 기판인 경우에, 실리콘 인터포저로 언급되기도 한다. 또한, 배선 회로 기판(200)은, 기판(210)이 유기물 기판인 경우에, 패널 인터포저로 언급될 수도 있다. 일반적으로 하나의 실리콘 웨이퍼에서 제조된 실리콘 인터포저의 개수보다 유기물 사각형 원판에서 제조된 패널 인터포저의 개수가 서너 배 많을 수 있다.
- [0033] 내부 배선(220)은 기판(210)의 구조에 따라 단층 또는 다층 배선 구조를 가질 수 있다. 좀더 구체적으로, 도 1b에서 알 수 있듯이, 내부 배선(220)은 하부 패드(222), 관통 전극(224), 및 배선층(226)을 포함할 수 있다. 관통 전극(224)은 기판(210)의 적어도 일부분을 관통하여 하부 패드(222)와 배선층(226)을 연결할 수 있다. 기판(210)이 실리콘인 경우, 관통 전극(224)은 TSV(Through Silicon Via)로 언급되기도 한다. 배선층(226)이 2층 이상인 경우에, 서로 다른 층의 배선층(226)은 수직 콘택을 통해 연결될 수 있다. 한편, 하부 패드(222)는 하부 절연층(217)에 의해, 그리고 배선층(226)은 층간 절연층(215)에 의해 덮일 수 있다.
- [0034] 패드(230)는 기판(210)의 상면 상에 배치되고 내부 배선(220)과 전기적으로 연결될 수 있다. 차후, 패드(230) 상에 메모리 칩 또는 로직 칩과 같은 반도체 칩들이 미세 범프를 통해 적층될 수 있다.
- [0035] 연결 단자(240)는 기판(210)의 하면 상에 배치되고 내부 배선(220)과 전기적으로 연결될 수 있다. 연결 단자(240)는 배선 회로 기판(200)을 인쇄회로기판(PCB) 등의 패키지 기판에 적층시킬 때 이용될 수 있다. 연결 단자(240)는 그 형태나 재질 등에 기초하여 범프 또는 솔더 볼 등으로 언급될 수 있다. 연결 단자(240)는 하부 패드(222) 상에 배치될 수 있다. 일반적으로 연결 단자(240)는 내부 배선(220)을 통해 패드(230)에 연결될 수 있다. 다만, 패드들(230) 중 파워나 그라운드에 이용되는 패드들은 통합되어 연결 단자(240)에 함께 연결됨으로써, 패드들(1230)의 개수가 연결 단자(240)의 개수보다 많을 수 있다.
- [0036] 도 1b에 도시된 바와 같이, 배선 회로 기판(200)의 하부에는 절연층(300)이 배치될 수 있다. 절연층(300)은 예컨대 캐리어 기판 또는 지지 기판일 수 있다. 일반적으로, 배선 회로 기판(200) 자체에 대한 공정이나 배선 회로 기판(200) 상에 반도체 칩들 적층하는 공정 등에서, 얇은 배선 회로 기판(200)을 단독으로 핸들링하기는 용이하지 않을 수 있다. 그에 따라, 수백 내지 수천  $\mu\text{m}$  두께의 캐리어 기판을 배선 회로 기판(200)의 후면, 즉, 연결 단자(240)가 배치된 면에 접착제 등을 통해 부착한 후, 배선 회로 기판(200) 자체에 대한 공정이나 반도체 칩을 적층하는 공정이 수행될 수 있다. 도 1b에서, 접착층은 절연층(300)에 포함되어 일체로 도시되어 있고, 연결 단자(240)는 접착층 내에 위치할 수 있다. 이러한 절연층(300)은 반도체 칩들의 적층 공정 후에 제거될 수 있다.
- [0037] 절연층(300)이 배선 회로 기판(200)의 하면 상에 배치된 경우, 기존의 접촉 방식의 테스트 방법에서, 연결 단자(240)에 테스트 핀이 접촉될 수 없으므로 패드(230)와 연결 단자(240) 사이의 저항을 측정할 수 없다. 따라서, 기존 접촉 방식의 테스트 방법으로는 배선 회로 기판(200)을 테스트할 수 없다. 또한, 기존 접촉 방식의 테스트 방법의 경우, 테스트 핀이 패드(230)와 연결 단자(240)에 직접 접촉하므로, 패드(230)와 연결 단자(240)에 손상이 발생하여 반도체 소자의 품질 저하로 이어질 수 있다. 더 나아가, 기존 접촉 방식의 테스트 방법의 경우, 일반적으로 ATE를 이용하여 테스트하게 되는데, 매우 긴 시간이 소요되는 문제가 있고, 또한, 비교적 저가의 배선 회로 기판(200)을 고가의 ATE로 장시간 테스트하는 것은 투자 수익(ROI) 측면에서 매우 불리할 수 있다.
- [0038] 그에 반해, 본 실시예의 배선 회로 테스트 장치(100)는, 제1 및 제2 전극(120, 130) 사이에 전기신호를 인가하여 전계를 생성하고 검출하는 방법을 이용하므로, 제1 및 제2 전극(120, 130)이 배선 회로 기판(200)의 패드(230) 및 연결 단자(240)에 직접 콘택 할 필요가 없다. 즉, 본 실시예의 배선 회로 테스트 장치(100)는 배선 회로 기판(200)을 비접촉 방식으로 테스트할 수 있다. 따라서, 본 실시예의 배선 회로 테스트 장치(100)는, 절연층(300)의 존재 유무에 상관없이 배선 회로 기판(200)을 용이하게 테스트할 수 있다. 또한, 본 실시예의 배선 회로 테스트 장치(100)는, 제1 및 제2 전극(120, 130)이 패드(230) 및 연결 단자(240)에 직접 접촉하지 않으므로, 패드(230) 및 연결 단자(240)에 손상을 가하지 않을 수 있다. 즉, 본 실시예의 배선 회로 테스트 장치(100)는 배선 회로 기판(200)을 비파괴 방식으로 테스트할 수 있다. 더 나아가, 본 실시예의 배선 회로 테스트 장치(100)는 간단한 구성요소들을 가지고 배선 회로 기판(200)을 고속으로 용이하게 테스트할 수 있다. 따라서, 기존 접촉 방식의 ATE의 사용에 따른 문제점들을 해결할 수 있다.

- [0039] 한편, 본 실시예의 배선 회로 테스트 장치(100)가 비접촉 방식의 테스트를 기본으로 하고 있으나, 접촉 방식으로 테스트하는 것을 배제하는 것은 아니다. 예컨대, 제1 전극(120)이 연결 단자(240)에 직접 접촉해도 전계는 발생하므로, 접촉 방식으로 전계를 이용하여 배선 회로 기관(200)을 테스트할 수도 있다. 제1 및 제2 전극(120, 130)의 접촉 및/또는 비접촉에 의한 테스트에 대해서는 도 5a 내지 도 6d의 설명 부분에서 좀더 상세히 설명한다.
- [0040] 지금까지, 테스트 대상으로 전술한 배선 회로 기관(200)을 기본으로 하여, 본 실시예의 배선 회로 테스트 장치(100)에 대하여 설명하였다. 그러나 본 실시예의 배선 회로 테스트 장치(100)에 의한 테스트 대상이 전술한 배선 회로 기관(200)에 한정되는 것은 아니다. 예컨대, 재배선 및/또는 내부 배선이 존재하고 상면 및 하면 중 적어도 한 면에 패드 및/또는 연결 단자가 배치된 모든 종류의 반도체 장치들은 본 실시예의 배선 회로 테스트 장치(100)의 테스트 대상이 될 수 있다. 또한, 본 실시예의 배선 회로 테스트 장치(100)는 웨이퍼 테스트 설비, 패키지 테스트 설비, 및 불량 분석 설비 등에 이용될 수 있다.
- [0041] 도 2a는 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이고, 도 2b는 도 2a의 배선 회로 테스트 장치에서 배선 회로 기관을 좀더 상세히 보여주는 구성도이다. 도 1a 및 도 1b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0042] 도 2a 및 도 2b를 참조하면, 본 실시예의 배선 회로 테스트 장치(100a)는 제1 전극(120a)의 배선 회로 기관(200) 상의 배치 위치에서, 도 1a의 배선 회로 테스트 장치(100)와 다를 수 있다. 구체적으로, 본 실시예의 배선 회로 테스트 장치(100a)에서, 제1 전극(120a)은 배선 회로 기관(200a)의 상부에 배치될 수 있다. 다시 말해서, 제1 전극(120a)과 제2 전극(130)은 배선 회로 기관(200a)의 동일한 면 상에 배치될 수 있다.
- [0043] 도 2a에 도시된 바와 같이, 배선 회로 기관(200a)은, 제1 전극(120a)이 배치된 제1 테스트 영역(A1')의 패드(230)와 제2 전극(130)이 배치된 제2 테스트 영역(A2)의 패드(230)가 내부 배선(220a)을 통해 전기적으로 서로 연결된 구조를 가질 수 있다. 이와 같이, 패드들(230)이 내부 배선(220a)을 통해 서로 전기적으로 연결된 경우에, 제1 전극(120a)과 제2 전극(130)을 배선 회로 기관(200a)의 동일한 면 상에 배치하여 테스트를 수행할 수 있다. 한편, 도 2a에서도, 이해의 편의를 위해 전계(Ef)를 해칭을 통해 간단히 표시하고 있는데, 역시 실제 방출되는 전계(Ef)의 형태는 그와 다를 수 있다.
- [0044] 참고로, 금속이 존재하는 영역에서, 전계는 전류와 동일한 방향으로 향할 수 있다. 따라서, 도 1a에서, 연결 단자(240)에서 패드(230) 방향으로 내부 배선(220)을 따라 전계가 형성될 수 있다. 또한, 도 2a에서, 제1 테스트 영역(A1')의 패드(230)에서 제2 테스트 영역(A2)의 패드(230) 방향으로 내부 배선(220a)을 따라 전계가 형성될 수 있다. 한편, 금속이 없는 영역에서는, 일반적으로 전계만이 존재하고 전류는 흐르지 않을 수 있다. 따라서, 제2 테스트 영역(A2)의 패드(230)에서 제2 전극(130) 사이에는 전계만이 존재할 수 있다. 한편, 제2 테스트 영역(A2)의 패드(230)에서 제2 전극(130)으로 향하는 전계의 형태는 내부 배선(220, 220a)의 형태에 따라 달라질 수 있다. 예컨대, 내부 배선(220, 220a) 경로 중에 끊어지 구간이 없는 패드(230)에서 제2 전극(130)으로 향하는 전계의 세기가 끊어진 구간이 있는 패드(230)에서 제2 전극(130)으로 향하는 전계의 세기보다 상대적으로 클 수 있다.
- [0045] 도 2b에서, 제1 테스트 영역(A1')의 패드(230)와 제2 테스트 영역(A2)의 패드(230)가 배선층(226a)을 통해 하나만 연결되어 있으나 이는 도시의 편의를 위한 것이고, 실제로는 도 2a와 같이, 제1 테스트 영역(A1')의 다수의 패드들(230)과 제2 테스트 영역(A2)의 다수의 패드들(230)이 서로 연결될 수 있다. 한편, 본 실시예의 배선 회로 테스트 장치(100a)에서 제1 및 제2 전극(120a, 130)은 둘 다 배선 회로 기관(200a)의 상부에 배치되므로, 절연층(300)은 테스트에 영향을 미치지 않을 수 있다. 그에 따라, 제1 전극(120a)이 배선 회로 기관(200a)의 제1 테스트 영역(A1')의 패드(230)에 접촉하는 접촉 방식으로 테스트가 수행될 수도 있다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이다. 도 1a 내지 도 2b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0047] 도 3을 참조하면, 본 실시예의 배선 회로 테스트 장치(100b)는 제1 전극(120b)이 장치 본체(AB')의 일부를 구성한다는 점에서, 도 1b의 배선 회로 테스트 장치(100)와 다를 수 있다. 구체적으로, 본 실시예의 배선 회로 테스트 장치(100b)에서, 제1 전극(120b)이 장치 본체(AB')의 일부를 구성하므로, 장치 본체(AB')는 전기신호 생성회로(110), 제1 전극(120b), 신호 처리부(150), 및 판단부(160)를 포함할 수 있다. 그에 따라, 제1 전극(120b)은 전기신호 생성회로(110)에 결합한 구조를 갖는다고 볼 수 있다. 또한, 전기신호 생성회로(110)가 별도의 제1 장치 본체를 구성하는 경우, 제1 전극(120b)과 전기신호 생성회로(110)가 결합하여 제1 장치 본체를 구성할 수도

있다.

- [0048] 본 실시예의 배선 회로 테스트 장치(100b)에서, 제1 전극(120b)이 장치 본체(AB')의 일부를 구성하므로, 제1 전극(120b)이 배선 회로 기관(200)의 제1 테스트 영역(A1)을 커버할 수 있도록 장치 본체(AB')가 배선 회로 기관(200)의 하부에 배치될 수 있다. 또한, 도 3에서 도시된 바와 같이, 전기신호 인가에 의한 전계 발생이 용이하도록 제1 전극(120b)은 장치 본체(AB')의 외곽 부분에 배치될 수 있다.
- [0049] 한편, 전술한 바와 같이 제1 전극(120b)과 제2 전극(130)은 극성에 따른 상대적인 개념에 불과하다. 따라서, 제2 전극(130)이 장치 본체(AB')의 일부를 구성할 수도 있다. 좀더 일반화하면, 센서(140)가 배치되지 않는 쪽의 전극이 장치 본체(AB')의 일부를 구성한다고 볼 수 있다. 그러나 센서(140)가 배치되는 쪽의 전극이 장치 본체(AB')의 일부를 구성하는 것을 전적으로 배제하는 것은 아니다.
- [0050] 도 4a 및 도 4b는 도 1a의 배선 회로 테스트 장치에서, 센서 부분을 좀더 상세히 보여주는 사시도들이다. 도 1a 및 도 1b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0051] 도 4a를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)에서, 센서(140)는 배선 회로 기관(200)의 제2 테스트 영역(A2)에 대응하는 평판 형태를 가질 수 있다. 예컨대, 제2 테스트 영역(A2)이 사각형 형태를 갖는 경우에, 센서(140)도 그에 대응하여 사각형 평판 형태를 가질 수 있다.
- [0052] 센서(140)는 전술한 바와 같이 전류 미터를 이용한 센서이거나 전기-광학 결정을 이용한 센서일 수 있다. 센서(140)가 전류 미터를 이용한 센서인 경우, 안테나들이 배치된 전류 미터의 하면이 평판 형태를 가질 수 있다. 또한, 센서(140)가 전기-광학 결정을 이용한 센서인 경우, 전기-광학 결정이 평판 형태를 가질 수 있다.
- [0053] 본 실시예의 배선 회로 테스트 장치(100)에서, 평판 형태의 센서(140)는 제2 테스트 영역(A2)보다 넓이가 넓을 수 있다. 그에 따라, 센서(140)가 제2 테스트 영역(A2) 전체를 덮을 수 있고, 배선 회로 기관(200)의 제2 테스트 영역(A2) 전체의 전계를 한꺼번에 검출할 수 있다.
- [0054] 도 4b를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)에서, 센서(140')는 일 방향으로 길쭉한 평판 형태를 가질 수 있다. 예컨대, 센서(140')는 제2 방향(y 방향)으로 길쭉한 평판 형태를 가질 수 있다. 센서(140')는 사각형 형태의 제2 테스트 영역(A2) 전체를 덮을 수 없으나, 제2 방향(y 방향)으로 제2 테스트 영역(A2)의 제2 방향(y 방향)의 폭보다는 길 수 있다. 센서(140')의 형태에 기초하여, 센서(140')는 한 번에 제2 테스트 영역(A2)의 일부의 전계만을 검출할 수 있다. 그러나 센서(140')는 화살표로 표시된 바와 같이 제1 방향(x 방향)으로 이동하면서 스캔하는 식으로 전계를 검출함으로써, 제2 테스트 영역(A2) 전체의 전계를 검출할 수 있다.
- [0055] 한편, 센서(140')는 제1 방향(x 방향)으로 길쭉한 평판 형태를 가지고 제2 방향(y 방향)으로 스캔하는 식으로 제2 테스트 영역(A2) 전체의 전계를 검출할 수도 있다. 또한, 센서(140')는 다른 다양한 평판 형태 및 스캔 방향을 가지고 제2 테스트 영역(A2) 전체의 전계를 검출할 수 있다.
- [0056] 도 5a 내지 도 5c는 도 1a의 배선 회로 테스트 장치에서, 전극들 및 센서와 배선 회로 기관과의 위치 관계를 보여주는 단면도들로서, 전기신호 생성회로, 신호 처리부, 및 판단부는 생략되어 도시되고 있다. 도 1a 및 도 1b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0057] 도 5a를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)에서, 센서(140)가 배선 회로 기관(200)의 제2 테스트 영역(A2)의 패드(230)에 접촉하도록 배치될 수 있다. 예컨대, 센서(140)가 전류 미터를 이용하는 센서인 경우에, 안테나 부분이 제2 테스트 영역(A2)의 패드(230)에 접촉할 수 있다. 또한, 한편, 센서(140)가 전기-광학 결정을 이용하는 센서인 경우에, 전기-광학 결정이 제2 테스트 영역(A2)의 패드(230)에 접촉할 수 있다. 한편, 제1 전극(120)은, 도 1a의 배선 회로 테스트 장치(100)에서와 같이, 배선 회로 기관(200)의 하면, 즉 제1 테스트 영역(A1)으로부터 제1 간격(S1)만큼 이격되어 배치될 수 있다.
- [0058] 도 5b를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)에서, 제1 전극(120)이 배선 회로 기관(200)의 제1 테스트 영역(A1)의 연결 단자(240)에 접촉하도록 배치될 수 있다. 한편, 전술한 바와 같이, 제1 전극(120)과 제2 전극(130)은 극성에 따른 상대적인 구별이다. 그에 따라, 센서(140)가 제1 전극(120) 쪽에 배치되고, 제2 전극(130)이 배선 회로 기관(200)의 제2 테스트 영역(A2)의 패드(230)에 접촉할 수도 있다.
- [0059] 도 5c를 참조하면, 본 실시예의 배선 회로 테스트 장치(100)에서, 제1 전극(120)이 배선 회로 기관(200)의 제1 테스트 영역(A1)의 연결 단자(240)에 접촉하고, 센서(140)가 배선 회로 기관(200)의 제2 테스트 영역(A2)의 패드(230)에 접촉하도록 배치될 수 있다. 또한, 센서(140)가 제1 전극(120) 쪽에 배치된 경우, 제2 전극(130)이 배선 회로 기관(200)의 제2 테스트 영역(A2)의 패드(230)에 접촉하고, 센서(140)가 배선 회로 기관(200)의 제1

테스트 영역(A1)의 연결 단자(240)에 접촉하도록 배치될 수 있다.

- [0060] 도 6a 내지 도 6d는 도 2a의 배선 회로 테스트 장치에서, 전극들 및 센서와 배선 회로 기관과의 위치 관계를 보여주는 단면도들로서, 전기신호 생성회로, 신호 처리부, 및 판단부는 생략되어 도시되고 있다. 도 2a 및 도 2b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0061] 도 6a를 참조하면, 본 실시예의 배선 회로 테스트 장치(100a)에서, 센서(140)가 배선 회로 기관(200a)의 제2 테스트 영역(A2)의 패드(230)에 접촉하도록 배치될 수 있다. 한편, 제1 전극(120a)은, 도 2a의 배선 회로 테스트 장치(100a)에서와 같이, 배선 회로 기관(200a)의 상면, 즉 제1 테스트 영역(A1')으로부터 제1 간격(S1)만큼 이격되어 배치될 수 있다.
- [0062] 도 6b를 참조하면, 본 실시예의 배선 회로 테스트 장치(100a)에서, 제1 전극(120a)이 배선 회로 기관(200a)의 제1 테스트 영역(A1')의 패드(230)에 접촉하도록 배치될 수 있다. 한편, 전술한 바와 같이, 제1 전극(120a)과 제2 전극(130)은 극성에 따른 상대적인 구별이다. 그에 따라, 센서(140)가 제1 전극(120a) 쪽에 배치되고, 제2 전극(130)이 배선 회로 기관(200a)의 제2 테스트 영역(A2)의 패드(230)에 접촉할 수도 있다.
- [0063] 도 6c를 참조하면, 본 실시예의 배선 회로 테스트 장치(100a)에서, 제1 전극(120a)이 배선 회로 기관(200a)의 제1 테스트 영역(A1')의 패드(230)에 접촉하고, 센서(140)가 배선 회로 기관(200a)의 제2 테스트 영역(A2)의 패드(230)에 접촉하도록 배치될 수 있다. 또한, 센서(140)가 제1 전극(120a) 쪽에 배치된 경우, 제2 전극(130)이 배선 회로 기관(200a)의 제2 테스트 영역(A2)의 패드(230)에 접촉하고, 센서(140)가 배선 회로 기관(200a)의 제1 테스트 영역(A1')의 패드(230)에 접촉하도록 배치될 수 있다.
- [0064] 도 6d를 참조하면, 본 실시예의 배선 회로 테스트 장치(100a)에서, 배선 회로 기관(200a) 상에 적층된 반도체 칩(400)이 제1 전극의 역할을 수행할 수 있다. 즉, 배선 회로 기관(200a)의 상에 반도체 칩(400)이 미세 범프(420)를 통해 적층된 상태이고, 반도체 칩(400)을 이용하여 전기신호를 인가할 수 있는 경우에는 반도체 칩(400)이 제1 전극의 역할을 수행할 수 있다. 예컨대, 반도체 칩(400)의 칩 패드(410)가 전기신호 생성회로(도 1a의 110 참조)의 단자에 연결된 테스트 핀(121)에 접촉될 수 있고, 전기신호가 테스트 핀(121)을 통해 반도체 칩(400)의 칩 패드(410)에 인가되어 미세 범프(420)를 통해 배선 회로 기관(200a)의 패드(230)로 인가될 수 있다. 그에 따라, 반도체 칩(400)과 제2 전극(130) 사이에 전기신호가 인가되어 배선 회로 기관(200a)에서 전계가 방출되고, 센서(140)가 전계를 검출할 수 있다.
- [0065] 도 6d에서, 배선 회로 기관(200a) 상에 반도체 칩(400)이 하나만 적층되고 있으나, 다수 개 적층된 경우에도, 적층된 반도체 칩 전체가 제1 전극을 역할을 수행할 수 있다. 또한, 반도체 칩이 아니더라도 배선 회로 기관(200a)의 패드(230)에 전기적으로 연결된 전기 소자도 제1 전극의 역할을 수행할 수 있다. 더 나아가, 반도체 칩이나 전기 소자의 매개 없이 테스트 핀(121)이 바로 제1 전극의 기능을 수행할 수 있다. 그러한 경우, 테스트 핀(121)은 도 6b의 접촉 방식의 제1 전극(120a)과 형태만 다를 뿐, 기능에 있어서는 제1 전극(120a)과 실질적으로 동일할 수 있다.
- [0066] 도 7은 본 발명의 일 실시예에 따른 배선 회로 테스트 장치에 대한 구성도이다. 도 1a 및 도 1b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0067] 도 7을 참조하면, 본 실시예의 배선 회로 테스트 장치(100c)는 전계 차단 구조물(170)을 더 포함한다는 점에서, 도 1a의 배선 회로 테스트 장치(100)와 다를 수 있다. 구체적으로, 본 실시예의 배선 회로 테스트 장치(100c)에서, 전계 차단 구조물(170)이 제2 테스트 영역(A2)을 둘러싸는 형태로 센서(140)의 측면 상에 배치될 수 있다. 전계 차단 구조물(170)은 센서(140)의 측면에서 하방으로 연장되는 구조를 가질 수 있다. 전계 차단 구조물(170)의 하면은 배선 회로 기관(200)에서 이격될 수도 있고, 배선 회로 기관(200)에 접촉될 수도 있다. 다만, 전계 차단 구조물(170)의 하면이 배선 회로 기관(200)에 접촉되는 경우에, 전계 차단 구조물(170)은 배선 회로 기관(200)의 절연층에 접촉될 수 있다.
- [0068] 전계 차단 구조물(170)은 외부의 전계가 제2 테스트 영역(A2)으로 유입되는 것을 방지할 수 있다. 따라서, 전계 차단 구조물(170)은 전계를 차단할 수 있는 메탈로 형성될 수 있다. 한편, 도 7에서, 전계 차단 구조물(170)이 센서의 측면에 결합한 구조를 가지지만 전계 차단 구조물(170)의 구조가 그에 한정되는 것은 아니다. 예컨대, 전계 차단 구조물(170)은 센서(140)와 결합하지 않고 독자적으로 배치될 수도 있다. 또한, 전계 차단 구조물(170)은 제2 전극(130)의 측면에 결합할 수도 있다. 다만, 전계 차단 구조물(170)과 제2 전극(130)은 전기적으로 절연되어야 하므로, 제2 전극(130)과 결합하는 전계 차단 구조물(170)의 상부 부분은 절연층으로 형성될 수 있다.

- [0069] 본 실시예의 배선 회로 테스트 장치(100c)는, 전계가 검출되는 제2 테스트 영역(A2)의 상부에 전계 차단 구조물(170)을 더 포함함으로써, 제2 테스트 영역(A2)으로 외부의 전계가 유입되는 것을 차단하여 제2 테스트 영역(A2) 상에 배선 회로 기관(200)에서 방출한 전계만이 존재하도록 할 수 있다. 그에 따라, 센서(140)가 제2 테스트 영역(A2) 상의 전계를 보다 정확하게 검출할 수 있고, 따라서, 배선 회로 기관(200)의 테스트의 신뢰성을 향상시킬 수 있다.
- [0070] 도 8은 도 1a의 배선 회로 테스트 장치를 이용하여 배선 회로를 테스트하는 원리를 설명하기 위한 그래프들로서, (a) 그래프는 배선 회로 기관이 정상인 상태의 전계를 나타내고 (b) 그래프는 배선 회로 기관이 비정상 상태의 전계를 나타낸다. 여기서, x축은 일 방향으로 배치된 패드들의 번호를 나타내고, y축은 검출된 전계의 세기를 나타내며 단위는 임의의 단위이다. 이해의 편의를 위해, 도 1a의 배선 회로 테스트 장치를 함께 참조하여 설명한다.
- [0071] 도 8을 참조하면, 배선 회로 기관(200)이 정상인 경우, 패드들 각각은 해당 내부 배선을 통해 인가된 전계를 외부로 방출시킬 수 있다. 그에 따라, (a) 그래프를 통해 알 수 있듯이, 패드들 각각에 대응하는 위치에서 전계(Ef)의 세기가 높게 나타나고 패드들 사이에 대응하는 위치에서 전계(Ef)의 세기가 낮게 나타날 수 있다. 다만, (a) 그래프는 패드들 각각의 내부 배선의 구조가 실질적으로 동일한 경우에 대한 것이고, 만약, 패드들 각각의 내부 배선기 서로 다른 경우에는 다른 형태의 그래프가 나타날 수도 있다.
- [0072] 한편, (b) 그래프에서, 점선의 원에 의해 예러로 표시된 바와 같이, 세 번째 패드에 대응하는 위치에서 전계(Ef')의 세기가 낮게 나타나고 있다. 패드가 존재함에도 불구하고 전계(Ef')가 낮게 나타나는 것은 패드에 연결된 내부 배선의 어딘가가 끊겼음을 의미할 수 있다. 따라서, 해당 배선 회로 기관(200)은 내부 배선의 일부가 끊인 비정상 상태일 수 있다.
- [0073] 본 실시예의 배선 회로 테스트 장치(100)에 의한 테스트 과정은 기본적으로 다음과 같다. 먼저, (a) 그래프와 같은 정상인 배선 회로 기관에 대한 전계 그래프를 기준 전계 그래프로 선정한다. 다음, 테스트 대상인 배선 회로 기관에 대하여 전계 검출을 수행하여 검측 전계 그래프를 획득한다. 이후, 기준 전계 그래프와 검측 전계 그래프를 비교하여 테스트 한 배선 회로 기관이 정상인지 판단한다.
- [0074] 참고로, 정상인 배선 회로 기관에 대한 기준 전계 그래프는 다음과 같이 방법을 통해 선정할 수 있다. 먼저, 접촉 방식으로 직접적인 테스트가 가능한 배선 회로 기관의 경우는, 직접적인 테스트를 수행하여 배선 회로 기관이 정상으로 판단되면, 해당 배선 회로 기관에 대해 본 실시예의 배선 회로 테스트 장치(100)를 이용하여 전계를 검출하여 전계 그래프를 획득하고, 그 전계 그래프를 기준 전계 그래프로 선정할 수 있다. 다음, 도 1b에 예시된 바와 같이 접촉 방식으로 직접적인 테스트가 불가능한 배선 회로 기관의 경우는, 먼저, 본 실시예의 배선 회로 테스트 장치(100)를 이용하여 전계를 검출하여 전계 그래프를 획득한 후, 해당 배선 회로 기관에 대해 후속 공정을 진행하여 접촉 방식으로 직접적인 테스트가 가능한 상태에서 직접적인 테스트를 수행하여 해당 배선 회로 기관이 정상으로 판단되면, 앞서 획득한 전계 그래프를 기준 전계 그래프로 선정할 수 있다.
- [0075] 도 9는 도 1a의 배선 회로 테스트 장치에서, 평판 형태의 상부 전극을 이용하여 전계를 형성하는 원리를 보여주는 개념도들이다. 이해의 편의를 위해, 도 1a의 배선 회로 테스트 장치를 함께 참조하여 설명한다.
- [0076] 도 9를 참조하면, 왼쪽 (a) 도면은 배선 회로 기관(200)에 전계를 인가하고, 배선 회로 기관(200)의 상부에 별도의 전극이 배치되지 않은 상태를 나타내고, 오른쪽 (b) 도면은 배선 회로 기관(200)에 전계를 인가하고, 배선 회로 기관(200)의 상부에 평판 형태의 제2 전극(130)이 배치된 상태를 나타낸다.
- [0077] 한편, 배선 회로 기관(200)으로의 전계 인가는 도 1a에서 설명한 바와 같이 제1 전극(120)을 이용하여 배선 회로 기관(200)의 하면에서 인가할 수도 있다. 물론, 도 2a에서 설명한 바와 같이, 제1 전극(120)을 이용하여 배선 회로 기관(200)의 상면에서 인가할 수도 있다. 또한, 배선 회로 기관(200)으로의 전계 인가는 패드(230)나 연결 단자(240)에 테스트 핀을 직접 접촉하여 인가할 수도 있다.
- [0078] (a) 및 (b) 도면에서 알 수 있듯이, 배선 회로 기관(200)에 전계가 인가되면 패드들(230) 각각에 대응하는 위치에서 전계(Ef, Ef")의 세기가 높게 나타나고 패드들(230) 사이에 대응하는 위치에서 전계(Ef, Ef")의 세기가 낮게 나타날 수 있다. 또한, 평판 형태의 제2 전극(130)이 배선 회로 기관(200)의 상부에 배치되는 경우와 배치되지 않은 경우의 전계의 형태가 달라질 수 있다.
- [0079] 구체적으로, 제2 전극(130)이 없는 경우, (a) 도면에 나타난 바와 같이, 패드들(230)에 대응하는 부분과 패드들(230) 사이의 부분의 전계(Ef)의 세기의 차이가 크지 않을 수 있다. 그에 따라, 전체 전계의 방사 형태는 마루

와 골의 위치 차이가 작은 부드러운 굴곡 형태를 가질 수 있다.

- [0080] 그에 반해, 평판 형태의 제2 전극(130)이 존재하는 경우에, (b) 도면에 나타난 바와 같이, 패드들(230)에 대응하는 부분과 패드들(230) 사이의 부분의 전계(Ef")의 세기의 차이가 크게 나타날 수 있다. 이는 제2 전극(130)이 전위차를 크게 하고 그에 따라 패드들(230)에 대응하는 부분의 전계의 세기를 증가시키기 때문이다. 결과적으로, 전체 전계의 방사 형태는 마루와 골의 위치 차이가 큰 날카로운 굴곡 형태를 가질 수 있다.
- [0081] 한편, 평판 형태의 제2 전극(130)에 기인하여, 패드들(230) 각각에 대응하는 부분의 전계의 세기들이 균일하게 날카롭게 증가할 수 있다. 그에 따라, 패드들(230)에 대응하는 전계들 간의 구별이 용이하고, 또한, 차후 비교 판단 과정에서도 어떤 패드 부분에서 이상이 있는지 용이하게 판단할 수 있다. 결국, 평판 형태의 제2 전극(130)은 전계(Ef")의 형태를 형성(forming)하여 위치별, 즉 패드별 전계들의 구별을 용이하게 할 수 있다. 참고로, 제2 전극(130)이 존재하더라도 평판 형태가 아닌 경우에는, 제2 전극(130)의 형태에 대응하여 전계가 제2 전극(130) 쪽으로 쏠리는 형태로 나타나고, 그에 따라, 패드들에 대응하는 전계들 간의 구별이 어려워질 수 있다.
- [0082] 도 10 내지 도 12는 본 발명의 일 실시예들에 따른 배선 회로 테스트 장치에 대한 구성도들이다. 도 1a 및 도 1b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0083] 도 10을 참조하면, 본 실시예의 배선 회로 테스트 장치(100d)에서, 센서(140a)는 전류 미터(142)를 이용한 센서일 수 있다. 예컨대, 센서(140a)는 전류 미터(142)와 안테나(144)를 포함할 수 있다. 구체적으로, 다수의 안테나(144)가 패드(230)에 대응하여 전류 미터(142)의 하면에 배치되고, 패드(230)에서 방출된 전계가 안테나(144)를 통해 수신될 수 있다. 전류 미터(142)는 수신된 전계에 대응하여 안테나(144)로 흐르는 전류를 측정할 수 있다. 센서(140a)는 다수의 패드에 대응하는 안테나(144)를 이용하여 병렬적으로 전계를 검출할 수 있다.
- [0084] 전류 미터(142)를 이용한 센서(140a)에는 다양한 종류의 안테나(144)가 채용될 수 있다. 예컨대, 안테나(144)는 모노-폴(mono-pole) 안테나, 미소 루프 안테나, 헬리컬(helical) 안테나, 또는 민더링(meandering) 등과 같은 선형 안테나, 평면형 역F형 안테나나 마이크로스트립 안테나와 같은 평면형 또는 패치형 안테나, 그리고 접어진(folded) 안테나, 유전체 안테나, 또는 자성체 안테나 등과 같은 복합형 안테나 중 어느 하나일 수 있다. 본 실시예의 배선 회로 테스트 장치(100d)에서, 센서(140a)는 패치형 안테나를 포함할 수 있다.
- [0085] 도 11을 참조하면, 본 실시예의 배선 회로 테스트 장치(100e)에서, 센서(140b)는 전기-광학 결정(145)을 이용한 센서일 수 있다. 예컨대, 센서(140b)는 조명부(141), 광학 소자(143), 전기-광학 결정(145), 및 전기-광학 변환부(147)를 포함할 수 있다.
- [0086] 조명부(141)는 광을 생성하여 광학 소자(143)로 입사시킬 수 있다. 광학 소자(143)는 조명부(141)로부터의 광을 투과 또는 반사하여 전기-광학 결정(145)으로 입사시키고, 전기-광학 결정(145)으로부터 반사된 광을 반사 또는 투과하여 전기-광학 변환부(147)를 입사시킬 수 있다. 조명부(141)는 예컨대, 빔 스플리터(beam splitter)일 수 있다.
- [0087] 전기-광학 결정(145)은 하부 면에 반사판을 포함하여 입사된 광을 반사시킬 수 있다. 또한, 전기-광학 결정(145)은, 전계의 세기에 따라 굴절률이 변하거나 결정의 방향이 변할 수 있고, 따라서, 전계의 세기에 따라 광의 반사 특성이 달라질 수 있다. 전기-광학 결정(145)에 대해서는 도 13a 내지 도 13b의 설명 부분에서 좀더 상세히 설명한다. 전기-광학 변환부(147)는 광학 소자(143)로부터 입력된 광을 전기신호로 변환할 수 있다. 여기서, 전기신호는 전계 세기에 대한 정보를 포함한 '전계 데이터'에 해당할 수 있다.
- [0088] 한편, 제2 전극(130a)이 광학 소자(143)와 전기-광학 결정(145) 사이에 배치되고, 광이 전기-광학 결정(145)으로 입사되어야 하므로, 제2 전극(130a)은 ITO 전극과 같은 투명 전극일 수 있다. 그러나 투명 전극인 제2 전극(130a)의 재질이 ITO에 한정되는 것은 아니다.
- [0089] 본 실시예의 배선 회로 테스트 장치(100e)는, 제2 테스트 영역(A2)에 대응하는 전기-광학 결정(145) 전체에 광이 조사되도록 광을 넓게 퍼뜨리는 광학 소자를 포함할 수 있다. 한편, 제2 테스트 영역(A2)이 넓어 한 번에 광을 조사하기 어려운 경우에는, 스캔하는 식으로 광을 전기-광학 결정(145)에 조사할 수도 있다. 또한, 본 실시예의 배선 회로 테스트 장치(100e)는 광이 균일한 세기로 전기-광학 결정(145)에 조사되도록 하는 빔 호모지나이저(homogenizer)를 포함할 수도 있다.
- [0090] 본 실시예의 배선 회로 테스트 장치(100e)에서, 전계의 검출 원리를 간단히 설명하면, 전기-광학 결정(145)은 패드(230)로부터 방사된 전계의 세기에 따라 굴절률 또는 결정 방향이 변하고, 또한, 광의 반사 특성은 굴절률

또는 결정 방향에 따라 달라질 수 있다. 따라서, 전기-광학 결정(145)으로부터 반사된 광을 수광하여 분석함으로써, 전계의 세기에 대한 데이터를 획득할 수 있다.

- [0091] 도 12를 참조하면, 본 실시예의 배선 회로 테스트 장치(100f)는 센서(140b')가 광 섬유(149)를 이용한다는 점을 제외하고, 도 11의 배선 회로 테스트 장치(100e)와 거의 유사할 수 있다. 구체적으로, 본 실시예의 배선 회로 테스트 장치(100f)에서, 센서(140b')는 광의 이동 경로를 한정하고 외부의 노이즈 광을 차단하기 위한 광 섬유(149)를 더 포함할 수 있다. 즉, 조명부(141)과 광학 소자(143') 사이, 광학 소자(143')와 전기-광학 결정(145) 또는 제2 전극(130a) 사이, 그리고 광학 소자(143')와 전기-광학 변환부(147) 사이는 광 섬유(149)를 통해 연결되고, 광은 광 섬유(149)를 통해 해당 구성 요소들 사이에서 전송될 수 있다.
- [0092] 한편, 광학 소자(143')는 빔 스플리터로 구성되거나 또는 광 서클레이터(optic circulator)로 구성될 수도 있다. 또한, 도 11의 배선 회로 테스트 장치(100e)에서와 마찬가지로 제2 전극(130a)은 투명 전극일 수 있다.
- [0093] 도 13a 및 도 13b는 도 11의 배선 회로 테스트 장치에서 전기-광학 결정 부분을 좀더 상세히 보여주는 단면도들이다.
- [0094] 도 13a를 참조하면, 전기-광학 결정(145)은 반사판(145r)과 복합 재료층(145c)을 포함할 수 있다. 반사판(145r)은 입사된 광을 반사시킬 수 있다. 반사판(145r)은 유전체 미러 필름(dielectric mirror film) 또는 CLC(Cholesteric Liquid Crystal) 폴리머로 형성될 수 있다.
- [0095] 복합 재료층(145c)은 폴리머 필름(145f)과 액정 드롭릿(145l, liquid crystal droplet)을 포함할 수 있다. 예컨대, 복합 재료층(145c)은 폴리머 분산형 액정(Polymer Dispersed Liquid Crystal: PDLC)일 수 있다. 그에 따라, 복합 재료층(145c)은 다수의 액정 드롭릿들(145l)이 폴리머 필름(145f) 내에 분산되어 배치된 구조를 가질 수 있다. 액정 드롭릿들(145l) 각각의 내부에는 다수의 액정 분자들(145m)이 포함될 수 있다.
- [0096] 위의 (a) 도면과 같이 전계(Ef)가 인가되지 않은 상태에서, 액정 드롭릿(145l) 내의 액정 분자들(145m)은 무질서하게 배열될 수 있다. 다만, 액정의 특정상 액정 분자들(145m)이 완전히 무질서하게 되는 것은 아니고 어느 정도의 규칙성을 가질 수 있다. 그에 따라, 입사광(L)이 무질서하게 배열된 액정 분자들(145m)에 의해 산란되어, 복합 재료층(145c)은 불투명하게 보일 수 있다. (a) 도면에서, 입사광(L)이 반사판(145r)에 도달되는 것으로 도시되어 있으나, 일부 입사광(L)은 반사판(145r)에 도달할 수 없다.
- [0097] 아래의 (b) 도면과 같이 전계(Ef)가 인가된 상태에서, 액정 드롭릿(145l) 내의 액정 분자들(145m)은 전계(Ef)의 방향을 따라 정렬될 수 있다. 그에 따라, 입사광(L)은 정렬 배열된 액정 분자들(145m)을 통과하여 반사판(145r)에 도달하여 반사판(145r)에 의해 반사되어, 복합 재료층(145c)은 투명하게 보일 수 있다.
- [0098] 한편, (b) 도면에서, 전 영역에 강한 전계(Ef)가 인가되어 모든 액정 분자들(145m)이 전계(Ef)의 방향을 따라 정렬된 상태를 예시하고 있으나, 전 영역에 걸쳐 강한 전계가 인가되지 않을 수 있다. 그러한 경우, 전계의 세기가 약한 부분의 액정 분자들(145m)은 전계(Ef)의 방향을 따라 불완전하게 정렬되고, 그에 따라, 해당 부분의 반사 특성, 즉 반사율이 낮아질 수 있다.
- [0099] 결국, 도 11 또는 도 12의 배선 회로 테스트 장치(100e, 100f)는, 전기-광학 결정(145)의 전기-광학적 성질을 이용하여, 전계의 세기에 따른 반사율에 의해 광을 검출하고, 검출된 광을 전기신호로 변환하여, 해당 위치의 전계의 세기를 계산할 수 있다.
- [0100] 도 13b를 참조하면, 전기-광학 결정(145')은 반사판(145r)과 굴절률 변환층(145n)을 포함할 수 있다. 반사판(145r)은 도 13a의 전기-광학 결정(145)의 반사판(145r)에 대해 설명한 바와 같다.
- [0101] 굴절률 변환층(145n)은 전계의 인가에 의해 굴절률이 변화될 수 있다. 굴절률의 변화는 입사광의 굴절각을 변화시킬 수 있다. 또한, 굴절률의 변화는 광의 위상을 변화시킬 수 있다. 굴절률 변환층(145n)은 예컨대 단결정 실리콘으로 형성될 수 있다. 그러나 굴절률 변환층(145n)의 재질이 단결정 실리콘에 한정되는 것은 아니다.
- [0102] 위의 (a) 도면과 같이 전계(Ef)가 인가되지 않은 상태에서, 입사광(L)은 굴절률 변환층(145n)의 경계에서 제1 굴절각( $\theta_1$ )을 가지고 굴절되고 반사판(145r)에 의해 반사되어 방출될 수 있다. 한편, 아래의 (b) 도면과 같이 전계(Ef)가 인가된 상태에서, 굴절률 변환층(145n)의 굴절률이 변화되고, 그에 따라, 입사광(L)은 굴절률 변환층(145n)의 경계에서 제2 굴절각( $\theta_2$ )을 가지고 굴절되고 반사판(145r)에 의해 반사되어 방출될 수 있다. 따라서, 설정된 입사각으로 입사시킨 입사광에 대하여 설정된 각도에서 방출된 광을 검출하고 전기신호로 변환시킴으로써, 해당 위치의 전계(Ef)의 유무 또는 세기를 검출할 수 있다.



- [0103] 한편, 전술한 바와 같이 굴절을 변화는 광의 위상을 변화시킬 수 있다. 따라서, 굴절을 변환층(145n)에 광을 수직으로 입사시키고, 방출된 광에 대해서 위상 변화를 계산함으로써, 해당 위치의 전계(Ef)의 유무 또는 세기를 검출할 수 있다.
- [0104] 도 14는 본 발명의 일 실시예에 따른 배선 회로 테스트 방법을 개략적으로 보여주는 흐름도이다. 이해의 편의를 위해, 도 1a 및 1b의 배선 회로 테스트 장치를 함께 참조하여 설명한다.
- [0105] 도 14를 참조하면, 먼저, 배선 회로 기관(200)에 제1 및 제2 전극(120, 130)을 이용하여 전기신호를 인가하여 전계를 생성한다(S110). 배선 회로 기관(200)은 기관(210), 내부 배선(220), 패드(230) 및 연결 단자(240)를 포함할 수 있다. 전기신호인가에 의해 제2 전극(130)이 배치된 제2 테스트 영역(A2)에서 전계가 방출될 수 있다. 제1 및 제2 전극(120, 130)은 도 1a의 배선 회로 테스트 장치(100)에서와 같이 배선 회로 기관(200)의 상면 및 하면 상에 배치될 수 있다. 그러나 그에 한하지 않고, 도 2a의 배선 회로 테스트 장치(100a)에서와 같이, 제1 및 제2 전극(120a, 130)은 배선 회로 기관(200a)의 상면 상에 함께 배치되거나, 또는 배선 회로 기관(200a)의 하면 상에 함께 배치될 수 있다.
- [0106] 한편, 배선 회로 기관(200)을 예로 설명하고 있지만, 본 실시예에 따른 배선 회로 테스트 방법이 배선 회로 기관(200)에만 적용되는 것은 아니다. 예컨대, 재배선 및/또는 내부 배선이 존재하고 상면 및 하면 중 적어도 한 면에 패드 및/또는 연결 단자가 배치된 모든 종류의 반도체 장치들이 본 실시예의 배선 회로 테스트 방법을 통해 테스트 될 수 있다. 또한, 본 실시예의 배선 회로 테스트 방법은 웨이퍼 테스트 설비, 및 패키지 테스트 설비 등에 이용될 수 있다.
- [0107] 전계 생성 후, 센서(140)를 이용하여 전계를 검출한다(S120). 센서(140)는 전류 미터를 이용한 센서, 또는 전기-광학 결정을 이용한 센서이고, 제2 전극(130)과 배선 회로 기관(200) 사이에 배치될 수 있다. 전계의 생성 단계(S110)와 전계의 검출 단계(S120)가 구별되어 표시되고 있지만, 전계의 전자기적 특성상 전계의 생성과 검출은 거의 동시에 이루어질 수 있다. 또한, 센서(140)를 통해 검출된 전계는 전계 세기에 대한 정보를 포함한 '전계 데이터'일 수 있다.
- [0108] 전계 검출 후, 배선 회로 기관(200)의 패드(230)별 전계 세기와 그에 대응하는 배선의 저항값을 계산한다(S130). 전계 세기와 저항값은 신호 처리부(150)에서, 센서(140)에서 검출한 전계 데이터에 기초하여 계산할 수 있다. 여기서, 전계 세기는 도 8에서와 같이 패드 위치별 전계 그래프로 계산될 수 있다.
- [0109] 이후, 배선 회로 기관(200)이 정상인지 판단한다(S140). 배선 회로 기관(200)의 정상 유무는 판단부(160)에서, 배선 회로 기관(200)의 설계 데이터와 앞서 계산된 전계 세기와 저항값에 기초하여 판단할 수 있다. 좀더 구체적으로 설명하면, 배선 회로 기관(200)의 설계 데이터, 즉 범프, 내부 배선(220), 패드(230), 연결 단자(240)의 위치나 연결 구조 등에 대한 데이터가 미리 판단부(160)에 입력될 수 있다. 또한, 판단부(160)에는 배선 회로 기관(200)별 기준 전계 그래프 및/또는 배선들의 기준 저항값이 미리 입력될 수 있다. 이후, 테스트가 수행된 배선 회로 기관(200)에 대한 전계 세기와 저항값이 신호 처리부(150)로부터 입력되고, 그러한 전계 세기와 저항값을 기준 전계 그래프와 기준 저항값에 비교함으로써, 배선 회로 기관(200)의 정상 유무를 판단하게 된다.
- [0110] 본 실시예의 배선 회로 테스트 방법에서, 배선 회로 기관(200)의 정상 유무는 배선 회로 기관(200) 상에 설정된 몇 개의 제2 테스트 영역(A2)에서만 전계를 검출하여 판단할 수도 있고, 배선 회로 기관(200) 전체에 대해서 전계를 검출하여 판단할 수도 있다. 참고로, 본 실시예의 배선 회로 테스트 방법에서, 배선 회로 기관(200)의 테스트는 웨이퍼 레벨에서 이루어질 수 있다. 즉, 하나의 웨이퍼에는 수십 내지 수백 개의 배선 회로 기관(200)이 포함될 수 있고, 그러한 배선 회로 기관(200) 각각에 대해서 본 실시예의 배선 회로 테스트 방법에 의한 전계 검출이 수행되어 정상 유무가 판단될 수 있다.
- [0111] 배선 회로 기관(200)이 정상인 경우(Yes), 배선 회로 테스트 방법을 종료한다. 만약, 배선 회로 기관(200)이 비정상인 경우(No), 그 원인을 분석한다(S150). 원인 분석 후, 배선 회로 테스트 방법을 종료한다. 실시예에 따라, 배선 회로 테스트 방법은 배선 회로 기관(200)의 정상 유무만을 판단하고 종료할 수도 있다. 다시 말해서, 배선 회로 테스트 방법이 배선 회로 기관(200)의 양/불량 판단만이 목적인 경우에는 원인 분석 단계(S150)는 생략될 수 있다.
- [0112] 덧붙여, 본 실시예의 배선 회로 테스트 방법은 불량 분석 설비에도 이용될 수 있다. 참고로, 불량 분석 설비는, 어느 패드 또는 어느 배선 회로에 문제가 있는지 및/또는 배선 회로의 어느 부분에 문제가 있는지 등을 좀더 정밀하게 분석하는 설비일 수 있다. 전술한 바와 같이 본 실시예의 배선 회로 테스트 방법은 전계 검출을 통해 이상 있는 패드 및/또는 내부 배선을 검출할 수 있다. 따라서, 본 실시예의 배선 회로 테스트 방법은 불량 분석

설비에 유용하게 이용될 수 있다.

- [0113] 도 15는 본 발명의 일 실시예에 따른 배선 회로 테스트 방법을 포함한 반도체 소자 제조방법을 개략적으로 보여주는 흐름도이고, 도 16은 도 15의 반도체 소자 제조방법을 통해 완성된 반도체 소자를 예시적으로 보여주는 단면도이다. 도 14의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0114] 도 15를 참조하면, 전계 생성 단계(S110), 전계 검출 단계(S120), 저항값 계산 단계(S130), 및 정상 유무 판단 단계(S140)를 순차적으로 수행한다. 전계 생성 단계(S110) 내지 정상 유무 판단 단계(S140)는 도 14의 설명 부분에서 설명한 바와 같다.
- [0115] 다음, 배선 회로 기관(200)이 비정상인 경우(No), 그 원인을 분석하고(S150), 반도체 소자 제조방법을 종료한다. 비정상인 배선 회로 기관(200)은 폐기될 수 있다. 한편, 리페어가 가능한 경우에는, 배선 회로 기관(200)에 대한 리페어 공정이 수행될 수도 있다.
- [0116] 배선 회로 기관(200)이 정상인 경우(Yes), 배선 회로 기관(200)에 대한 후속 공정을 수행한다(S160). 후속 공정은 배선 회로 기관(200) 상에 반도체 칩들을 적층하고 밀봉재로 밀봉하여 패키지 구조체를 형성하는 공정, 및 패키지 구조체를 소잉하여 각각의 반도체 패키지로 개별화하는 공정을 포함할 수 있다. 여기서, 패키지 구조체는 웨이퍼 레벨의 배선 회로 기관(200) 각각에 반도체 칩들을 적층한 후, 웨이퍼 상의 반도체 칩들 전체를 밀봉재로 밀봉한 구조체를 의미할 수 있다. 한편, 후속 공정에는 반도체 패키지를 메인 보드 또는 PCB 등과 같은 패키지 기관에 실장하는 공정, 및/또는 반도체 패키지를 테스트하는 공정이 포함될 수 있다.
- [0117] 도 16에 의해 도시된 바와 같이, 본 실시예의 반도체 소자 제조방법에 의해 제조된 반도체 소자(1000)는 배선 회로 기관(200), 반도체 칩들(500, 600, 700), 및 패키지 기관(800)을 포함할 수 있다. 배선 회로 기관(200)은 도 1a 및 도 1b의 설명 부분에서, 배선 회로 기관(200)에 대해 설명한 바와 같다. 반도체 칩들(500, 600, 700)은 로직 칩(500), 메모리 칩(600), 및 프로세서 칩(700)을 포함할 수 있다. 여기서, 메모리 칩(600)은 다수 개 적층되어 배치될 수 있다. 메모리 칩(600)은 예컨대, HBM(High Bandwidth Memory) DRAM 칩일 수 있다. 그러나 메모리 칩(600)이 HBM DRAM 칩에 한정되는 것은 아니다. 한편, 프로세서 칩(700)은 GPU/CPU/SOC 칩일 수 있다. 로직 칩(500)에는 로직 소자들이 포함될 수 있고, 메모리 칩(600)의 하부에서 신호를 통합하여 하부로 전달할 수 있다. 한편, 로직 칩(500)은 버퍼 칩으로 언급되고, 메모리 칩(600)은 코어 칩이라고 언급될 수 있다.
- [0118] 도시된 바와 같이, 반도체 칩들(500, 600, 700)은 미세 범프(510, 710)를 통해 배선 회로 기관(200) 상에 적층될 수 있다. 또한, 메모리 칩들(600)은 미세 범프(610)를 통해 로직 칩(500) 및 하부의 메모리 칩(600) 상에 적층될 수 있다. 한편, 로직 칩(500)과 메모리 칩들(600)은 미세 범프들(510, 610), 관통 전극(520, 620), 및 내부 배선(미도시)을 통해 서로 전기적으로 연결될 수 있다.
- [0119] 반도체 칩들(500, 600, 700)은 배선 회로 기관(200)을 매개로 하여 패키지 기관(800)에 적층될 수 있다. 배선 회로 기관(200)은 기관(210), 내부 배선(220), 패드(230) 및 연결 단자(240)를 포함하여 반도체 칩들(500, 600, 700)을 패키지 기관(800)에 전기적으로 연결할 수 있다. 참고로, 배선 회로 기관(200)의 연결 단자(240)의 수는 로직 칩(500)과 메모리 칩(600)의 미세 범프(510, 610)의 수보다 4배 이상 많을 수 있다. 또한, 배선 회로 기관(200)의 패드(230)는 로직 칩(500) 또는 메모리 칩(600)의 패드의 2배 이하이나 4배 이상으로 증가가 예상되고 있다.
- [0120] 패키지 기관(800)은 하부에 솔더 볼과 같은 외부 연결 단자(810)를 포함할 수 있다. 그에 따라, 반도체 소자(1000)는 외부 연결 단자(810)를 통해 다른 외부 보드 상에 실장될 수 있다.
- [0121] 이와 같은 반도체 소자(1000)의 구조를 2.5D 패키지 구조라고 부르는데, 2.5D 패키지 구조는 모든 반도체 칩들이 함께 적층되고 인터포저가 없는 3D 패키지 구조에 대한 상대적인 개념일 수 있다. 2.5D 패키지 구조와 3D 패키지 구조는 모두 SIP(System In Package) 구조에 포함될 수 있다.
- [0122] 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

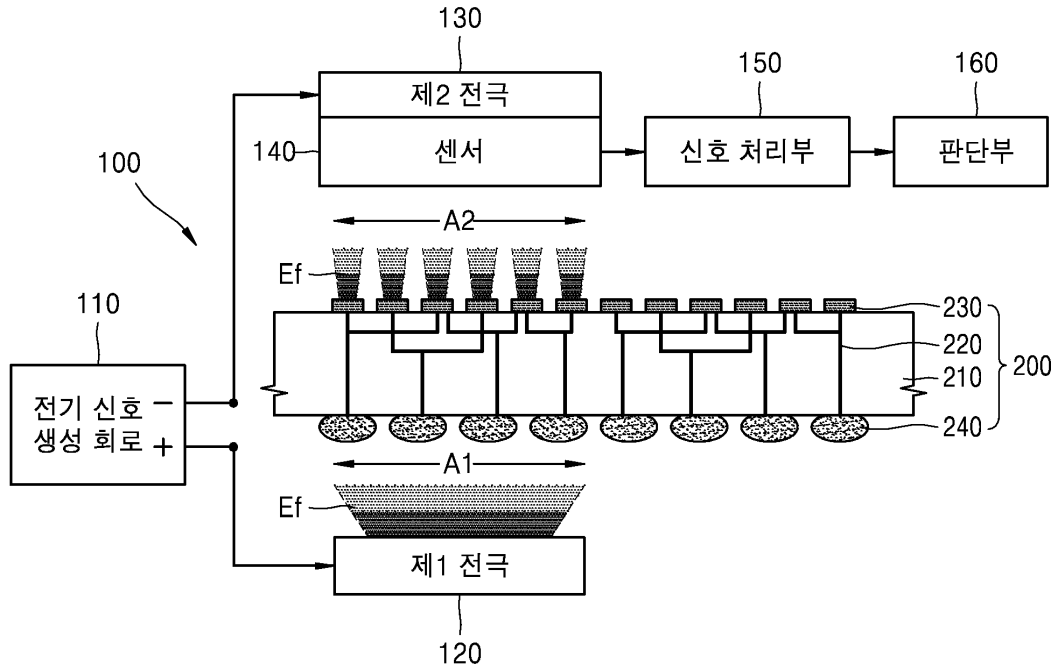
**부호의 설명**

- [0123] 100, 100a ~ 100f: 배선 회로 테스트 장치, 110: 전기신호 생성회로, 120, 120a: 제1 전극, 130: 제2 전극, 140, 140a, 140b: 센서, 142: 전류 미터, 144: 안테나, 141: 조명부, 143, 143': 광학 소자, 145, 145':

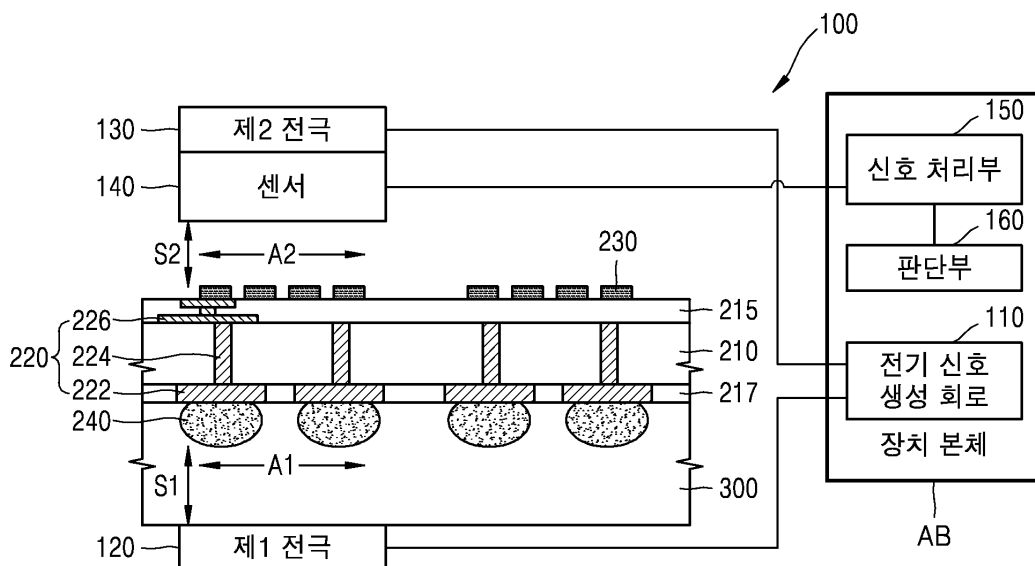
전기-광학 결정, 147: 전기-광학 변환부, 149: 광 섬유, 150: 신호 처리부, 160: 판단부, 170: 전계 차단 구조물, 190: 광 섬유, 200: 배선 회로 기판, 210: 기판, 220, 220a: 내부 배선, 222: 하부 패드, 224: 관통 전극, 226, 226a: 배선층, 230: 패드, 240: 연결 단자

도면

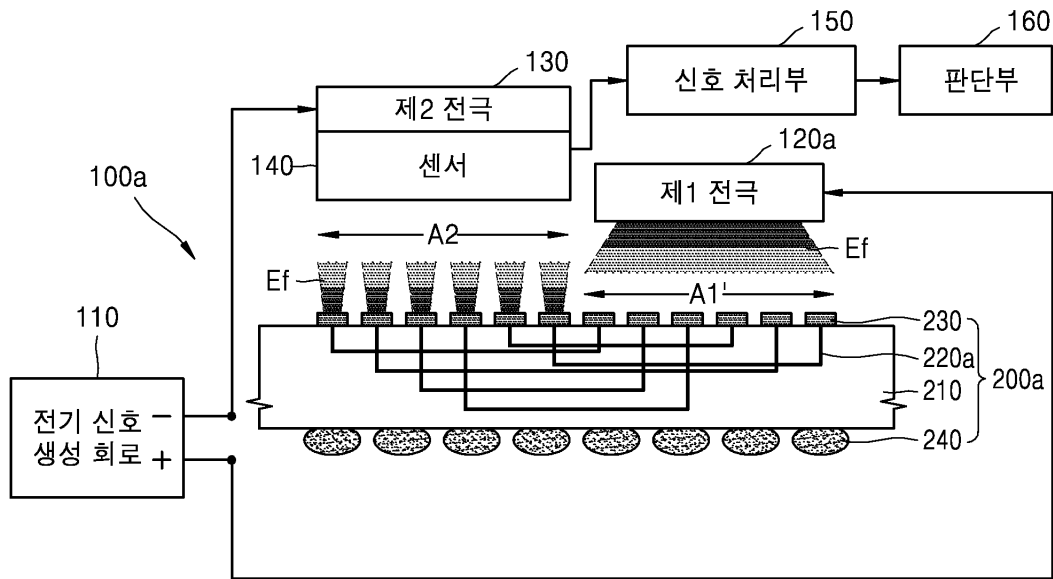
도면1a



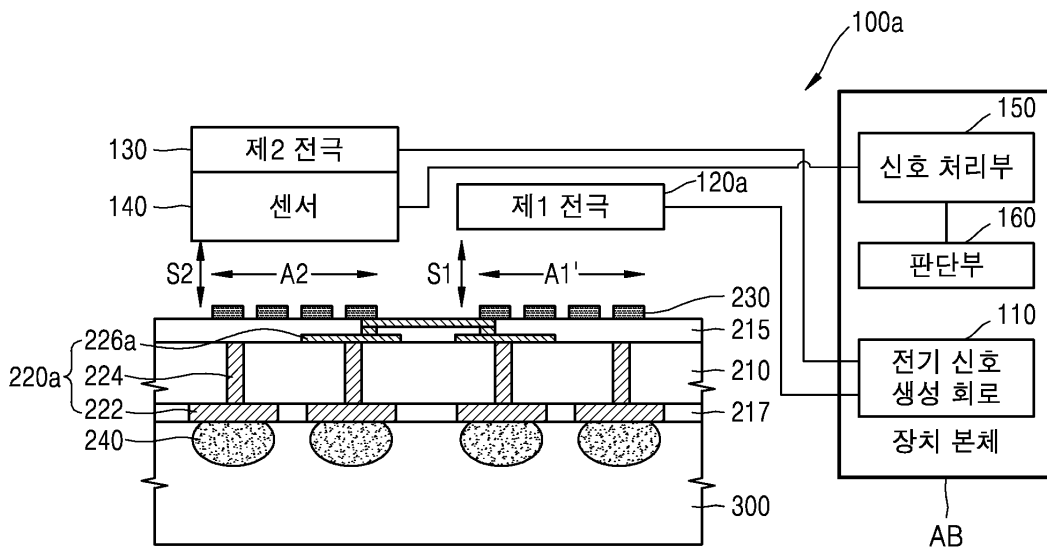
도면1b



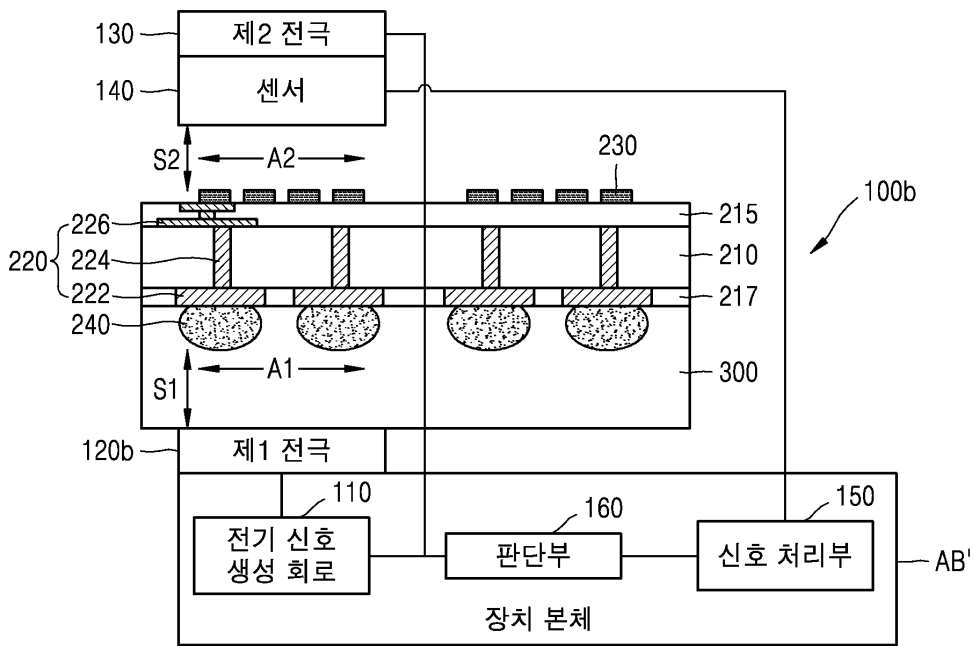
도면2a



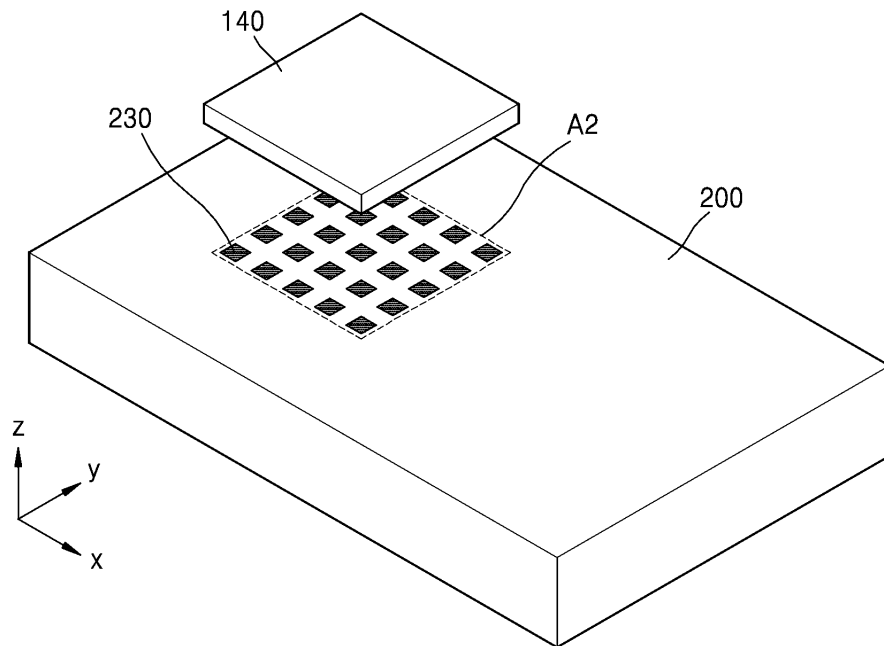
도면2b



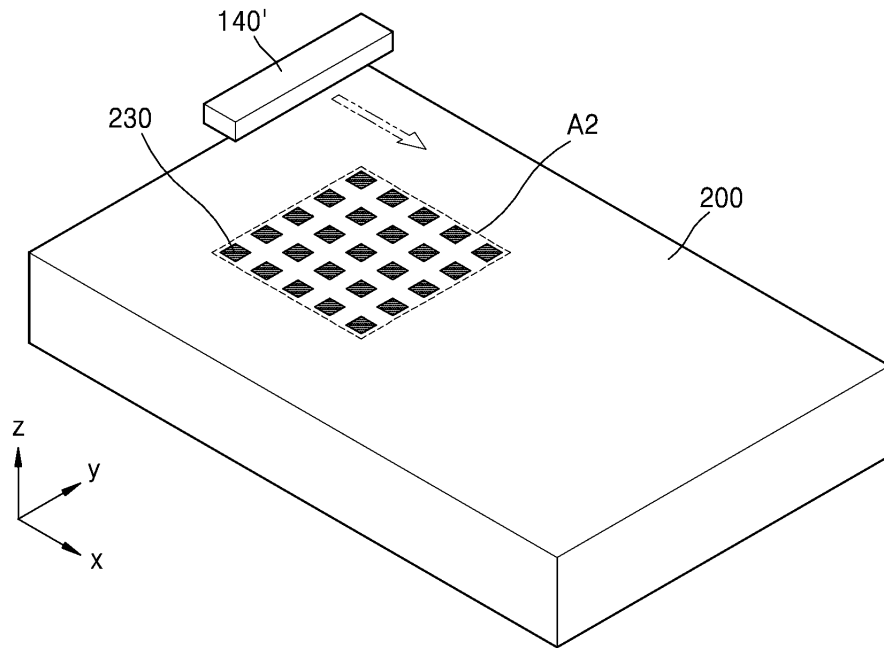
도면3



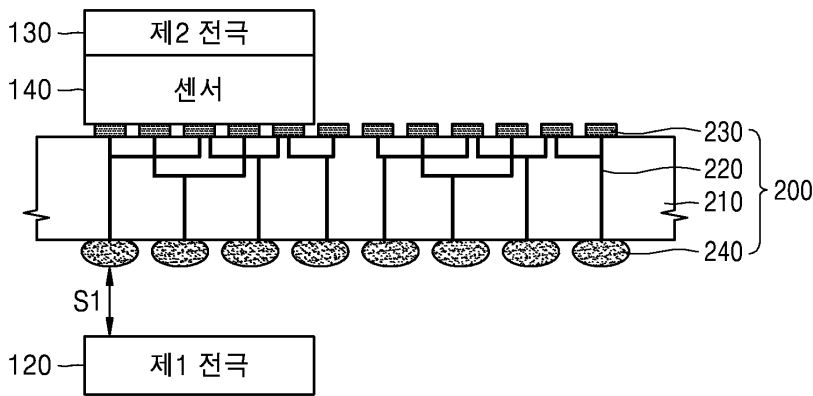
도면4a



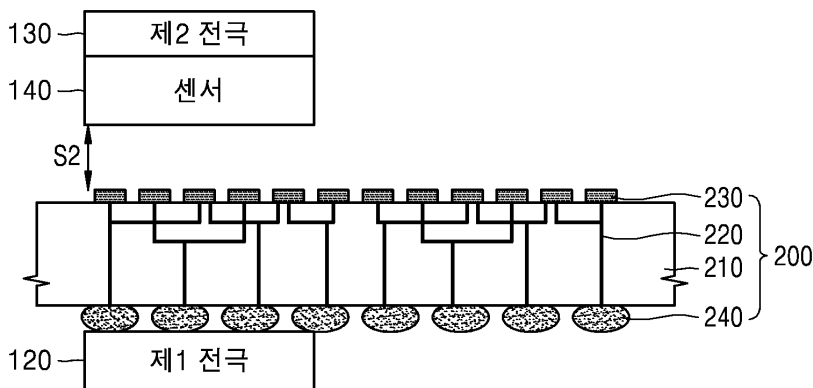
도면4b



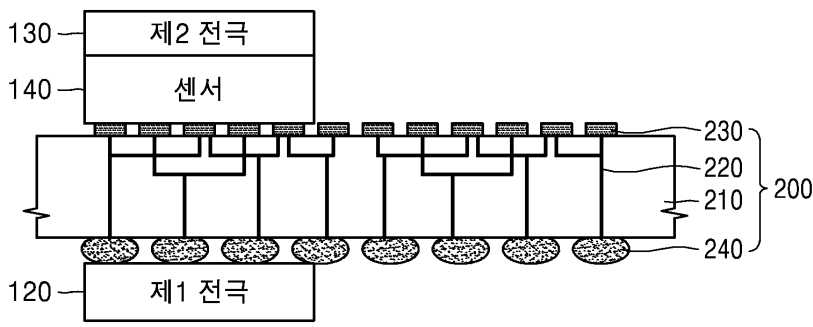
도면5a



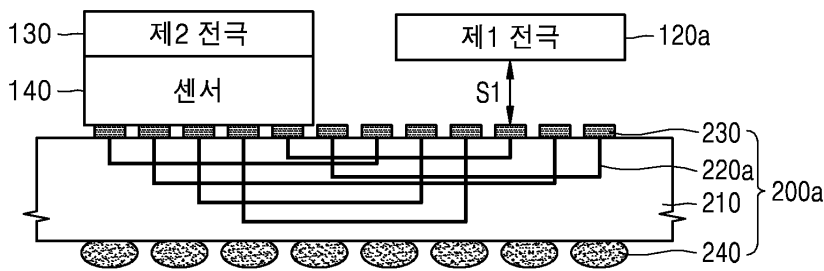
도면5b



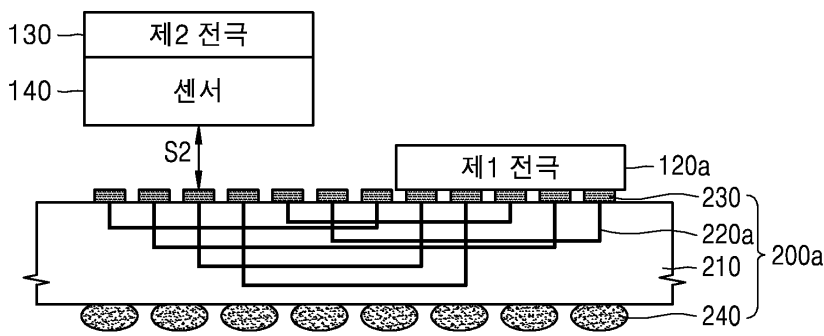
도면5c



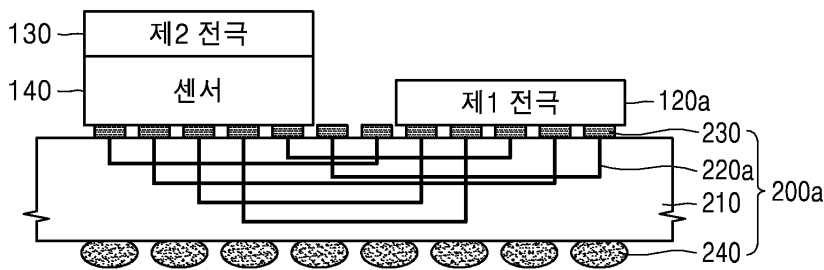
도면6a



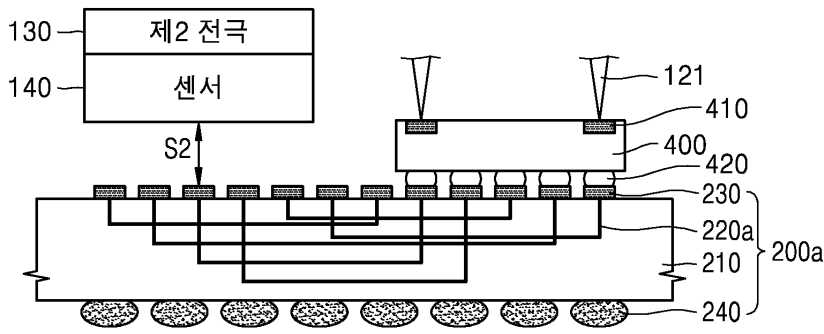
도면6b



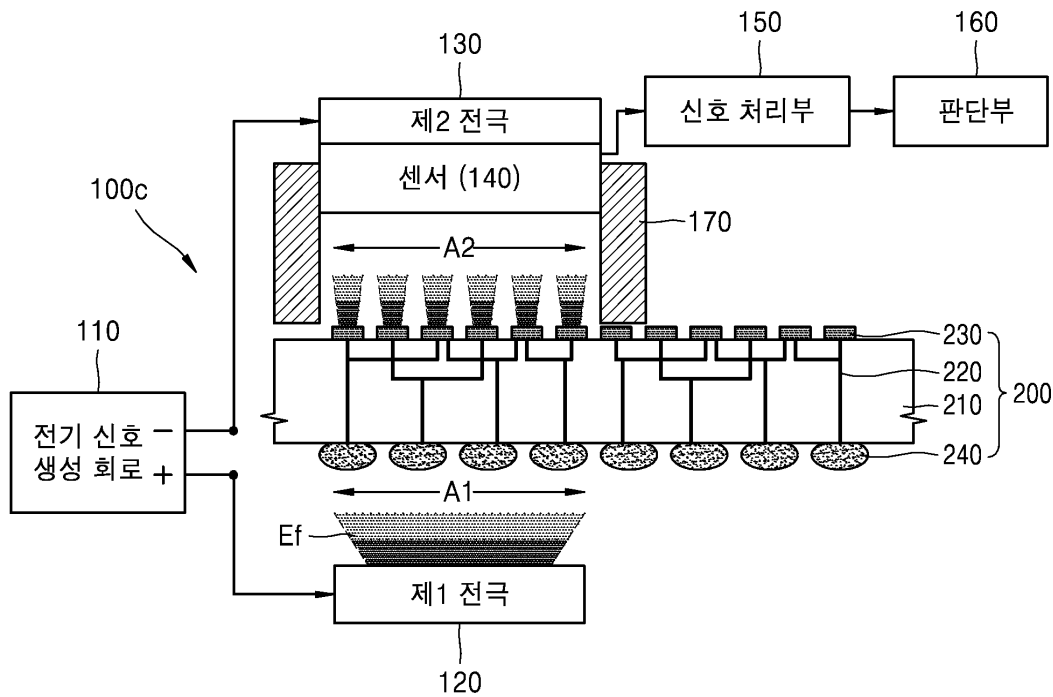
도면6c



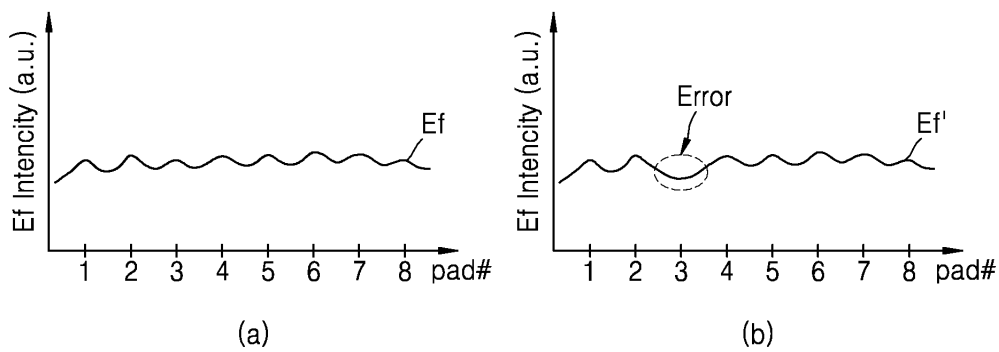
도면6d



도면7

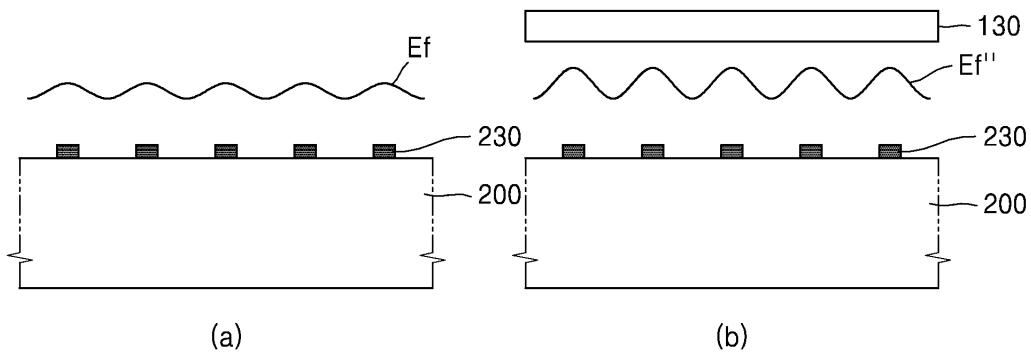


도면8

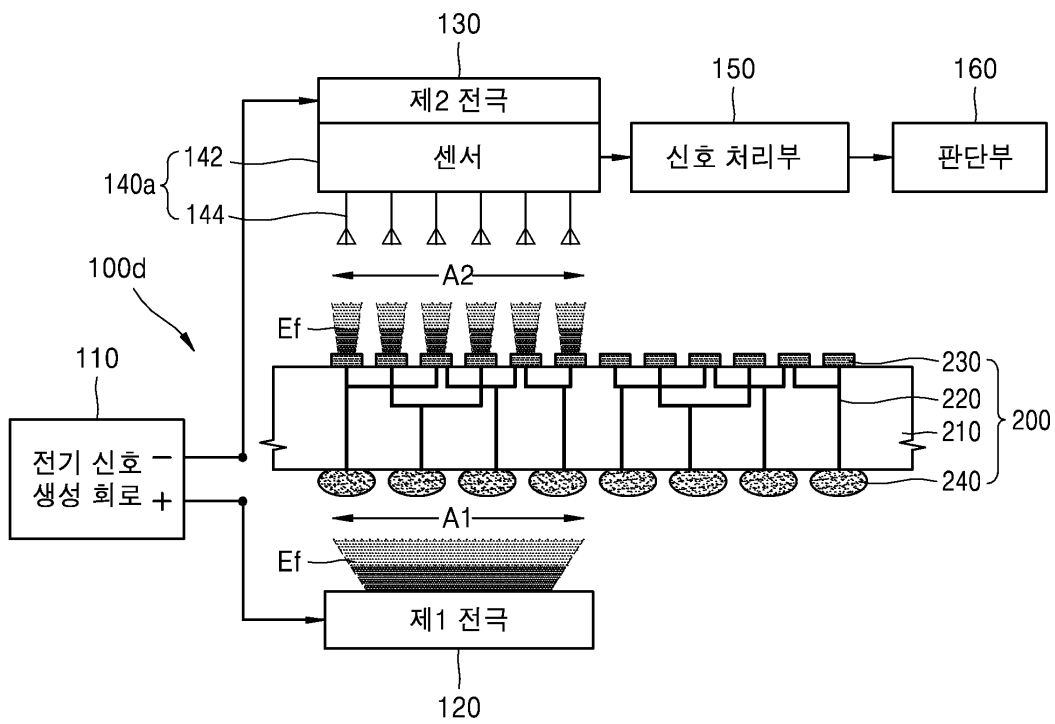




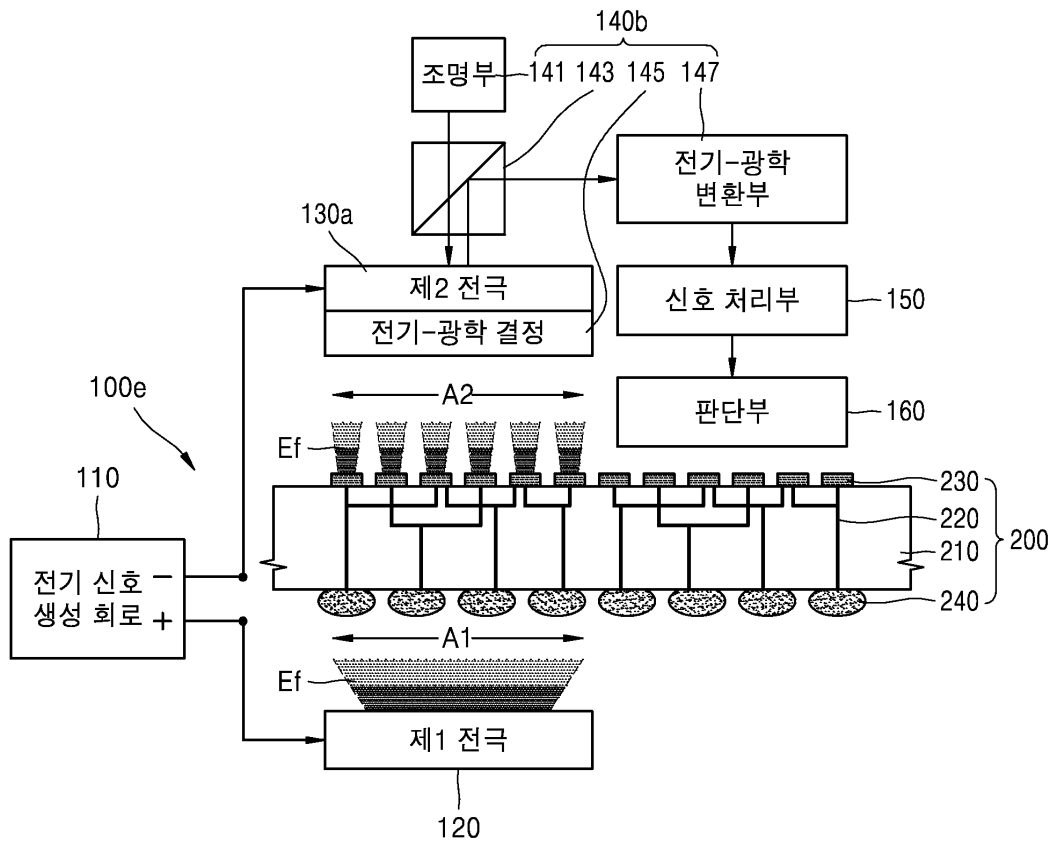
도면9



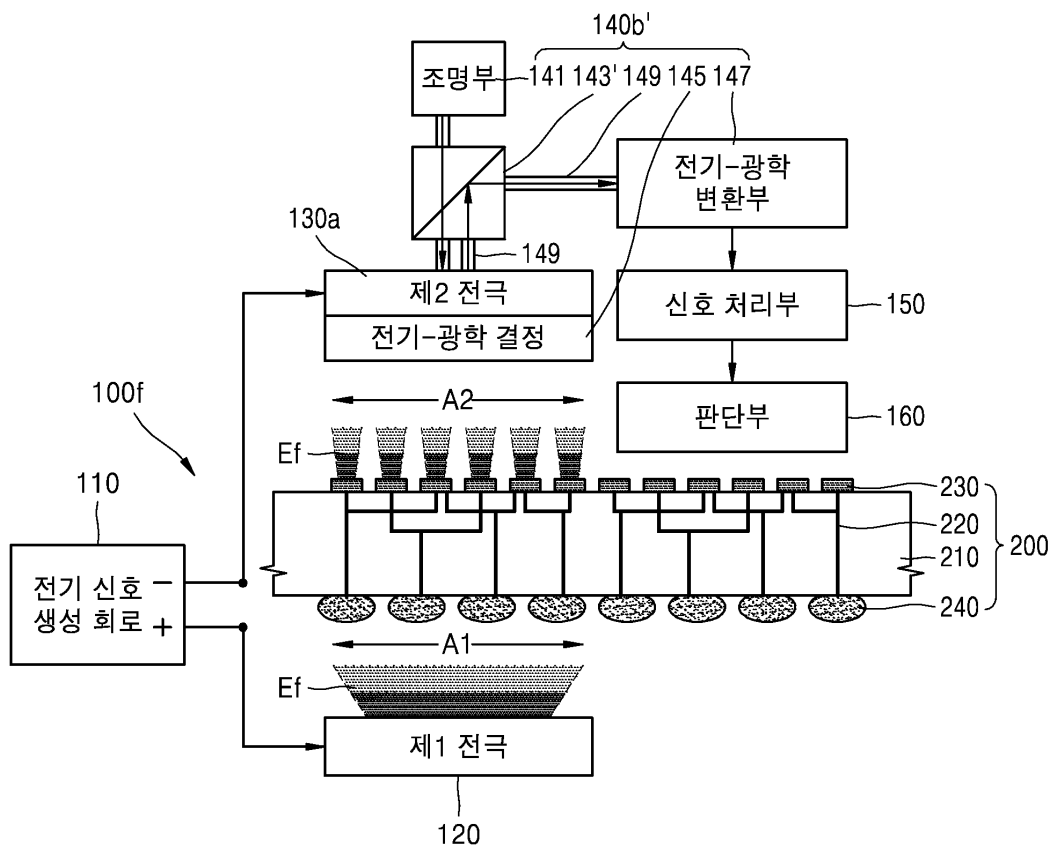
도면10



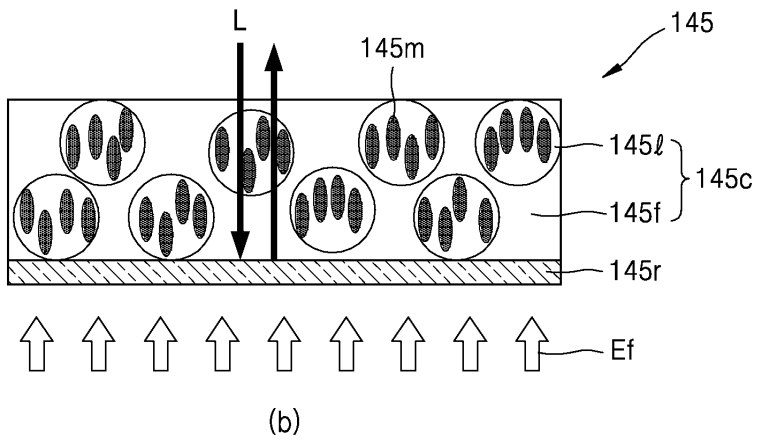
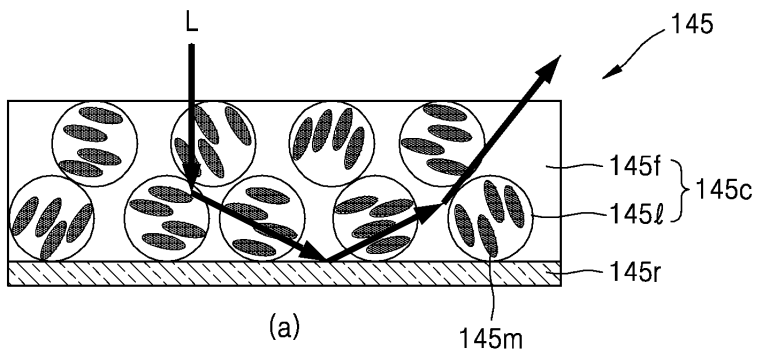
도면11



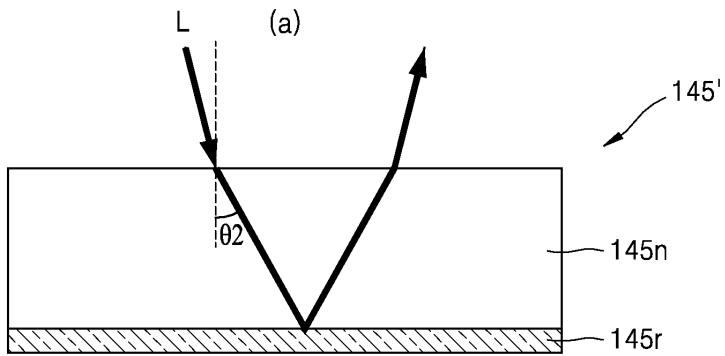
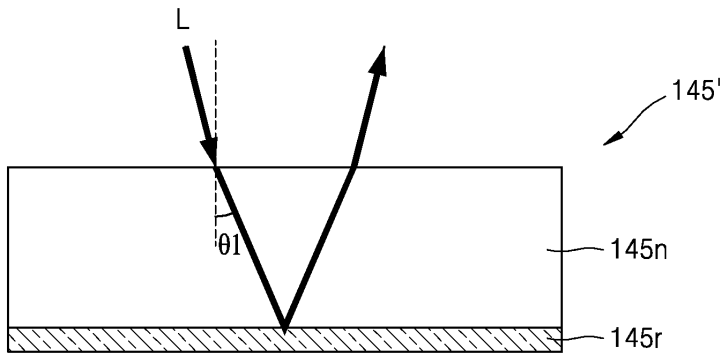
도면12



도면13a

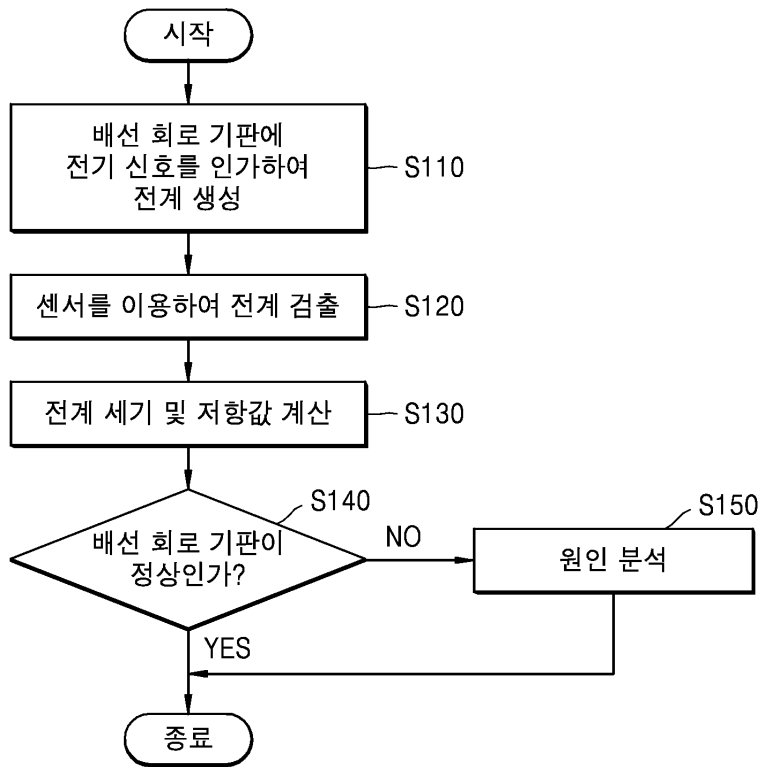


도면13b

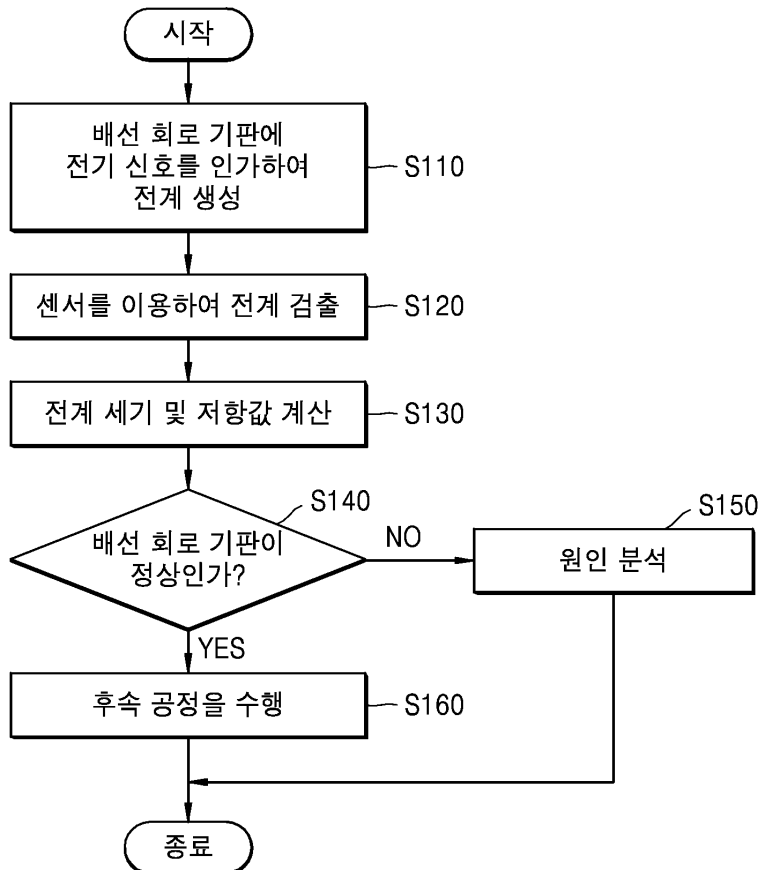


(b)

도면14



도면15



도면16

