



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년09월26일  
 (11) 등록번호 10-1659789  
 (24) 등록일자 2016년09월20일

(51) 국제특허분류(Int. Cl.)  
 G06F 3/044 (2006.01) G01V 3/08 (2006.01)  
 (21) 출원번호 10-2014-0164236  
 (22) 출원일자 2014년11월24일  
 심사청구일자 2015년01월16일  
 (65) 공개번호 10-2015-0060565  
 (43) 공개일자 2015년06월03일  
 (30) 우선권주장  
 14/089,837 2013년11월26일 미국(US)  
 (56) 선행기술조사문헌  
 KR1020110042585 A\*  
 KR1020100048236 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**셈테크 코퍼레이션**  
 미국 93012-8790 캘리포니아 카마틸로 플라인 로드 200  
 (72) 발명자  
**니스, 올리비에**  
 스위스 2000 뉴채텔 페르투이-뒤-쏘 58  
**모네이, 파스칼**  
 미국 캘리포니아 92103 샌디에이고 펜실베니아 에비뉴 1401  
**애비셔, 다니엘**  
 스위스 2074 마랭-에프그니에 뒤 뒤 프레-오-양던 14  
 (74) 대리인  
**장훈**

전체 청구항 수 : 총 15 항

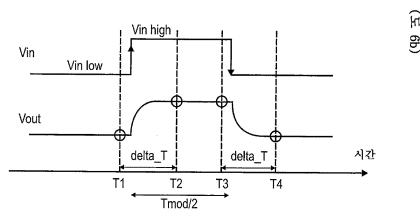
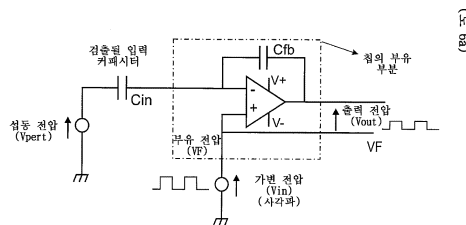
심사관 : 반성원

(54) 발명의 명칭 **근접 검출을 위한 용량성 감지 인터페이스**

**(57) 요약**

근접 센서를 위한 측정 회로는 정편 파형으로써 구동되는 부유 전압 도메인에서 전하 증폭기를 포함한다. 출력 신호는 부유 도메인의 전압과 동기하여 샘플링되고, 전압 스텝들 진폭을 측정함으로써 복조된다. 이 접근법은 스위칭된 커패시터 구현과 호환가능하고, 주변 노이즈로부터 커패시터 신호를 식별하는 것을 허용하며; 후자는 독립적으로 평가될 수 있다.

**대표도**



## 명세서

### 청구범위

#### 청구항 1

근접 센서를 위한 측정 회로에 있어서,

도전성 본체들로의 근접에 응답하여 변하는 커패시트에 접속가능한 측정 단자; 상기 측정 단자에 접속된 입력부 및 가변 참조 전압에 접속된 참조 노드를 갖는 전하 증폭기, 접지 전압과 상기 가변 참조 전압 사이에 접속되고, 상기 전하 증폭기가 가변 전압원의 출력과 같은 전압(VF)에 의해 상기 접지에 대해 부유하도록 전압 스텝들을 포함하는 가변 전압(VF)을 생성하는 가변 전압원(Vin), 및 전압 스텝 전 및 후에 상기 전하 증폭기의 출력이 샘플링되는 방식으로 상기 가변 전압원(Vin)과 동기화되는 시간 순간들(T1, T2, T3, T4)에서 상기 전하 증폭기의 출력을 샘플링하기 위해 배열된 샘플링 유닛을 포함하는 측정 회로를 포함하고, 상기 측정 회로는 상기 전하 증폭기의 상기 샘플링된 출력에 기초하여 상기 측정 단자에 접속된 상기 커패시트의 추정을 결정하도록 배열되는, 측정 회로.

#### 청구항 2

제 1 항에 있어서,

상기 가변 전압원(Vin)은 사각 파형(square waveform)(VF)을 생성하는, 측정 회로.

#### 청구항 3

제 1 항에 있어서,

상기 측정 회로는 전압 스텝 전 및 후에 취해지는 샘플들을 비교하고, 상기 스텝 높이에 대한 추정 값을 결정하도록 배열되는, 측정 회로.

#### 청구항 4

제 1 항에 있어서,

상기 가변 전압(VF)은 동일한 높이의 상승 및/또는 하강 전압 스텝을 나타내고, 상기 측정 회로는 복수의 전압 스텝들 전 및 후에 상기 전하 증폭기의 출력을 샘플링하고, 상기 스텝 높이에 대한 평균 값을 계산하도록 배열되는, 측정 회로.

#### 청구항 5

제 4 항에 있어서,

상기 전하 증폭기의 출력을 샘플링하기 위한 아날로그 또는 디지털 샘플링 수단을 포함하는, 측정 회로.

#### 청구항 6

제 1 항에 있어서,

상기 전하 증폭기의 출력 전압을 리셋(reset)하기 위해 상기 전하 증폭기의 피드백 경로에서 적어도 하나의 리셋 스위치를 추가로 포함하고, 상기 측정 회로는 상기 가변 전압원과 동기화되는 간격들에서 상기 리셋 스위치를 활성화시키도록 동작가능하게 배열되고, 상기 전하 증폭기의 출력 값은 상기 가변 전압원에 의해 생성되는 변조 스텝들의 방향 및/또는 진폭에 의존하는 값에 리셋되는, 측정 회로.

#### 청구항 7

제 1 항에 있어서,

상기 가변 전압(VF)은 동일 높이의 상승 및/또는 하강 전압 스텝들을 나타내고, 상기 측정 회로는 상기 전압 스텝들의 전 및 후에 상기 전하 증폭기의 출력을 샘플링하고, 상기 전압 스텝들의 전 및 후에 뽑아낸 샘플들 사이

의 차이들을 계산하고, 상기 차이들에 기초하여 주변 노이즈의 추정을 결정하도록 배열되는, 측정 회로.

**청구항 8**

제 7 항에 있어서,

적분기를 갖는 시그마-델타 변환기(sigma-delta converter)를 포함하고, 상기 시그마-델타 변조기의 적분기는 상기 가변 전압원과 동기화되는 간격들에서 미리 결정된 상태로 리셋되는, 측정 회로.

**청구항 9**

제 7 항에 있어서,

축적된 에러 신호를 저장하는 적분기와, 상기 적분기의 상태를 샘플링하고 양자화하도록 배열된 상보적인 ADC를 갖는 시그마-델타 변환기를 포함하는, 측정 회로,

**청구항 10**

제 1 항에 있어서,

하나 이상의 테스트 커패시터들, 및 상기 측정 회로를 테스트하기 위한 측정 단자에 하나 이상의 테스트 커패시터들을 접속시키도록 구동가능한 스위칭 유닛을 포함하는, 측정 회로.

**청구항 11**

제 1 항에 있어서,

상기 전하 증폭기에 대한 부유 유니폴라 또는 바이폴라 전원(floating unipolar or bipolar power supply)을 포함하고, 상기 부유 전원은 적어도 상기 가변 전압원과 동기화되는 스위칭 신호에 의해 구동되는, 플라잉 커패시터(flying capacitor)를 포함하는, 측정 회로.

**청구항 12**

제 11 항에 있어서,

상기 부유 공급 전압의 플라잉 커패시터는 전하 위상을 포함하는 사이클에서 스위칭되고, 상기 플라잉 커패시터는 상기 플라잉 커패시터가 상기 전원으로부터 절연되고, 상기 부유 전원에 접속된 공급 위상 및 전원에 고정되는(tied), 측정 회로.

**청구항 13**

제 1 항에 있어서,

상기 회로가 불활성되도록 상기 가변 전압원은 높은 임피던스 상태로 설정될 수 있는, 측정 회로.

**청구항 14**

제 1 항 내지 제 13 항 중 어느 한 항에 따른 측정 회로를 복수개 포함하는 측정 시스템에 있어서,

각각의 측정 회로는 가변 커패시티 또는 가변 커패시티들의 그룹에 접속되고, 각각의 입력부들에 접속된 커패시티들을 측정하기 위해 순차적으로 그리고 한 번에 하나씩 활성화되도록 배열되고, 그에 의해 활성 회로의 가변 전압원이 가변 전압(VF)을 결정하고, 상기 회로가 불활성되도록 활성이 아닌 회로들의 가변 전압원들은 높은 임피던스 상태로 설정되는, 측정 시스템.

**청구항 15**

제 1 항에 따른 측정 회로를 복수개 포함하는 측정 시스템에 있어서,

하나의 측정 회로의 입력은 이득 보상을 위한 참조 커패시터에 접속되고/되거나 하나의 측정 회로의 입력은 오프셋 보상을 위해 접속되지 않은 채로 남게 되고, 다른 회로들의 입력들은 가변 커패시티 또는 가변 커패시터들의 그룹에 접속되는, 측정 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 실시예들에서, 용량성 터치 스크린들에 사용되는 것과 같은, 근접 센서들의 경우에 용량 검출에 관한 것이다. 특히, 검출을 위한 커패시터는, 제 2 전극이 외부 접지인 것으로서 고려될 수 있도록, 그것을 감지하는 전자 회로의 하나의 전극과 예를 들면, 스크린에 접근하는 손가락 또는 펜 사이에 놓인다.

**배경 기술**

[0002] 그것들 양단의 전압을 변화시키고, 커패시턴스 요소 자체를 통해 흐르는 전하 또는 전류를 측정함으로써, 터치 스크린들의 용량성 요소들에서 커패시턴스 변화들을 검출하는 것은 기술분야에서 공지되어 있다. 그러한 장치라도 1에 도시되어 있다. 일반적으로, 측정 회로는 또한, 접지로 고려되고, 용량성 전극의 전압은 통상적으로, 증폭기의 음의 입력(negative input)(가상 접지)에 이 전극을 접속시키고, 양의 입력의 전압을 변경시킴으로써 변경된다. 피드백 루프로 인해, 음의 입력 전압은 양의 입력을 추적(track)할 것이다. 그러므로, 검출을 위한 커패시터 양단의 전압 변화는 증폭기의 양의 입력과 접지 사이에 인가되는 전압 변화와 같다. 그러므로, 검출을 위한 커패시터 양단의 전하 변화 또는 전류는 상기 회로 내에서 전하 증폭기로 전송된 전하 또는 전류를 감지함으로써 추정될 수 있다. 예를 들면, 커패시터가 증폭기의 피드백에 접속되면, 이 커패시터 양단의 전압 변화는 전하 변화 또는 전류에 비례할 것이고 따라서, 검출을 위한 입력 커패시터를 나타낼 것이다.

[0003] 이 공지된 장치에서 검출될 입력 커패시터가  $C_{in}$ 이고, 피드백 커패시터가  $C_{fb}$ 이고, 증폭기의 입력들 및 출력에서의 전압 변화가 각각  $\Delta V_{in}$  및  $\Delta V_{out}$ 라고 하면, 피드백 커패시터 상의 전하 변화는 입력 커패시터 상에서의 전하 변화  $C_{in} \cdot \Delta V_{in}$ 과 같아야 하는  $C_{fb} \cdot (\Delta V_{out} - \Delta V_{in})$ 이다. 그러므로:

[0004]  $C_{fb}(\Delta V_{out} - \Delta V_{in}) = C_{in} \Delta V_{in}$

[0005] 및

[0006]  $\Delta V_{out} = \Delta V_{in}(1 + C_{in}/C_{fb})$ 이고,

[0007] 이 방식으로, 입력 커패시터( $C_{in}$ )의 측정치를 산출한다.

[0008] 이 접근법의 문제점은, 측정치가 기생 커패시터들에 매우 민감하다는 것이다. 결국, 측정 회로가 접지에 참조되고, 입력 노드 상의 칩(칩) 상의 임의의 기생 커패시터가 접지로 참조되고, 입력 커패시터와 구별될 수 없는데. 왜냐하면 그것 양단의 전압이 동일한 방식으로 변하고, 대응하는 전하가 또한 전하 증폭기에 주입되기 때문이다. 증폭기의 출력에서의 전압 변화는 아래 수식과 같이 된다.

[0009]  $\Delta V_{out} = \Delta V_{in}(1 + (C_{in} + C_{par})/C_{fb})$

[0010] 그러므로, 측정된 커패시터는  $C_{in}$  단독이 아니라, 입력 노드 상의 집중된 기생 커패시터들(lumped parasitic capacitors) 모두를 갖는  $C_{in}$ 의 합이다. 흔히 그러하듯이, 검출되어야 하는 커패시턴스는 정의되지 않은 기생 커패시터들에 비해 작고, 측정 품질이 극적으로 감소된다.

**발명의 내용**

**해결하려는 과제**

[0011] 이러한 문제를 완화하기 위해, 특허 FR2756048호는 접지에 대해 부유하는 전압으로 전체 측정 회로를 참조하는 것을 제안하고, 이 부유 전압은 도 2에 도시되는 바와 같이, 잘 정의된 변화하는 전압원에 의해 생성된다. 결국, 회로는 부유 전압(VF)으로 참조되고, 증폭기의 입력에서 기생 커패시터( $C_{par}$ )는 그것의 전극들 간의 임의의 전압 변화를 겪지 않으며, 임의의 신호를 주입하지 않으며, 그러므로, 측정치를 오염시키지 않는다. 도 2의 회로가, 증폭기가 부유 전압 및 접지를 갖는 것을 요구하고, 이들 전압들이 도면에서 도시되는 바와 같이, 부유 전압(VF)으로 참조된다는 것에 유의하자.

**과제의 해결 수단**

[0012] 완전하게 집적된 접근법에서, 접지와 부유 전압 사이에서 변화하는 전압은 또한, 도 3에 도시되는 바와 같이, 칩(또는 측정 회로)의 보드 상에서 취해진다는 것에 유의하자. 칩 또는 측정 회로는 부유 전압(VF) 뿐만

아니라, 부유 접지 전압을 갖는다. 하지만, 이 경우에, 입력 스테이지(검출을 위한 외부 커패시터에 참조됨)는 입력과 접지 사이에서 도 2에서와 같은 기생 커패시터를 회피하기 위해 접지 전압으로부터 강하게 절연되어야 한다. 모든 입력 스테이지들은 VF에 관련되어야 하고, 접지에 대해 VF의 생성이 칩의 명백히 분리된 부분에 있어야 한다.

[0013] 전하 증폭기의 입력과 검출될 커패시터(Cin) 간의 접속이 커패시터 측정치를 오염시키는 이 노드 상에서 기생 커패시터들을 회피하기 위해 VF 또는 VF에 관련되는 전압에 강제되는 가드(guard)에 의해 보호될 수 있음에 유의하자.

[0014] 특허 FR2756048호에서, 변조 신호(통상적으로, 사인곡선(sinusoid))는 접지와 부유 전압(VF) 사이에 인가되고, 입력 커패시터를 통해 주입되는 대응하는 전하는, 또 다른 커패시터(Cex)(여기 커패시터(excitation capacitor))를 통해 주입되는 전하에 의해 보상된다, 도 4를 참조하라. 이 여기 커패시터는 노드(Vex)와 전하 증폭기의 가상 접지 사이에서 고정되고, Cin를 통해 전하를 보상하기 위해 반대 위상의 변조 또는 여기 신호가 노드(Vex) 상에 인가된다. 이 여기 신호의 진폭은 피드백 루프(피드백 1)에 의해 결정되고, 검출을 위한 커패시터에 의해 비례한다. 그러므로, 전하 증폭기의 출력 전압(Vout)은 측정 시에 만들어진 에러를 나타내는 변조된 신호이다. 이 신호를 복조하고, 결과 신호를 처리함으로써, 피드백(피드백 1)에 의해 에러 신호를 추가적으로 감소시키기 위해, Cex 상에 인가되는 여기 신호 또는 변조의 진폭을 나타내는 출력 신호를 얻는다. 이 경우에, Cex 상의 피드백에 인가되는 변조 신호의 진폭은 입력 커패시터(Cin)에 비례한다.

[0015] 특허 FR2756048호의 또 다른 양태에서, Cex 상에 인가되는 변조 신호의 진폭은 고정되지만, Vf(부유 전압)과 접지 사이에 인가되는 변화하는 전압의 진폭은 피드백(피드백 2)에서 변경된다. 이 경우에, 피드백에서 인가되는 변조 신호의 진폭은 입력 커패시터(Cin)의 역의 측정치이다.

[0016] 도 4에 의해 도시되는 장치에서, 전하 증폭기가 부유 부분에 포함되어야 하는 반면에, 다른 블록들(변조, 복조, 피드백, 및 신호 처리)의 일부분들이 적어도 부분적으로 부유 부분 외부에 놓일 수 있음에 유의하자.

[0017] 도 2 내지 도 4에서 예시되는 부유 검출 회로의 낮은-파워 및 낮은-비용 구현을 실현하는 것이 어려운데, 이것은 다른 이유들 중에서도, 연속적인 사인곡선 참조 신호들의 생성 및 모니터링(monitoring)이 상당한 공간 및 하드웨어 리소스들을 필요로 한다는 사실 때문이다. 그러므로, 효과적인 구현으로 노이즈의 뛰어난 거부를 결합하는 커패시턴스 검출 시스템에 대한 필요성이 존재한다. 본 발명에 따라, 이러한 목표들은 첨부된 청구범위들의 목적에 의해 달성된다.

[0018] 청구된 발명에 의해 달성되는 또 다른 목적은, 높은 분해능을 목표로 달성하면서도, 이 전압 상의 요구사항들을 차례로 완화시켜주고, 변환에 대해 잘 제어된 이득을 갖는, 참조 전압 상의 노이즈의 보상이다.

[0019] 본 발명의 또 다른 목적은, 공통 모드 섭동들(common mode perturbations)로 참조될 수 있는, 모드 채널들에 공통인 시스템적인 오프셋(offset) 및 섭동들의 보상이다.

[0020] 본 발명은 도면들에 의해 도시되고, 예로써 주어지는 실시예의 설명의 도움으로 보다 잘 이해될 것이다.

**도면의 간단한 설명**

[0021] 도 1은 커패시턴스 변화에 대한 측정 원리를 개략적으로 도시하는 도면.

도 2 내지 도 4는 부유 전압에 참조되는 회로에서 커패시턴스 변화를 측정하기 위한 장치를 개략적으로 도시하는 도면들.

도 5는 본 발명의 하나의 양태에 따르는 검출 시스템을 도시하는 도면.

도 6a 및 도 6b는 도 5에 의해 도시되는 장치의 입력 및 출력, 그리고 대응하는 파형들을 개략적으로 도시하는 도면들.

도 7a 내지 도 7d 및 도 8은 전하 증폭기의 적절한 바이어싱(biasing)에 기여하는 요소들을 개략적으로 도시하는 도면들.

도 9a 내지 도 9d는 본 발명의 일 양태에 따라, 전하 증폭기의 리셋(reset)에 기여하는 요소들을 개략적으로 도시하고, 리셋이 전하 증폭기의 피드백 경로에서 하나 또는 여러 개의 스위치들을 수반하는 변형예들을 도시하는 도면.

- 도 10 및 도 11은 도 9a 내지 도 9d의 장치들에 의해 얻어질 수 있는 파형들을 도시하는 도면들.
- 도 12a 내지 도 12c는 본 발명의 회로의 부유 부분의 전원에 관련하는 다양한 장치들을 개략적으로 도시하는 도면들.
- 도 13a 및 도 13b는 본 발명의 전하 증폭기를 리셋하는 다른 수단을 도시한 도면들.
- 도 14 및 도 15는 블록들을 사용함으로써, 본 발명의 틀에서 사용될 수 있는 두 개의 평균화 방법들을 개략적으로 도시하는 도면들.
- 도 16은 시그마-델타 변환기(sigma-delta converter)에 기초하는 또 다른 평균화 방법을 도시하는 도면.
- 도 17 및 도 18은 상승 및 하강 에지에 대해 정보를 조합하는 두 가지 방식들을 개략적으로 도시하는 도면들.
- 도 19a 및 도 19b는 노이즈의 필터링에 기여하는 요소들 및 본 발명에 적절한 샘플러(sampler)를 개략적으로 도시하는 도면들.
- 도 20 및 도 21a 내지 도 21c는 본 발명에서, 고정 전압 도메인으로부터 부유 전압 도메인 쪽으로 공급 전압 변형을 달성하기 위해 사용될 수 있는 커패시터들을 움직이는 다양한 장치를 도시하는 도면들.
- 도 22a 및 도 22b는 본 발명의 변형에 따르는 측정 회로들의 탠덤(tandem)을 개략적으로 도시하는 도면들.
- 도 23은 전극들의 그리드(grid)의 용량을 판독하기 위해, 병렬인 복수의 측정 회로를 갖는 시스템을 도시하는 도면.
- 도 24는 측정 회로들 중 하나가 참조 커패시터에 접속되는, 복수의 측정 회로들을 갖는 본 발명의 변형예를 도시하는 도면.
- 도 25는 입력이 참조 커패시터에 고정되는 하나의 측정 채널들이 다른 채널들에서 ADC들에 대한 참조 전압을 생성하는데 사용되는 본 발명의 변형예를 도시하는 도면.
- 도 26은 입력 커패시터들을 갖는 모델을 도시하는 도면.
- 도 27은 측정 회로들 중 하나가 임의의 입력에 접속되지 않고, 다른 채널들로부터 차감될 수 있는 오프셋 표시를 제공하는, 복수의 측정 회로들을 갖는 본 발명의 변형예를 도시하는 도면.
- 도 28은 측정 회로들 중 하나가 참조 커패시터에 접속되고, 또 다른 것이 임의의 입력에 접속되지 않는, 복수의 측정 회로들을 갖는 본 발명의 변형예를 도시하는 도면.
- 도 29는 용량성 터치-감지 패널에 대한 본 발명에 따르는 측정 회로의 애플리케이션을 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 본 발명의 주요 원리는 입력 스테이지가 아래의 특징들을 가지며, 접지에 대해 기생 커패시터들을 회피하기 위해 부유 전압(VF)으로 참조되는, 접지에 대해 커패시터들의 검출을 위한 특정 회로로 구성된다.
- [0023] ● 변조 신호는 순수한 사각파 신호이다.
- [0024] ● 복조는 차이를 수행하고, 에지 전 및 후에 전하 증폭기의 출력 전압을 측정함으로써 수행한다. 이 차이, 그러므로 전하 증폭기의 출력에서의 전압 스텝은 Vf와 접지(사각파 신호의 진폭) 사이에 인가되는 전압 스텝 및 입력 커패시터(Cin)에 비례하고, 피드백 커패시터(Cfb)에 반비례한다.
- [0025] 그 원리가 도 5에 도시된다. Vf와 접지 사이에 인가되는 사각파는 Vout와 Vf 사이에서 동일한 위상의 사각파 신호(Vout)를 야기하고, 사각파의 출력과 입력 진폭들의 비는 Cin/Cfb와 같다. 그러므로, 출력 사각파의 진폭은 검출을 위한 입력 커패시터(Cin)에 비례한다.
- [0026] 도 5에서 제안되는 회로는 공지된 것과는 상이한데, 특히:
- [0027] ● 전하 증폭기에서 여기 커패시터가 존재하지 않는다는 사실에 의해, 증폭기 자체의 피드백에서 커패시터(Cfb)를 제외하고는 피드백 루프가 없다.
- [0028] ● 충분한 변조 및 복조를 수행하는 대신에, 간단한 사각파 신호만이 인가되고, 반면에 복조는 간단히, 전압 스텝 진폭을 측정하는 것으로 구성된다. 이 특징 덕분에, 출력 신호는 더 이상 연속적으로 모니터링될 필요가 없고, 잘 정의된 이산 시간(discrete time)에 샘플링될 수 있어, 이 접근법으로 하여금 스위칭된 커패시터 구현과

호환가능하게 만든다. 즉, 전압 스텝이 부유 전압 상에 인가되기 전에, 그리고 전압 스텝 후에 출력 전압을 측정한다. 하지만, 제 2 측정은 전체 입력 전하가 전하 증폭기에 전달되고, 그 출력이 그것의 최종 값(또는 그것에 충분히 가까운)에 놓일 때까지 대기한다.

[0029] 본 설명은, 전압원(Vin)이 사각 전압을 생성하는 본 발명의 예들을 제공한다. 하지만, 본 발명은 이 경우에 제한되지 않으며, Vin에 의해 생성되는 전압이 보다 복잡한 구조를 갖는 변형예를 포함한다. 예를 들면, Vin은 3원 전압(그것들 간에 샤프한 전이들(sharp transitions)을 갖는 +V, 0, 또는 -V) 또는 지수적으로 감소하는 펄스들, 또는 전압 스텝들에 의해 분리되는 필수적으로 일정하거나 느리게 변하는 간격들을 나타내는 임의의 다른 파형을 생성한다.

[0030] 하지만, 이 주요 원리는 본 발명의 아래의 실시예들에서 제공되는 여러 가지 개선사항들에 의해 완성될 것이다.

[0031] 사각파 변조 신호의 양측 에지들(상승 및 하강)의 평균화

[0032] 본 발명의 개선사항에서, 측정은 50 또는 60Hz 섭동들과 같은, 저주파 섭동 신호들의 양호한 거절을 갖는 위해서, 사각파 변조 신호의 상승 및 하강 에지들 둘 모두를 평균화함으로써 개선된다. 그러한 섭동은 도 6a 및 도 6b를 참조하면, 접지와 검출을 위한 커패시터 사이의 전압원(Vpert)에 의해 변조될 수 있다. 이들 도면들은 또한, 접지와 부유 전압(Vf) 사이에 인가되는 사각파 입력 신호(Vin) 및 증폭기의 출력과 가상 접지 사이의 얻어진 출력 전압(Vout)을 도시한다. 도 6b는 변조 신호의 2개의 연속 에지들을 도시하고, 이 예에서, 상승 에지는 제 1의 것이지만, 하강 에지 또한 사용된다.

[0033] 출력 신호는 출력 전압(Vout) 세팅(settle)을 그것의 최종 값에 놓기 위해, 충분한 지연을 가지며, 각각의 에지 전에 그리고 에지 후에 약간 샘플링된다. 예를 들면, 도 6b가 도시하는 바와 같이, 샘플들은 상승 에지 전의 시간(T1)에서, 이어서 상승 에지 후의 시간(T2)에서, 하강 에지 전의 시간(T3)에서, 그리고 하강 에지 후의 시간(T4)에서 취해진다. 특별한 경우에, T2=T3이고, 동일한 샘플이 상승 에지 후에 그리고 하강 에지 전에 취해진다 는 것에 유의하자.

[0034] 제 1 시간에서, 섭동 신호가 존재하지 않는다고 가정하면, 출력 신호의 진폭은 아래 수식과 같이 된다.

$$V_{out}(T2) - V_{out}(T1) = V_{out}(T3) - V_{out}(T4) = (C_{in} / C_{fb}) (V_{in\_high} - V_{in\_low}) = (C_{in} / C_{fb}) \cdot V_{in\_square}$$

[0035]

[0036] 그리고,  $V_{in\_square} = V_{in\_high} - V_{in\_low}$  는 사각파 입력 신호의 진폭이다.

[0037]  $V_{out}(T2) - V_{out}(T1) = V_{out}(T3) - V_{out}(T4)$  으로서, 출력 신호의 에지들 둘 모두는 동일한 진폭을 가지며, 출력 에지들 둘 모두를 평균화함으로써, 평균화로 인한 노이즈가 거의 없는, 여전히 동일한 결과를 얻는다. 상승 및 하강 에지들의 평균화는 저주파 섭동을 걸러 내기 위해, 주로 이롭다. 섭동 전압의 효과를 이제 고려하자. 이 경우에, 아래 수식을 갖고;

$$V_{out}(T2) - V_{out}(T1) = (C_{in}/C_{fb}) (V_{in\_square} + V_{per}(T1) - V_{per}(T2))$$

[0038]

$$V_{out}(T3) - V_{out}(T4) = (C_{in}/C_{fb}) (V_{in\_square} + V_{per}(T4) - V_{per}(T3))$$

[0039]

[0040] 평균화함으로써:

$$((V_{out}(T2) - V_{out}(T1)) + (V_{out}(T3) - V_{out}(T4))) / 2 = (C_{in}/C_{fb}) (V_{in\_square} + Error)$$

[0041]

이고 여기서,

$$Error = ((V_{per}(T1) - V_{per}(T2)) - (V_{per}(T3) - V_{per}(T4))) / 2$$

[0042]

[0043] 변조 주파수보다 훨씬 낮은 주파수를 의미하는, 저주파 섭동 신호들에 대해, 섭동 신호의 기울기는 제곱 변조 신호의 두 개의 에지들 사이에서 대략 일정한 것으로서 고려되고, 다음 수식으로 근사할 수 있다.

$$T2 - T1 = T4 - T3 = \Delta T$$

[0044]

$$V_{per}(T1) - V_{per}(T2) \approx V_{per}(T3) - V_{per}(T4) \quad \text{이다.}$$

[0045]

[0046] 대신에, 섭동하는 신호의 제 1 및 제 2 차 유도체들(frist and second order derivatives)을  $V_{per}'$  및  $V_{per}''$  이라고 명명하면, 다음 수식을 갖는다.

$$\begin{aligned} V_{per}(T2) - V_{per}(T1) &\approx V_{per}'(T1) (T2-T1) \approx V_{per}'(T1) \Delta T \\ V_{per}(T4) - V_{per}(T3) &\approx V_{per}'(T3) (T4-T3) \approx V_{per}'(T3) \Delta T \end{aligned}$$

[0047]

[0048] 그래서,

$$\begin{aligned} V_{error} &\approx (V_{per}'(T3) - V_{per}'(T1)) \cdot \Delta T / 2 \\ &\approx V_{per}''(T1) (T3-T1) \cdot \Delta T / 2 \\ &\approx V_{per}''(T1) (T_{mod} / 2) \cdot \Delta T / 2 \end{aligned}$$

[0049] 이고,

[0050]  $T_{mod}/2$ 는 사각파 입력 신호의 두 개의 에지들 사이의 시간이고,  $\Delta T$ 는 도 6b에 따라서, 각각의 에지 전에 그리고 후에, 두 개의 샘플들 사이의 시간이다. 제 2차 유도체( $V_{per}''$ )는 섭동 신호의 주파수( $f_{per}$ )의 제곱에 비례하고, 그러므로, 그것의 기간( $T_{per}$ )의 제곱에 반비례하고, 반면에  $\Delta T$ 는 변조 기간  $T_{mod} = 1/f_{mod}$ 의 분수로서 선택되고,  $f_{mod}$ 는 변조 주파수(사각파 신호)이다. 그러므로, 예러 조건은 비율( $f_{per}/f_{mod}$ )의 제곱에 비례한다. 이것은, 변조 주파수가 섭동 주파수보다 훨씬 높으면, 저주파 섭동들(50 또는 60Hz)의 강한 감쇠를 의미한다.

[0051] 전하 증폭기의 리셋

[0052] 이와 같이, 도 6의 원리적인 방식은 가상 접지 노드가 부유(floating)이기 때문에, 부가적인 회로 없이 동작하지 않고, 커패시터들에 그리고 증폭기의 높은 임피던스 입력부에 고정된다. DC 전류 경로는 증폭기 포화, 및 바람직하게는, 출력 범위의 중간에 가까운 증폭기들의 휴지 출력(quiescent output)을 회피하기 위해, 가상 접지에 대해 생성되어야 한다.

[0053] 이것을 달성하기 위한 전통적인 방식은 도 7a에 도시되는 바와 같이,  $C_{fb}$ 와 병렬로, 증폭기의 피드백에서 바이어싱 레지스터(biasing resistor)를 갖는 것이다. 하지만, 이 경우에, 증폭기의 출력 전압의 DC 성분은 가상 접지 상의 전압과 같아야 한다. 출력 전압이 증폭기(가상 접지의 실제)의 입력 전압으로부터 시프트되어야 하면, 도 7c에서 도시되는 바와 같이, 전류원( $I_{shift} = V_{shift}/R_{fb}$ )에 의해, 또는 피드백 경로(도 7b) 상의 값( $V_{virt} - V_{out\_dc}$ 의 전압원( $V_{shift}$ )에 의해, 약간의 전압 시프트가 생성되어야 한다.  $V_{virt}$ 는 증폭기(실제 또는 가상 접지)의 입력에서 DC 전압을 나타내고,  $V_{out\_dc}$ 는 출력 전압의 dc 성분의 타깃 값을 나타낸다. 또 다른 해결책은, 출력 전압( $V_{out}$ )이 도 7d를 참조하면, 타깃 값( $V_{out\_dc}$ ) 주변에 적절히 집중할 때까지, 가상 접지 상의 전압을 조정하는,  $V_{out} - V_{out\_dc}$ 에 비례하는 가상 접지 상에 주입하는 전압 제어된 전류원을 갖는 것이다.

[0054] 모든 이들 해결책들로, 증폭기의 출력 전압은, 입력 신호에 무관한, 정상상태 값( $V_{out\_dc}$ )을 나타낸다. 그러므로, 증폭기는, 주파수  $f_c = 1/(2\pi R_{fb} C_{fb})$ (도 7a 내지 도 7c의 경우에) 또는  $f_c = g_{mfb}/(2\pi C_{fb})$ (도 7d에 대해)를 컷 오프(cut off)하는, 고역통과 필터 특징들을 갖는다.

[0055] 신호가 변조 주파수(부유 노드( $V_f$ ) 상에 인가되는 사각파의 주파수)에서 전송되므로, 고역통과 필터의 컷-오프 주파수는 변조 주파수보다 훨씬 낮아야 한다. 이것은,  $R_{fb}$ 의 충분히 큰 값 또는  $g_{mfb}$ 의 충분히 낮은 값을 갖는 것을 암시한다. 이들 조건들(큰  $R_{fb}$  값 또는 작은  $g_{mfb}$  값, 그러므로, 가상 접지 상의 매우 높은 임피던스)은 또한, 증폭기의 출력 노이즈에 대한 그것들의 기여를 제한하기 위해 긍정적이다. 하지만, 불행히도, 그것들은, 증폭 체인을 포화시킬 수 있는, 50 또는 60Hz 섭동들과 같은 높은 전압 섭동들에 대해 시스템으로 하여금 매우 용납할 수 없게 만든다. 이들 섭동들은 증폭기(최대, 수 볼트)의 공급 전압보다 훨씬 높은 진폭(typ. 220V, 380V)으로 될 수 있고, 이득  $C_{in}/C_{fb}$ 에 의해 증대되는 섭동의 피크 대 피크 진폭이 전하 증폭기의 출력 범위에 비교가능하게 되면, 전하 증폭기를 쉽게 포화시킬 수 있다.

[0056] 예를 들면, 진폭 220V RMS의 섭동, 그러므로 622V 피크 대 피크를 갖는, 도 8을 고려하자. 그리고, 또한,  $C_{in} = C_{fb}$ 인 단순화를 가정하자. 증폭기가 2V의 부유 공급 전압을 갖는다고 하면, 이것은, 피크 대 피크가 섭동 때문에 0.622V 출력 전압 스윙(output voltage swing)을 유도하는, 1000에 가까운 팩터로써 감쇠되어야 한다는 것을 의미한다. 이것은, 고역통과 필터의 컷 오프 주파수가 섭동 주파수보다 1000배 높고, 그러므로, 통상적으로 50 또는 60kHz이어야 함을 의미한다. 그리고, 변조 주파수는 통상적으로, 고역통과 필터로 인해 충분한 감쇠를 회피하기 위해 컷-오프 주파수 위의 크기의 하나의 차수이어야 한다. 이것은, 낮은 값( $R_{fb}$ )을 암시하고,



그러므로, 낮은 임피던스, 및 훨씬 높은 노이즈 레벨을 암시한다. 그러므로, 낮은 노이즈 레벨(가상 라운드 상에 높은 임피던스를 필요로 함)과 높은 전압 간섭(이 노이즈 상에 낮은 임피던스를 필요로 함)에 대한 높은 로버스트니스(robustness) 간에 트레이드-오프(trade-off)가 존재한다.

- [0057] 앞의 섹션에서, 50 또는 60 Hz와 같은 저주파 간섭들의 양호한 거절이 변조 사이클의 상승 및 하강 에지들 둘 모두를 평균화함으로써 달성되었음을 언급하였다. 하지만, 이것은, 간섭들이 전하 증폭기를 포화시키지 않고, 그렇지 않으면, 더 이상 보상이 존재하지 않음을 가정하였다.
- [0058] 본 발명으로 고려되는 해결책은 하나 또는 여러 개의 스위치들을 통해 피드백 커패시터 양단의 전압 및 가상 접지 상의 전압을 강제함으로써, 변조 신호의 에지 전에 전하 증폭기를 리셋하는 것으로 구성된다. 이것은, 도 9a 내지 도 9b에 도시는 바와 같이, 스위치에 의해 도 7a 내지 도 7b의 피드백 레지스터(Rfb)를 교체함으로써, 또는 도 9c를 참조하면, 스위치가 오픈할 때 그것을 불활성시키기 위해 도 7d의 제어된 전류원(gmfb)로 직렬로 스위치를 놓음으로써 달성될 수 있다.
- [0059] 도 9d는 Vvirt과는 상이한 값(Vinit)에 대해 출력 전압을 리셋하도록 목표로 하는 도 9b에 변경 방식이다. 리셋 위상(reset='1', resetB='0') 동안, 증폭기는 그것의 음의 입력(가상 접지)에 쇼트(short)된 그것의 출력을 가지며, 반면에 피드백 커패시터(Cfb)는 가상 접지의 한 측 상에 그리고 초기화 전압(Vinit)에 대한 다른 측 상에 고정된다. 리셋 위상(reset='0', resetB='1') 후에, 커패시터(Cfb)는 피드백에서 접속된다. 그러므로, 리셋 위상 직후에, 증폭기 출력에 고정된, 커패시터의 제 2 전극 상의 출력 전압은 전압(Vinit)에서 남아있다. 그러므로, 전하 증폭기는 Vvirt과는 상이할 수 있는 전압(Vinit)에 대해 초기화된다.
- [0060] 리셋 스위치들을 사용함으로써, 작은 시간 상수가 낮은 스위치 저항(도 9c의 경우에 큰 gmfb만을 가정함)으로 인해 리셋 시간 동안 얻어질 수 있어, 높은 임피던스 동안에, 섭동의 양호한 거부유도하고, 그러므로, 스위치가 그것의 매우 높은 오프 저항으로 인해 오픈될 때, 낮은 노이즈가 얻어진다. 특히, 도 9c의 경우에, gmfb는 노이즈에 더 이상 기여하지 않으며, 접속해제된다.
- [0061] 일단 리셋 스위치가 오픈되면, 회로는 섭동에 민감하게 되고, 리셋 스위치의 오픈링 때문에 섭동 전압의 변동에 만 민감하게 된다. 그러므로, 스위치의 오픈링 때문에 변동이 충분히 작으면, 증폭기를 주기적으로 리셋함으로써, 큰 섭동들이 포화 없이 용인될 수 있다. 그러므로, 통상적으로 변조 신호(그러므로 변조 주파수의 2배)의 각각의 상승 또는 하강 에지 전에, 큰 섭동들에 대한 최대 내성(tolerance)이 높은 주파수에서 증폭기를 리셋함으로써 얻어질 수 있다. 하지만, 큰 섭동들에 대해 내성을 거의 유도하지 못하지만, 리셋 신호의 낮은 주파수가 또한 가능하다(예를 들면, 상승 에지들 전에 또는 하강 에지들 전에만, 모든 두 개의 에지들, 모든 4개의 에지들을 리셋하여).
- [0062] 전하 증폭기는 이 경우에, 앞의 에지의 제 2 샘플이 획득된 후에(예를 들면, T2에서) 그리고 다음 에지의 제 1 샘플이 획득되기 전에(예를 들면, T3에서), 각각의 에지 사이에서 리셋된다. 리셋이 릴리스된 후에, 다음 에지의 제 1 샘플을 수행하기 전에 전하 증폭기를 안정화시키기 위해, 충분한 시간이 요구됨에 유의하자. 실제로, 전하 증폭기의 동작 모드는 리셋을 릴리스함으로써 변경되고, 그래서 약간의 시간이 그것을 그것의 최종 값에 놓는데 요구된다.
- [0063] 이론적으로, 전하 증폭기가 각각의 에지 전에 잘 정의된 출력 값에 대해 리셋되거나 초기화된다고 가정하면, 이론적으로, 이 전압이 리셋 후에 충분히 변한다고 가정되지 않기 때문에, 다음 에지 전에 전압을 다시 측정하는 필요성이 없다는 것에 유의하자. 문제점은, 리셋 동작이 열적인 노이즈(입력 및 기생 커패시터들로 인한 kT/C 노이즈)로 인해 매우 노이즈(noisy)하다는 것이다. 노이즈 뿐만 아니라, 전하 주입 및 다른 기생 효과들로 인해, 리셋 후의 전압이 이상적인 값(Vinit)과는 상이하다. 그러나, 초기화 전압이 에지의 진폭 내에 있고, 절대적인 전압들 내에 있지 않으므로, 출력 전압이 리셋 후에 그리고 에지 전에 측정되면, 초기화 전압은 정확할 필요가 없다. 이 이중 측정(리셋 후 그리고 에지 전의 제 1 샘플, 및 에지 후의 제 2 샘플)을 수행함으로써, 리셋 위상의 노이즈 기여도는 제거되고, 이 노이즈는 제 1 샘플에 의해 이미 고려되고, 두 개의 샘플들 간의 차이를 수행할 때 보상된다.
- [0064] 도 10을 참조하면, 출력 전압이 통상적으로, 변조 신호의 상승 에지 후에 초기 값(Vinit) 위이고, 하강 에지 후에 그것 아래이다. 출력 신호 상의 상승 및 하강 에지들이 대칭적인 것으로 고려될 수 있기 때문에, 초기화 전압은 출력 범위의 대략 중간에 대응한다. 전하 증폭기의 피크 대 피크 출력 범위(Vout\_pp)를 가정하면, Vout 상에 기대되는 에지들의 진폭은 전하 증폭기를 포화시키지 않도록 보다 낮은 Vout\_pp/2이다. 하지만, 획득 체인의 신호 대 노이즈 비를 최소화하기 위해서, 체인의 제 1 스테이지인, 전하 증폭기에서의 이득의 최대치를 수행하

고, Vout 상의 에지들의 진폭을 최소화하고, 획득 체인에서 블록들의 노이즈 기여도를 감소시키는 것이 바람직하다.

[0065] 본 발명 리포트에서 제안된 개선은 전압원(Vin)에 의해 생성되는 변조 스텝들의 진폭 및/또는 방향에 무관하게 상이한 값들에 대해 전하 증폭기의 출력을 초기화하는 것으로 구성된다. 실제로, 변조 신호의 상승 에지 전에, 전하 증폭기의 출력은 증가할 것으로 기대되고, 그래서, 보다 낮은 값(Vinit\_low)으로 초기화되어, 출력 범위의 보다 낮은 제한(lower limit)에 가깝게 된다. 그리고 반대로, 변조 신호의 하강 에지 전에, 전하 증폭기의 출력이 감소할 것으로 기대되고, 그래서 보다 높은 값(Vinit\_high)으로 초기화되어, 출력 범위의 상부 제한에 가깝게 된다. 이 개선은 증폭기의 이득의 2의 인수로까지 증가하도록 허용하여, 노이즈 퍼포먼스를 개선한다. 이것은 도 11에 도시되어 있다.

[0066] 이미 지적한 바와 같이, 출력 전압이 리셋 후에 측정되는, 도 10 또는 도 11에서 도시된 바와 같은 원리를 사용함으로써, 노이즈 및 리셋의 정확성은 중요하지 않다. 이것의 하나의 이점은, 즉, 전원들(증폭기의 음의 또는 양의 전원 V- 또는 V+) 중 하나에 직접 증폭기의 양의 입력을 접속시켜, 상보적인 전압원의 필요성 및 추가적인 노이즈 및 파워 소모에 대해 얻어지는 패널티들(penalties)을 억제한다는 점이다.

[0067] 우선, 도 9d의 방식을 고려하자. 이와 같이, 전하 증폭기의 전원들 V+ 또는 V- 중 하나, 예를 들면, V-에 증폭기의 양의 입력(Vf)을 접속시키는 것이 가능하지 않을 것이다. 비록, 이들 증폭기들이 레일 대 레일 공통 모드 입력 범위(rail-to-rail common mode input range)를 가질 수 있지만, 문제점은, 리셋 위상에서, 입력 및 출력이 함께 고정된다는 점이다. 양의 입력이 전원들 전압(V-) 중 하나에 고정되면, 증폭기는 다른 입력(가상 접지)을 전원 전압(V-)에 대해 구동시킨다. 하지만, 증폭기의 출력 트랜지스터들이 삼극관 모드(triode mode)에서 동작하는, 선형 영역에 들어가므로, 증폭기의 출력 스테이지는 전압을 포화없이 전원 전압 위로 전압을 구동시킬 수 없다. (0에 가까운 드레인-소스 전압(Vds)). 그러므로, 증폭기는, 전원 전압에 가까운 전압으로 리셋할 때, 더 이상 정확히 동작하지 않고, 그것의 이득은 갑자기 하강한다. 전하 증폭기의 음의 및 양의 전원들은 증폭기의 입력의 전압 아래 및 위로 각각 생성될 수 있다.

[0068] 음의 및 양의 전원 전압들은, 도 12a에 도시된 바와 같이, 부유 전압원(Vf)에 대해, 고정된 전압차(DC 전압원)로 생성될 수 있다. 또한, 등가적으로, 사각파 변조 전압은 음의 전원 V- = VfN 상에, 그리고 도 12b에 도시된 바와 같이, DC 소스들에 의해 생성되는 양의 입력 증폭기 및 양의 전원 상에 직접 인가된다. 변조 전압은 또한, 양의 전원(V+ = VfP) 상에 직접 인가되었고, 도 12c에 도시되는 바와 같이, VfP에 대해 DC 소스들에 의해 음의 전원 및 증폭기의 양의 입력을 생성한다.

[0069] 여하간, 모든 이들 방식들은 전원들에 대해 양의 입력을 위한 상이한 전압원들을 필요로 한다.

[0070] 하지만, 리셋 위상이 중요하지 않기 때문에(이것은 전하 증폭기의 초기화 조건들을 대략적으로 높은 것임), 음의 입력(가상 접지)은, 전원 중 하나일 수 있는, 양의 입력에 쇼트될 수 있고, 반면에, 피드백 커패시터의 다른 측은 도 13에 도시된 바와 같이, 요구된 값(Vinit)에서 초기화된다. 리셋 후에, Cfb는 피드백에서 재접속되고, 증폭기의 출력부에 고정된다.

[0071] 주변 노이즈 측정

[0072] 커패시터들의 측정은 주변 노이즈 및 섭동 신호들에 의해 영향을 받을 수 있다. 50 또는 60Hz와 같은, 낮은 주파수 섭동 신호들은 이미 언급하였고, 그러한 신호들의 효과가 1차로, 변조 신호의 상승 및 하강 에지들을 평균화함으로써 보상됨을 보여주었다. 실제로, 커패시터 측정에 대한 이들 섭동들의 기여도는 상승 및 하강 에지들에 대한 신호에 대해 반대 위상이다.

[0073] 본 발명의 제 1 실시예에서, 낮은 주파수 섭동들의 효과를 제거(또는 적어도 강하게 감소)하기 위해, 변조 신호들에 관련되는 전하 증폭기 출력 신호의 상승 및 하강 에지들 (Vout(T2) - Vout(T1)) 및 (Vout(T3) - Vout(T4))을 평균화하는데 의미를 갖는다. 이것은 기본적으로 그 동작에 대응한다.

[0074] 
$$\frac{((Vout(T2) - Vout(T1)) + (Vout(T3) - Vout(T4)))}{2}$$
 가

[0075] 도 6에 도시된 바와 같이,

[0076] 
$$\frac{(-Vout(T1) + Vout(T2) + Vout(T3) - Vout(T4))}{2}$$
 과 같다.

[0077] 본 발명의 제 2 실시예에서, 낮은 주파수 노이즈의 존재를 검출하고, 환경의 노이즈를 평가하기 위해서, 상승

에지들만을 또는 하강 에지들만을 개별적으로 고려하는 옵션을 갖는다. 제 3 실시예에서, 낮은 주파수 노이즈 섭동의 순수 측정을 갖기 위해서, 평균 대신에, 상승 및 하강 에지들의 차이(또는 차이의 절반)를 평가하는 옵션을 갖는다. 이것은 기본적으로 그 동작에 대응하고,

[0078] 
$$((V_{out}(T2) - V_{out}(T1)) - (V_{out}(T3) - V_{out}(T4))) / 2$$
 가

[0079] 
$$(-V_{out}(T1) + V_{out}(T2) - V_{out}(T3) + V_{out}(T4)) / 2$$
 와 같다.

[0080] 이 최종 측정으로, 검출될 커패시터의 기여도는 제거되지만, 양 에지들에서 낮은 주파수 노이즈의 기여도들은 함께 합산된다.

[0081] 평균화 및 아날로그-디지털 변환

[0082] 전하 증폭기 후에, 출력 에지들이 측정된다. 상이한 동작들이 행해진다:

[0083] ● 노이즈를 필터링하고, 섭동들(간섭들)의 밴드폭을 제한하기 위해서 여러 개의 상승 및/또는 하강 에지들의 평균화.

[0084] ● 이들 에지들을, 그것들을 나타내는 디지털 값들로 변환.

[0085] 본 발명에 따라, 두 개의 동작들은 임의의 순서로 수행될 수 있다. 제 1 구현예(도 14)에서, 에지들은 아날로그 방식으로 평균화될 수 있고(통상적으로, 스위칭된 커패시터 회로에 의해), 그 결과는 디지털로 변환된다. 예를 들면, 상이한 샘플들은 아날로그 평균화를 수행하기 위해 함께 고정된 상이한 커패시터들 상에 저장된다. 하지만, 이들 해결책의 단점은 다수의 샘플들이 평균화되어야 하면, 다수의 커패시터들이 요구된다는 것이고, 큰 실리콘 면적을 암시한다. 또한, 고해상 ADC가 요구된다.

[0086] 제 2 구현예(도 15)에서, 에지들은 우선, ADC에 의해 디지털로 변환되고, 이어서, 디지털로 평균화된다. 두 모두의 경우에, 고해상 ADC가 요구된다.

[0087] 본 발명의 제 3 구현예(도 16)에서, 두 동작들 모두는 에지들의 A/D 변환을 수행하기 위해 시그마 델타 변환기를 사용함으로써 동시에 수행된다. 그러한 변환기는, 변조 속도에 대응하는 속도, 또는 상승 및 하강 에지들이 변환되는 경우에는 2배의 변조 속도들로 커패시터를 사용함으로써, 연속적인 전압 에지들을 전하들로 변환한다. 대응하는 전하들( $C \cdot \Delta V$ )( $\Delta V$ 가 에지의 진폭임)은 통상적으로, 스위칭된 커패시터 적분기에 의해 집적되고, 이어서, 조잡한 양자화기(비교기 또는 보상기들의 뱅크(bank))에 의해, 변조 속도와 동일한 속도로 수행되는 디지털 코드들(digital codes)로 변환된다. 이어서, 이들 코드들은 출력 전압 에지들에 대응하는 입력 전하들로부터 감산되는, 아날로그 전하들로 변환된다. 피드백 루프로 인해, 피드백 경로에 의해 주입되는 전하들은 낮은 주파수에서 적분기의 높은 이득 때문에, 적어도 낮은 주파수들에 대해, 입력 전하들에 대응한다. 이것은 시그마 델타 루프의 출력 코드들을 낮은 주파수들에서, 입력 전하들을 나타낸다는 것을 의미한다. 그러므로, 시그마 델타 루프로부터 출력 코드를 필터링하거나 평균화함으로써(사실상, 필터링의 몇몇 특별한 경우에 대응하는 평균화), 전압 에지들의 평균화된(또는 지역통과 필터링된) 값, 및 입력 커패시터의 값을 나타내는 디지털 출력 코드를 얻는다.

[0088] 그러므로, 평균화 및 ADC 변환은 동시에 수행된다.

[0089] 이 접근법의 이점은 전압 에지에 대응하는 전하를 축적하기 위해 매우 큰 커패시터들을 필요로 하지 않는다는 점이다. 실제로, 축적된 전하들이 주어진 레벨을 초과하자마자, 출력 코드에 대응하는 전하가 피드백 경로에 의해 차감된다. 이 사실에 의해, 전하의 제한된 양이 다수의 샘플들 이후에도 축적되어, 커패시터 사이즈들이 감소될 수 있다.

[0090] 보다 일반적으로, ADC 변환은 과샘플링된(oversampled) ADC 변환기들 또는 시그마 델타 변조기의 임의의 아키텍처에 의해 수행될 수 있다. 즉, 비제한적인 방식으로, 임의의 순서의 시그마 델타 변조기가 선택될 수 있다. 변조기는 단일 루프 또는 상이한 직렬 루프들(멀티스테이지 또는 매시 시그마 델타 아키텍처들(Mash sigma delta architectures))을 가질 수 있다. 각각의 시그마 델타 루프의 출력에서의 양자화는 단일 비트 또는 다중비트 동일 수 있다.

[0091] 시그마-델타 변조기들은 일반적으로 적분기들 또는 정보를 저장하기 위한 다른 상태-보유 수단을 포함한다. 바람직하게는, 에지들을 양자화하는데 사용되는 시그마 델타 변조기의 내부 변수들 또는 모든 적분기들은 상이한 에지들의 평균화 또는 가중된 평균화를 수행하기 전에 전압원( $V_{in}$ )으로 동시에 리셋되어(또는 미리 결정된 값으

로 강제됨), 측정의 공지되지 않은 초기 조건들로 인한 부가적인 에러들이 존재하지 않는다. 이것은 기본적으로, 증가하는 ADC의 패밀리(family)에 대응한다. 또 다른 바람직한 변형에서, 시그마 델타 변조기의 내부 변수(들) 또는 적분기(들)의 상태들은, 통상적으로 (예를 들면, 연속적인 근사 ADC에 제한되지 않는 것으로서) 상보적인 나이퀴스트 속도(supplementary Nyquist rate) ADC에 의해, 최종 변환 후에, 샘플링 및/또는 양자화된다. 실제로, 시그마 델타의 적분기(들)의 상태는 측정된 에러의 일부 이미지이다. 그러므로, 시그마 델타 변조기의 최종 상태를 양자화함으로써, 시그마 델타 변조기의 추정은 추가로 개선될 수 있다.

[0092] 또한, 2개의 상이한 종류의 평균화가 존재함에 유의하자.

[0093] ● 상승 및 하강 에지들의 평균화

[0094] ● 상이한 변조 사이클들에 대한 에지들의 평균화.

[0095] 여기에서 다시, 이들 2개의 평균화는 임의 순서로 수행될 수 있다.

[0096] 예를 들면, 비제한적인 방식으로,

[0097] 1. 대응하는 전하를 합산하는 것에 대응하는, 주어진 변조 사이클 동안 상승 및 하강 에지들을 평균화할 수 있고, 이어서, 도 17에 도시되는 바와 같이, 상술한 3개의 방법들 중 하나에 의해 ADC 변환들 및 여러 개의 사이클들에 대해 평균화를 수행할 수 있고;

[0098] 2. 상술한 3개의 방법들 중 하나에 의해 상승 에지들 및 하강 변환들을 개별적으로 완벽히 처리할 수 있고, 도 18에 도시되는 바와 같이, 디지털 방식으로 대응하는 결과들을 합산할 수 있고;

[0099] 3. 상승 및 하강 에지들은 동일한 시그마 델타 루프 내에서 또는 2개의 개별적인 시그마 델타 루프들에 의해 또한 집적될 수 있다.

[0100] 노이즈 안티-에일리어싱

[0101] 여기에서 제안되는 바와 같이, 본 발명에서, 전하 증폭기의 출력은 그 차이를 수행하기 위해서, 에지 전에 한번 그리고 에지 후에 한번, 에지들마다 2번을 주기적으로 샘플링된다. 그러므로, 단지 2 또는 4 샘플들은 단일 에지가 고려되거나 에지들 둘 모두가 고려됨에 따라, 변조 사이클들마다 이용가능하다. 이 사실에 의해, 변조 주파수보다 높은 주파수들에서의 노이즈 성분들은, 잘 알려진 에일리어싱 효과로 인해, 샘플링 주파수 아래의 주파수들로부터 구별될 수 없다. 그러므로, 샘플링 전에 이들 높은 주파수 노이즈 성분들을 제거하는 것이 바람직하다.

[0102] 샘플링은 기본적으로, 도 19a에 도시되는 바와 같이, 커패시터 상의 전하 증폭기의 전압을 저장함으로써 그리고 스위치를 오픈함으로써 커패시터 상에 저장되는 전하를 결빙(freezing)시킴으로써 수행된다. 전압이 저장되는 커패시터는 통상적으로, 스위칭된 커패시터 가산기 스테이지의 입력 커패시터(아날로그 합선 또는 평균화를 수행하기 위한) 또는 스위칭된 커패시터 적분기의 입력 커패시터(시그마 델타 변조기의 제 1 스테이지)이다.

[0103] 본 발명의 또 다른 실시예에서, 높은 주파수 노이즈 성분들(전하 증폭기의 광대역 노이즈(열적인 노이즈) 또는 높은 주파수 환경 노이즈)은 도 19b에 도시되는 바와 같이, 샘플링 커패시터와 직렬로 저항 요소를 삽입함으로써 필터링될 수 있다. 이 저항 값은 트레이드-오프의 결과이다. 큰 저항 값은 전하 증폭기로부터 노이즈의 대부분을 필터링하지만, 샘플링 커패시터가 매우 큰 시간 상수로 인해, 충전 또는 방전되기에 충분한 시간을 갖지 않으므로, 전송하기 위해 신호를 죽인다(kill). 본 발명의 또 다른 실시예에서, 이 저항기는, 전압 에지 후에 빠른 정착, 및 샘플링 전에 보다 높은 시간 상수를 갖기 위해, 그리고 노이즈를 보다 잘 필터링하기 위해, 샘플링 사이클 동안 정적 방식으로 또는 극적으로, 아날로그 또는 디지털 수단에 의해 수정될 수 있다.

[0104] 다중 커패시터 입력들 및 테스트가능성에 대한 확장

[0105] 상술한 원리는, 여러 개의 용량성 입력들이 동시에 모니터링되어야 하는 애플리케이션들에 대해 일반화될 수 있다. 이것은:

[0106] ● 병렬로 여러 개의 용량성 획득 체인을 사용함으로써(병렬 접근법),

[0107] ● 또는, 전하 증폭기의 입력(가상 접지)쪽으로, 아날로그 입력 중 어느 하나를 접속시키는 아날로그 입력 멀티플렉서를 통해 상이한 용량성 입력들을 연속으로 스캐닝하는 신호 획득 체인을 가짐으로써(직렬 접근법),

[0108] ● 또는, 병렬로 여러 개의 획득 체인들을 가짐으로써 병렬 및 직렬 접근법들 둘 모두를 조합함으로써 달성될 수 있다. 각각의 체인은 상이한 입력들을 연속으로 스캐닝하기 위해, 입력 멀티플렉서를 갖는다. 예를 들면, 128

개의 용량성 입력들은 4 내지  $4t_o-1$  아날로그 멀티플렉서 중에서 하나의 용량성 입력을 연속으로 어드레스하는 각각의 획득 체인으로, 병렬로 32개의 획득 체인들로써 모니터될 수 있다.

- [0109] 하지만, 그러한 획득 체인의 테스트는 그것이 정확히 제어하기 어려운 외부 커패시터들에 의존하기 때문에, 고통스럽고, 시간 소모적이며, 더욱이, 기생 상호접속들이 제어된 입력 커패시터들로부터 쉽게 구별될 수 없다.
- [0110] 테스트를 용이하게 하는, 상이한 가능성들이 존재하는데, 모든 제안된 방법들은 외부 커패시터들을 모방하기 위해서 내부 테스트 커패시터들을 사용하는 것에 기초한다. 이들 커패시터들은:
  - [0111] ● 상이한 획득 체인들 또는 채널들 간에 공유된다. 단점은, 상이한 채널들이 교대로 테스트되어야 하여, 테스트 시간을 증가시킨다는 점이지만, 이점은, 모든 채널들이 공통 참조를 공유하여, 상이한 채널들 간의 양호한 비교를 허용한다는 점이다.
  - [0112] ● 또는, 채널 당 테스트 커패시터를 갖는다. 이 경우에, 테스트 시간이 보다 빠르지만, 상이한 채널들의 테스트 커패시터들이 미스매치로 인해 상이할 수 있다.
- [0113] 이제, 전하 증폭기의 입력은 전하이며, 테스트 모드에서, 전하는 전압에 의한 테스트 커패시터의 산물이다. 그러므로, 테스트 전하는 변할 수 있다:
  - [0114] ● 커패시터를 변경함으로써, 통상적으로, 디지털적으로 프로그래밍가능한 테스트 커패시터 어레이를 가짐으로써, 예를 들면, 제 1 부분이 전하 증폭기 입력과 접지 전압 사이에, 또는 접지에 대해 임의의 고정된 전압에 고정되고, 제 2 부분이 전하 증폭기 입력과 임의의 부유 전압( $V_f$ ,  $V_{fp}$ ,  $V_{fn}$ ...과 같은) 사이에 고정된다. 테스트 커패시터 어레이의 제 1 부분은, 스텝이 변조 신호에 인가될 때 그것의 전극들 양단의 전압 변경을 보이고, 그러므로, 제 2 부분이 변하지 않는 동안, 전하 전송에 기여한다. 커패시터(capacity)를 디지털적으로 프로그래밍 가능하게 만드는 또 다른 가능성은, 전극들에 고정된 요소적인 커패시터들 중 일부만을 갖는 것이며, 다른 부분은 적어도 전극들 중 하나 또는 둘 모두로부터 접속해제된다. 커패시터는 또한, 배리캡들(varicaps)과 같은, 제어 아날로그 전압을 변화시킴으로써 몇몇 특정한 경우들에서 변할 수 있다.
  - [0115] ● 또는, 테스트 커패시터 양단의 가변 전압을 인가함으로써, 예를 들면, 접지와  $V_f$  사이의 사각파 (변조) 전압의 진폭을 변화시킴으로써. 부유 노드들( $V_f$ ,  $V_{fp}$ ,  $V_{fn}$  등에 대해 일정한 전압들)에 관련되는 두 개의 노드들 간의 테스트 커패시터들을 스위칭할 수 있지만, 입력 전하를 변화시키기 위해 그것들 간에 가변 전압차를 갖는다.
  - [0116] ● 물론, 두 가지 접근법들을 조합할 수 있고, 그러므로, 전하를 변화시키기 위해 그것을 가로질러 전압 스텝을 변화시키고, 커패시터를 변화시킨다.
- [0117]  $V_{fp}$ 와  $V_{fn}$  사이의 부유 전압원의 생성
- [0118] 또 다른 변형에 따라, 본 발명은, 예를 들면, 일반적으로 적어도 전하 위상을 포함하는 사이클에서 스위칭되는 플라잉 커패시터들(flying capacitors)에 기초하여, 전하 증폭기에 대한 부유 유니폴라 또는 바이폴라 전원(floating unipolar or bipolar power supply)을 포함하고, 여기에서 플라잉 커패시터는, 플라잉 커패시터가 상기 전원으로부터 절연되는 공급 위상 및 전원에 고정되고, 부유 전원을 생성한다.
- [0119] 적절히 작동하기 위해서, 설명되는 본 발명은 입력 스테이지(적어도, 전하 증폭기)에는, 접지에 대해 완전히 부유하는 전압원들이 공급되지만, 앞의 2, 3, 5, 및 12에서 설명되는 바와 같이,  $V_f$  또는  $V_{fn}$ 에 대해 고전 전압이 공급되는 것을 필요로 한다. 이것을 구현하기 위한 제 1 해결책은, 부유 전원들이 아닌, 접지(예를 들면,  $V_{ss}$  및  $V_{dd}$ )에 관련되는 전원들에 하나의 위상(도 20에서, 위상 1) 동안에, 그리고  $V_{fn}$  및  $V_{fp}$ 와 같은, 부유 도메인에서 전원들에 제 2 위상(도 20에서 위상 2) 동안에 접속되는, 플라잉 커패시터( $C_f$ )를 사용한다. 필터링 커패시터( $C_{filter}$ )는 부유 전압을 메모리하기 위해 부가된다. 그래서, 도 20의 예에 따라, 커패시터( $C_f$ )는 위상 1 동안 전압차( $V_{dd} - V_{ss}$ )에 선충전(pre-charge)되고, 위상 2 동안  $C_{filter}$ 와 병렬로 놓여,  $C_f$ 와  $C_{filter}$  사이의 전하 재분포가 존재한다. 평형(equilibrium)에서, 커패시터들이 충분히 크고,  $V_{fp}$ 와  $V_{fn}$  전원들로부터 소모되는 전류에 대한 충분히 높은 커패시터로 스위칭되면,  $C_f$  양단의 전압은 두 개의 위상들 간에 상당히 변하지 않고, 그러므로, 위상 1 동안 저장되는 전압인,  $V_{dd}-V_{ss}$ 에 가깝게 남게 된다. 결국,  $V_{fp} - V_{fn}$ 은  $V_{dd}\square V_{ss}$ 에 가깝고:  $V_{dd}$ 와  $V_{ss}$  간의 전압차는 이들 두 개의 최종 전압들이 비록 부유하지만,  $V_{fp}$ 와  $V_{fn}$  사이에 카피(copy)된다.
- [0120] 이 회로는 1의 변환 비율(transformation ratio)로 고정 대 부유 변환기(또는 비-부유 대 부유 변환기)로서 이해될 수 있다.  $V_{fp} - V_{fn}$  상의 리플(ripple)의 진폭은  $C_{filter}$  및  $f_{sw}$ 에 반비례하고, 반면, 임피던스는  $C_f$  및  $f_{sw}$ 에 반비례하고,  $f_{sw}$ 는 변환기의 스위칭 주파수이다. 시간( $C_f$ )의 대부분은 높은 스위칭 주파수를 선택함으로써

써 비교적 작게 선택될 수 있다.

- [0121] 본 발명의 범위로부터 벗어남이 없이, 플라이인 커패시터 및 그것을 Vdd, Vss, Vfp, Vfn에 접속시키는 4개의 스위치들의 세트는 용량성 전압 멀티플라이어 또는 분할기(capacitive voltage multiplier or divider)에 의해 교체된다. 예를 들면, 2배(Vdd-Vss)와 같은 전압(Vfp-Vfn)을 얻기 위해, 위상 1 동안 Vdd와 Vss 사이에서 병렬로 두 개의 상이한 커패시터들(Cf1, Cf2)을 접속시킴으로써 그리고 위상 2에서 Vfn과 Vfp 사이에 직렬로 커패시터들 둘 모두를 접속시킴으로써, 전압 2배기(voltage doubler)를 구현한다. 전압 3배기는 2 대신에 3개의 커패시터들로 동일한 원리를 사용하여 사용될 수 있다. Vdd와 Vss 사이에 직렬로 그리고 Vfp와 Vfn 사이에 병렬로 커패시터들을 접속시킴으로써, 팩터 2 또는 3으로써 전압 감소를 얻는 것이 가능하다. 이것들은 단지 예들이며, 상이한 전압 비율(예를 들면, 2/3, 3/2, 3/4, 4/3, ...)을 달성하는 많은 아키텍처들이 또한, 부유 전압 변환에 비-부유(non-floating)를 수행하기 위해 사용될 수 있다.
- [0122] 이제, 도 20을 고려하고, 부유 전압들, 예를 들면, Vfn의 그것과 주파수(fsw)(위상들 1 및 2)에서 스위칭되는 변환기는 도 21a에 도시되는 바와 같이, Vss 및 Vdd2와 같은, 고정된 도메인의 두 개의 전압들 사이에서 스위칭하는, 변조 주파수(fmod)(위상 1' 및 2')에서 사각파에 의해 변조된다. Vdd2가 Vdd와 같은 전압일 수 있고, 뿐만 아니라, 그것은 상이한 것일 수 있음에 유의하자.
- [0123] 이제, 다음을 가정하자.
- [0124] 1. 변환기의 스위칭 주파수(fsw)가 변조 주파수와 동일한 것으로 선택되었고,
- [0125] 2. 위상들 1와 1'이 일치하고,
- [0126] 3. 위상들 2와 2'이 일치한다.
- [0127] 4. 위상 2(Cfn)에서 그것에 고정된 커패시터(Cf)의 전극 및 변조 전압(Vfn)이 도 21a에 도시된 바와 같이, 위상 I 동안, 동일한 노드(Vss)에 접속된다.
- [0128] 이들 가정들 하에서, 도 21a에 따라, 노드(Vfn) 및 커패시터의 음의 전극(Cfn)이 항상, 스위치들을 통해 함께 고정되어 있음을 관찰할 수 있다. 결국, 그것들은 함께 직접 고정될 수 있고, 그래서, Cfn을 Vss 또는 Vfn에 접속시키는 두 개의 스위치들은 도 21b에 나타내지는 바와 같이, 억제될 수 있다.
- [0129] 도 21b를 고려하면, 필터링 커패시터(Cfilter) 및 플라이인 커패시터(Cf) 양단의 전압은 두 개의 위상들에서 Vdd-Vss에 대응한다. 그러므로, 위상 1 동안, Vfn이 Vss에 고정되기 때문에, Vfp는 Vdd에 대응하는 전압에 있다. 부유 커패시터(Cfp)의 상단 전극(Cfp) 상의 전압은 또한, 이 시간에 Vdd에 고정되고, Cfp와 Vfp가 위상 2에서 함께 고정되므로, Cfp 및 Vfp가 항상 동일한 전압에 있고, 그러므로, Cfp가 도 21c의 회로에서 얻어지는 Vfp에 고정될 수 있음을 관찰할 수 있다. 그러므로, 전체 필터링 커패시터는 위상 1 동안 Vdd-Vss에 직접 재충전되고, 전원 전압을 메모리하기 위해 위상 2 동안 전원 전압원으로서 동작한다.
- [0130] Cf가 직접, Cfilter과 병렬이므로, 그것은 단일(결국 보다 높은 값) 커패시터에 의해 교체될 수 있어, 하나의 성분을 공유하는 것을 허용한다는 것에 유의하자. 이 구현은 또한, 본 발명의 일부이다.
- [0131] 이미 언급한 바와 같이, 위에서 제안된 단순화는, 변환기의 스위칭 주파수가, 임피던스가 이 스위칭 주파수에 반비례하므로, 임피던스를 제한할 수 있는, 변조 주파수와 동일한 것으로 선택되어야 한다는 것을 암시한다.
- [0132] 하지만, 단일의 얻어진 커패시터는 필터링 커패시터(Cfilter)의 역할을 할 뿐만 아니라, 임피던스를 낮추기 위해 극히 양호한 플라이인 커패시터(Cf)의 역할을 수행한다. 그러므로, 충분히 높은 커패시터를 선택함으로써, 비록 스위칭 주파수가 변조 주파수에 제한되지만, 낮은 리플 및 낮은 임피던스를 동시에 얻을 수 있다.
- [0133] 물론, 유사한 접근법이 두 개의 상이한 고정 전압들, 예를 들면, Vdd와 Vss2 사이에서 노드(Vfp)를 스위칭함으로써 그리고, 하나의 위상 동안 Vdd 하나와 Vss 하나 사이에서 선충전된 커패시터(Cfilter)를 가짐으로써 얻어지고, 전극(Vfn)은 다른 위상 동안 고정 전압 도메인으로부터 접속해제된다.
- [0134] 본 발명은 또한, 공급 전압이 회로의 전류 소모에 의해 야기되는 그것의 방전으로 인해 Cfilter 커패시터 상에 리플을 감쇠하기 위해, 조절되는 구현예들을 포함한다. 예를 들면, Vfn에 대해 생성된 전압 Vfp는 Vfn에 대해 일정한, 전압(Vfpr)으로 조절될 수 있다.
- [0135] 바람직하게는, 본 발명의 측정 회로는 또한, 측정 회로와 측정 전극 사이의 접속을 스크린하기 위한 적절한 가드 도전기(guard conductor)에 접속된 가드 출력(도 22a 및 도 22b에서 변함)을 포함하고, 기생 결합들을 최소화

화한다.

[0136] 탠덤 장치

[0137] 도 22a 및 도 22b는 본 발명의 임의 수(여기에서, 도면들을 단순화하기 위해 2)의 측정 회로가 전압원(Vin)에 대해 선택가능한 높은 임피던스 상태를 추정함으로써 탠덤에서 동작될 수 있는, 본 발명의 변형예를 도시한다. 이 경우에, 측정 시스템은 필요하다면, 2개 또는 여러 개의 측정 회로들(칩 1, 칩 2)을 포함하고, 각각의 측정 회로는 각각의 입력들에 접속된 커패시터들을 측정하기 위해 순차적으로 그리고 한 번에 활성화되는 가변 커패시터들의 그룹에 또는 가변 커패시터(Cin1, Cin2)에 접속된다. 그러므로, 부유 도메인의 가변 전압은 임의의 주어진 시간에 활성적인 회로의 전압원으로써 결정되고, 그에 의해, 활성이 아닌 회로들의 가변 전압원들은 높은 임피던스 상태로 설정된다.

[0138] 도 22a는, 회로들 '칩 1' 및 '칩 2'이 가드 단자들과 병렬로, 커패시터들(Cin1, Cin2)에 대해 탠덤에서 접속된다. '칩 1'은 활성적이고, 커패시터(Cin1)를 판독한다. 칩 1의 부유 전압원은 활성적이고, 또한 가드 전극들의 전위를 결정한다. 칩 2는 불활성적이고, 그것의 내부 전압원 및 그것의 가드 단자는 높은 임피던스 상태에 있다. 도 22b는, 칩 2이 활성적이고, 커패시터(Cn2)를 판독하고, 반면에 칩 1은 불활성적이고, 높은 임피던스 상태인, 반대 상황을 도시한다.

[0139] 채널 보상

[0140] 본 발명은 다음에서 설명되는 바와 같이, 또한 노이즈 거부의 측정, 및 복수의 채널들에서의 이득 및 오프셋의 변형들에 대한 설명을 가능하게 하는 특별한 노이즈 보상 기술들을 사용함으로써, 외부 접지에 대해 외부 커패시터(Cin)(터치-민감 인터페이스의 경우에 손가락의 접근에 의해 야기되는 변경과 같은)의 값의 변형들의 개선되고 보다 정확한 검출을 허용하는 실시예들을 포함한다.

[0141] 채널 보상은 이전 실시예와 관련하여 논의된 샘플링과 유용하게 결합되고, 여기에서, 여기 전압은 스텝들을 가지며, 출력 신호는 예를 들면, 각각의 스텝 전 및 후에, 여기 전압과 동기하여 샘플링된다. 하지만, 그것들은 다른 샘플링 방식들을 구현하는 상이한 샘플링 유닛들, 및 임의의 파형의 여기 전압들로 잘 사용된다.

[0142] 본 발명은, 회로가 용량성 터치 스크린들에 대한 일반적으로 진정한 것으로서, 여러 개의 입력 커패시터들을 동시에 측정할 수 있도록, 여러 개의 채널들을 갖는다고 가정한다. 이것은, 전하 증폭기의 양의 입력들에 인가되는 부유 전압(VF)을 변조하는 N개의 용량성 입력들(Cin\_1, Cin\_2, ..., Cin\_N)을 샘플링하고, 이어서, 전하 증폭기들의 Vout\_k 출력들에서의 변형들을 통해 전하 변형들을 검출하고, ADC를 통해 디지털 코드들에서 이들 전압들을 중국적으로 변환하는, 병렬의 N개의 채널들로 이뤄진 회로를 나타내는, 도 23에서 도시된다.

$$\begin{aligned} \text{Code} &= k * \text{Vin\_ad} / \text{Vref\_ad} \\ &= k \Delta \text{Vout} / \text{Vref\_ad} \end{aligned}$$

[0143] 
$$= k (vref / \text{Vref\_ad}) \text{Cin} / \text{Cfb}$$

[0144] 이득 보상

[0145] 본 발명의 가능한 실시예에서, 회로는 도 23에 도시되는 바와 같이 병렬 채널들을 가지며, 그것들 중 하나가 도 24에 도시되는 바와 같이, 내부 또는 외부 커패시터(Cref)에 접속된 참조 채널로서 사용된다. 이 채널은 명쾌하게 디자인되고, 그러한 이득 보상 참조를 제공하는 제안을 위해 포함되는 보조 채널, 또는 이 끝에 희생되는 하나의 일반 목적의 채널일 수 있다. 그러므로, 이 채널( $\Delta \text{Vout\_ref}$  또는  $\text{code\_ref}$ )의 측정은 Cref에 비례한다. 그러므로, 다른 채널들에 대해 간단히 다음과 같다:

$$\Delta \text{Vout}_i = vref \text{Cin}_i / \text{Cfb}$$

[0146] 
$$\Delta \text{Vout\_ref} = vref \text{Cref} / \text{Cfb}$$

[0147]

및

$$\text{Code}_i = k (v_{\text{ref}}/V_{\text{ref\_ad}}) \text{Cin}_i / \text{Cfb}$$

[0148]

$$\text{Code}_{\text{ref}} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) \text{Cref} / \text{Cfb}$$

[0149]

모든 채널들에 공통이고, 그것들의 이득을 정의하는,  $V_{\text{ref}}$ ,  $V_{\text{ref\_ad}}$  및 다른 파라미터들의 의존성은, 참조 채널의 측정에 대해 임의의 채널 상에서의 측정의 비율을 계산함으로써 제거될 수 있다.

[0150]

$$\Delta V_{\text{out}_i} / \Delta V_{\text{out\_ref}} = \text{Cin}_i / \text{Cref}$$

[0151]

또는

[0152]

$$\text{Code}_i / \text{Code}_{\text{ref}} = \text{Cin}_i / \text{Cref}.$$

[0153]

그러므로, 그 결과는 간단히  $\text{Cin}_i/\text{Cref}$ 의 측정치이고, 더 이상  $v_{\text{ref}}$ ,  $v_{\text{ref\_ad}}$ ...에 의존하지 않는다. 이 사실에 의해, 측정에 대한  $V_{\text{ref}}$ ,  $v_{\text{ref\_ad}}$ 의 노이즈 기여는 제거된다. 이점은, 참조 전압에 대한 정확성 및 노이즈 명세들은 극적으로 완화된다. 몫  $\text{code}_i/\text{code}_{\text{ref}}$ 는 디지털 부분에서 간단히 계산될 수 있다.

[0154]

몫  $\Delta V_{\text{out}_i}/\Delta V_{\text{out\_ref}}$ 는 또한, 분할을 수행하는 임의의 아날로그 수단에 의해 계산될 수 있다. 이 차이를 계산하는 또 다른 가능성은, 참조 채널에 대해 기대되는 각각의 출력에 대해 ADC를 사용하고, 다른 측정 채널들에 대해 ADC에 대한 참조 전압으로서 참조 스테이지의 적분기에 의해 생성되는 전압( $\Delta V_{\text{out\_ref}}$ )을 사용하는 것이다. ADC들에 의해 생성되는 코드들이 입력 신호에 비례하고, 참조로서 사용되는 전압에 반비례한다. 도 25에 개략적으로 나타내지는, 이 장치는 아날로그 수단에 의해 요구된 보상을 제공한다.

[0155]

오프셋 보상

[0156]

추가적인 실시예에 따라, 본 발명은 오프셋 삭제를 제공하기 위해 임의의 외부 커패시터로부터 접속해제된 보조 채널(또는, 존재하는 채널을 희생함)을 사용한다. 그러므로, 채널은, 모든 채널들에 시스템적이고 이상적인, 오프셋 소스들 및 섭동들을 제거하기 위해 사용될 수 있다. 이들 오프셋 소스들 및 섭동들은 상이한 특성들로 이뤄질 수 있다. 몇몇 예들은 전하 주입인데, 이것은 이들 전하 주입의 신뢰할만한 스위치들이 하나의 채널에서 다른 채널로 매칭된다고 가정하면, 모든 채널에 대해 동일한 것이다. 다른 예들은 전원으로 인한 것일 수 있다.

[0157]

그러한 예들이 도 26에 도시되어 있다. 가상 접지와 채널 증폭기의 공급 전압들( $V+$  또는  $V-$ ) 사이, 또는 가상 접지와 클록 신호 사이의 기생 커패시터들은 피드백 커패시터 상의 전하, 그래서 출력 전압을 수정할 수 있다. 이들 노드들(전원들 또는 클록들)이 모든 채널들에 공통이므로, 채널들은 동일한 방식으로 영향을 받는다. 예를 들면,  $V+$  또는  $V-$  상의 증폭기( $\Delta V$ )의 섭동 또는 커패시터( $C_{\text{par}}$ )를 통해 가상 접지 노드에 주입되는, 진폭( $\Delta V$ )의 클록 에지를 가정하면, 전하 증폭기의 출력 전압은  $\Delta V_{\text{out}} = C_{\text{par}} \cdot \Delta V/\text{Cfb}$ 와 같은 양만큼 수정된다. 입력 커패시터를 참조하면, 이것은  $\text{Coff} = C_{\text{par}} \cdot \Delta V_{\text{ref}}$ 와 같은 에러에 대응하고,  $V_{\text{ref}}$ 는 부유 전압( $V_{\text{F}}$ )과 외부 접지 사이에 인가되는 전압 스텝, 그러므로 입력 커패시터들 상의 전압 변환이다. 이 에러( $\text{Coff}$ )가 시간에 대해 일정하면, 그것은 모든 채널들 상의 시스템적인 오프셋에 대응한다. 하지만, 이 에러가 예를 들면, 하나의 샘플링 사이클에서 또 다른 샘플링 사이클로 변하는, 랜덤이면, 그것은 공통 노이즈에 대응하고, 모든 채널에 대해 이상적이지만, 시간적으로 일정하지 않다.

[0158]

이 공통 모드 오프셋을 제거하는 하나의 방식은, 예를 들면, 패드로부터 그것을 접속해제시킴으로써, 임의의 외부 커패시터에 접속되지 않는 하나의 채널을 사용하는 것이다. 우리는, 도 27을 참조하여, 전하 증폭기 출력( $v_{\text{out\_off}}$ ) 및 출력 코드( $\text{code}_{\text{off}}$ )를 갖는 이 채널을 오프셋 채널이라 한다.

[0159]

실제로, 커패시터( $\text{Coff}$ )에 등가인 입력 참조된 오프셋과 관계되는, 상이한 활성 채널들에 대해, 전하 증폭기의 출력에서 전압 스텝은 아래 수식으로써 주어지며,

[0160]

$$\Delta V_{\text{out}_i} = v_{\text{ref}} ( \text{Cin}_i - \text{Coff} ) / \text{Cfb},$$

[0161]

한편, 오프셋 채널( $\text{Cin}=0$ 을 가짐)에 대해, 다음 수식을 갖는다.

[0162]

$$\Delta V_{\text{out\_off}} = - v_{\text{ref}} \text{Coff} / \text{Cfb}$$



[0163] 각각의 활성 채널의 ADC의 출력에서, 다음 수식을 갖는다.

[0164] 
$$\text{Code}_i = k (v_{\text{ref}}/V_{\text{ref\_ad}}) (C_{\text{in}_i} - \text{Coff}) / \text{Cfb},$$

[0165] 한편, 오프셋 채널은 다음 수식을 제공한다.

[0166] 
$$\text{Code}_{\text{off}} = - k (v_{\text{ref}}/V_{\text{ref\_ad}}) \text{Coff} / \text{Cfb}$$

[0167] 시스템적인 오프셋 또는 공통 노이즈는 오프셋 채널로부터의 결과를 임의의 활성 채널 상의 결과로부터 차감함으로써 보상될 수 있다. 이것은 아날로그 또는 디지털 도메인에서 행해질 수 있다.

[0168] 아날로그 도메인에서,  $V_{\text{out}_i}$  및  $V_{\text{out\_off}}$  상의 전압 에지들을 차감하면, 다음 수식을 가지며,

[0169] 
$$\Delta V_{\text{out}_i} - \Delta V_{\text{out\_off}} = v_{\text{ref}} C_{\text{in}_i} / \text{Cfb},$$

[0170] 한편, 디지털 도메인에서, 다른 채널들의 코드로부터 오프셋 채널의 코드를 차감하면, 다음 수식을 갖는다.

[0171] 
$$\text{Code}_i - \text{Code}_{\text{off}} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) C_{\text{in}_i} / \text{Cfb}.$$

[0172] 각각의 경우에, 오프셋 또는 공통 모드 노이즈에 대응하는 조건은 제거된다.

[0173] 이득 및 오프셋의 보상

[0174] 두 개의 채널들, 도 3에서와 같이 참조 커패시터( $C_{\text{ref}}$ )에 접속된 하나, 및 도 6에서와 같이 임의의 커패시터로부터 접속해제된 하나를 희생함으로써, 이득과 오프셋 보상들을 조합하는 것이 가능하다. 그 결과는 도 28에서 주어진다.

[0175] 오프셋 및 이득은, 참조 채널을 포함하는 모든 채널로부터 오프셋 채널로부터의 결과를 우선 차감함으로써, 이어서 참조 채널로부터 수정된 결과(ref - off)로써 분할함으로써 보상될 수 있다.

[0176] 예를 들면, 디지털 결과들을 고려하면, 입력 커패시터와 출력 코드 간의 관계가 다음 수식에 의해 주어진다.

[0177] 
$$\text{Code} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) (C_{\text{in}} - \text{Coff}) / \text{Cfb}.$$

[0178] 그러므로, 모든 활성 채널에 대해,  $C_{\text{in}} = C_{\text{in}_i}$ :

[0179] 
$$\text{Code}_i = k (v_{\text{ref}}/V_{\text{ref\_ad}}) (C_{\text{in}_i} - \text{Coff}) / \text{Cfb},$$

[0180] 한편, 오프셋 채널( $C_{\text{in}}=0$ )에 대해, 다음 수식을 갖는다.

[0181] 
$$\text{Code}_{\text{off}} = - k (v_{\text{ref}}/V_{\text{ref\_ad}}) \text{Coff} / \text{Cfb},$$

[0182] 그리고, 참조 채널( $C_{\text{in}} = C_{\text{ref}}$ )에 대해, 다음 수식을 갖는다.

[0183] 
$$\text{Code}_{\text{ref}} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) (C_{\text{ref}} - \text{Coff}) / \text{Cfb}.$$

[0184] 각각의 채널 상의 코드는 동작을 수행함으로써 이득 및 오프셋에서 보상될 수 있다.

[0185] 
$$\text{code}_i - \text{code}_{\text{off}} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) C_{\text{in}_i} / \text{Cfb}$$
 로서의  

$$(\text{code}_i - \text{code}_{\text{off}}) / (\text{code}_{\text{ref}} - \text{code}_{\text{off}})$$

[0186] 및

[0187] 
$$\text{code}_{\text{ref}} - \text{code}_{\text{off}} = k (v_{\text{ref}}/V_{\text{ref\_ad}}) C_{\text{ref}} / \text{Cfb}$$
 가

[0188] 
$$(\text{code}_i - \text{code}_{\text{off}}) / (\text{code}_{\text{ref}} - \text{code}_{\text{off}}) = C_{\text{in}_i} / C_{\text{ref}}$$
 을 산출한다.

[0189] 위 수식은 공통 모드 오프셋과 무관하고, 내부 참조 전압들로 이뤄진다. 이 동작은  $C_{\text{in}}=0$ 에 대응하는  $\text{code}_{\text{off}}$ 와  $C_{\text{in}}=C_{\text{ref}}$ 에 대응하는  $\text{code}_{\text{ref}}$  사이의 선형 보간에 대응한다.

[0190] 본 발명의 범위로부터 벗어남이 없이, 유사한 동작들이 또한, 오프셋 및 이득을 보상하기 위해서 아날로그 도메

인에서 행해질 수 있다.

[0191] 터치 스크린들에 대한 애플리케이션

[0192] 통상적으로, 스마트폰들 또는 태블릿들용의 터치 스크린 애플리케이션에서, 손가락을 통해 접지에 대해, 측정되어야 하는 커패시턴스인, 용량성 전극들은 LCD 디스플레이의 위에 놓인다. 하지만, 상부 측 상의 커패시턴스만이 손가락들에 대해, 흥미있고, 반면에, LCD로부터의 기생 신호들 및 LCD에 대한 커패시터는 바람직하지 않다. 이러한 이유로, 도전하는 가드층은 도 29를 참조하면, 용량성 전극들과 LCD 디스플레이 사이에 삽입된다.

[0193] 용량성 전극들이 전하 증폭기들의 음의 입력들(가상 접지들)에 고정되므로, 가드는 전하 증폭기의 양의 입력에 대응하는 전압(VF), 그러므로, 잘 정의된 전압 변형(vref)이 인가되는 여기 전압에 고정되어야 한다. 전하 증폭기들이 이상적이라고 가정하면, 양 및 음이 동일한 전압에 있고, 그래서, 용량성 전극들과 가드 사이의 기생 커패시터들은 전압 변환을 나타내지 않고, 전하를 전달하지 않는다.

[0194] 전하 증폭기의 비-반전 입력에 대응하는 가드 전극은 잘 정의된 진폭(vref)의 전압이 여기 전압원을 통해 인가되므로, 참조 전극들로서 동작한다.

[0195] 하지만, 여기 전압원은 실제적으로, 이 전압을 생성하거나 버퍼링하는데 사용되는 트랜지스터들의 열적인 노이즈 및 1/f 노이즈로 인해, 그리고 다른 노이즈 소스들로 인해, 노이즈(noisy)일 수 있다.

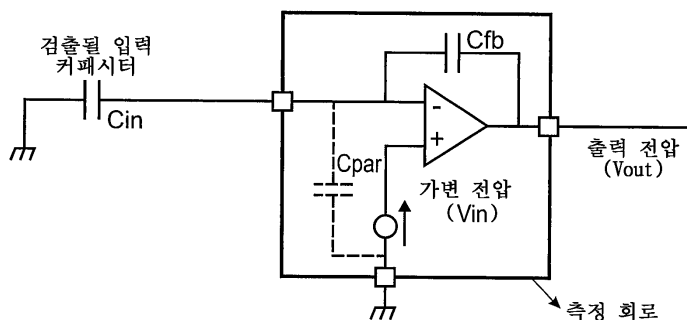
[0196] 더욱이, 이 여기 전압원이 년-제로 임피던스를 갖는다고 하면, 가드는 LCD와 가드 사이의 기생 결합 커패시터들에 의해 폴루트(pollute)될 것이다. 이것은 또한, 가드 전압 상에 노이즈로서 보여질 것이다. 이들 노이즈 소스들을 낮게 유지하기 위해서, 매우 낮은 임피던스 및 낮은 노이즈 증폭기가 높은 전류 소모를 필요로 하는, 가드를 구동시키기 위해 요구된다.

[0197] 본 발명의 이점은, VF 노드(가드 전압), 및 특히 LCD에 대한 결합을 폴루팅하는 모든 노이즈 소스들이, 접지에 대해 참조 커패시터를 갖는 채널을 통해 가드 상에 효과적인 참조 전압 변환을 측정함으로써, 그리고 앞의 챕터에서 이미 설명한 바와 같이, 참조 커패시터를 갖는 채널의 측정에 대한 임의의 다른 채널의 비율을 행함으로써 고려되고, 보상된다는 점이다.

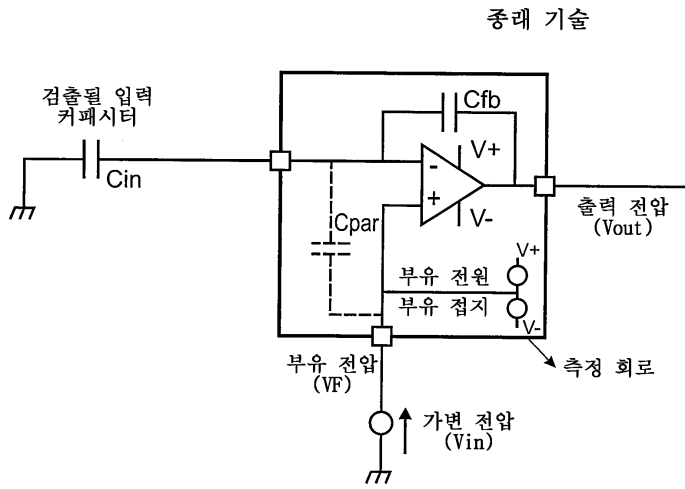
도면

도면1

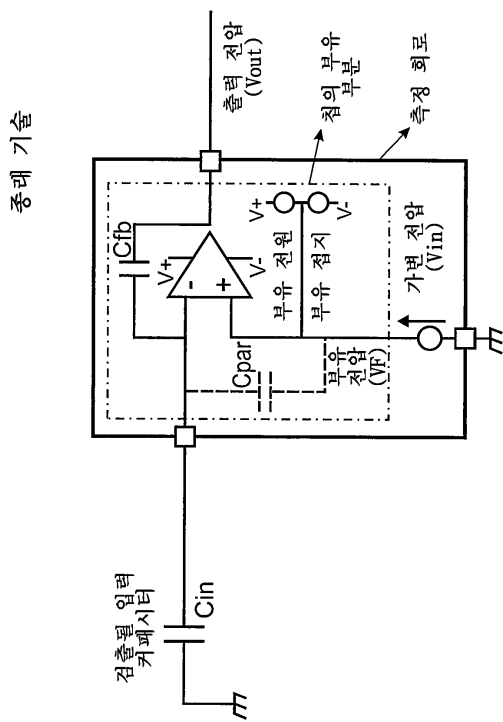
종래 기술



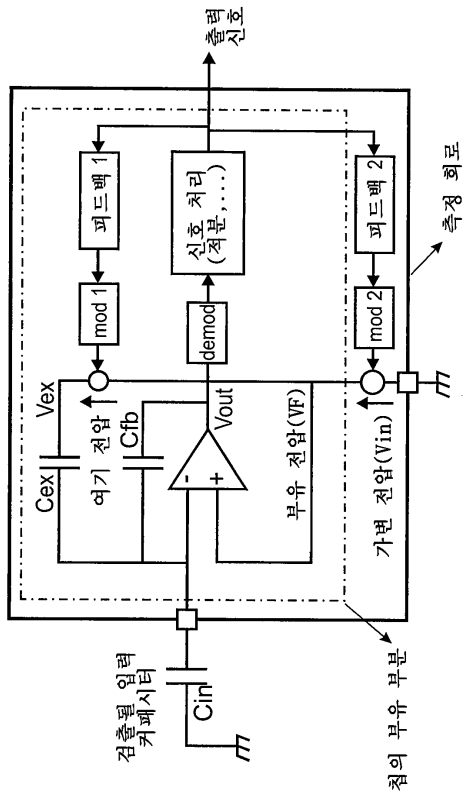
도면2



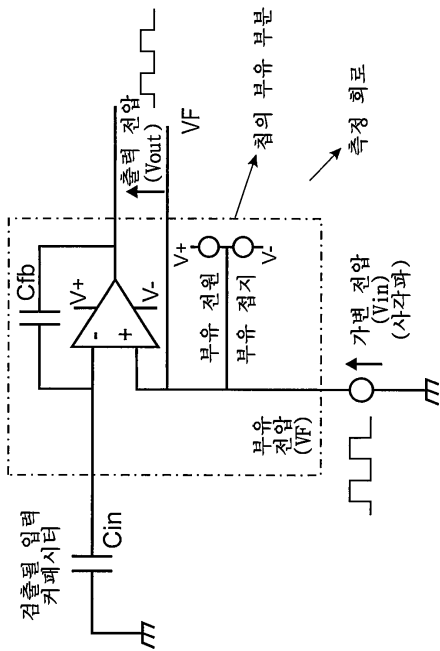
도면3



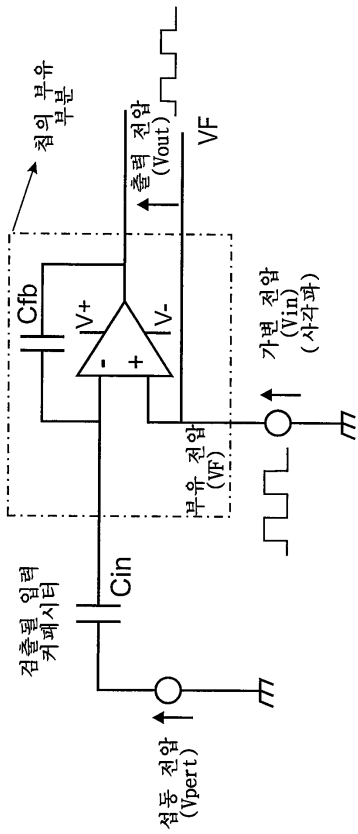
도면4



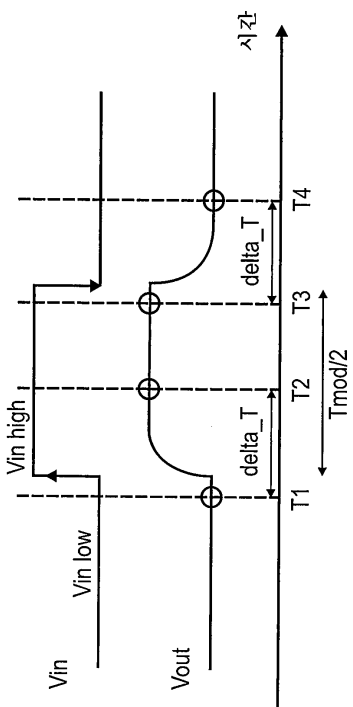
도면5



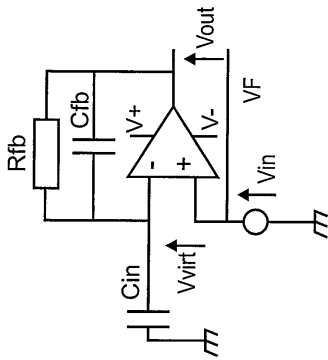
도면6a



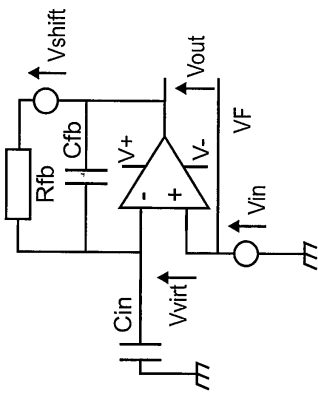
도면6b



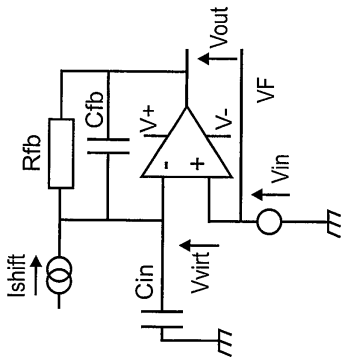
도면7a



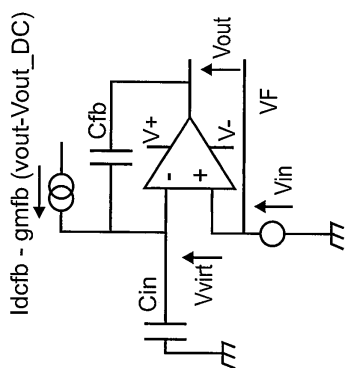
도면7b



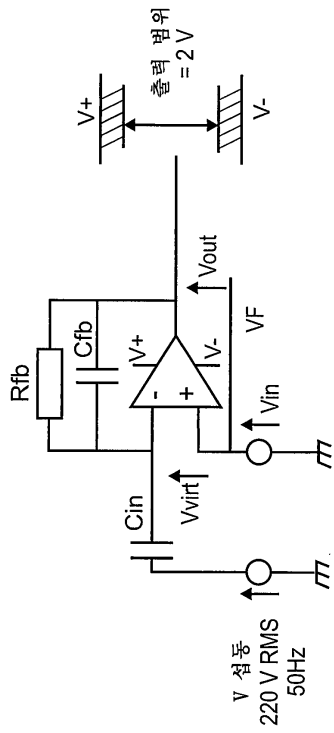
도면7c



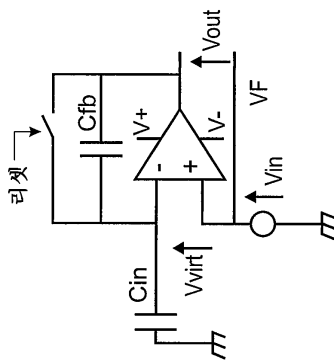
도면7d



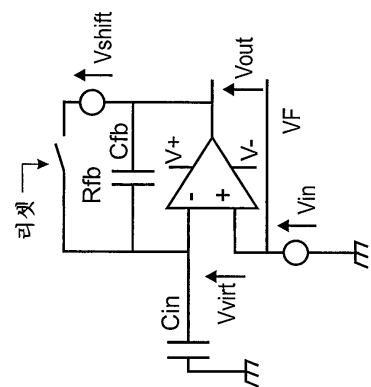
도면8



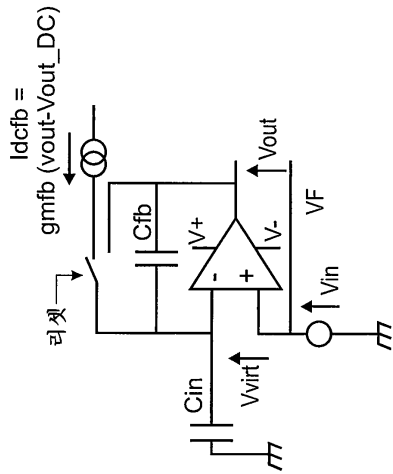
도면9a



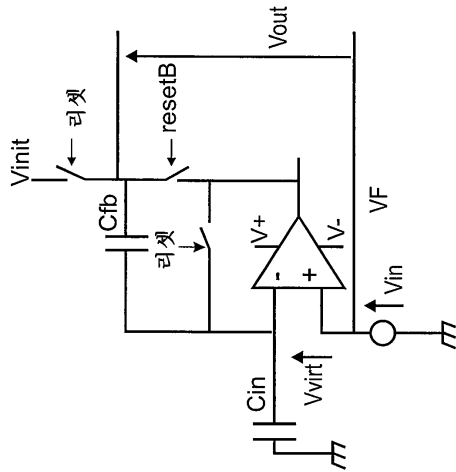
도면9b



도면9c

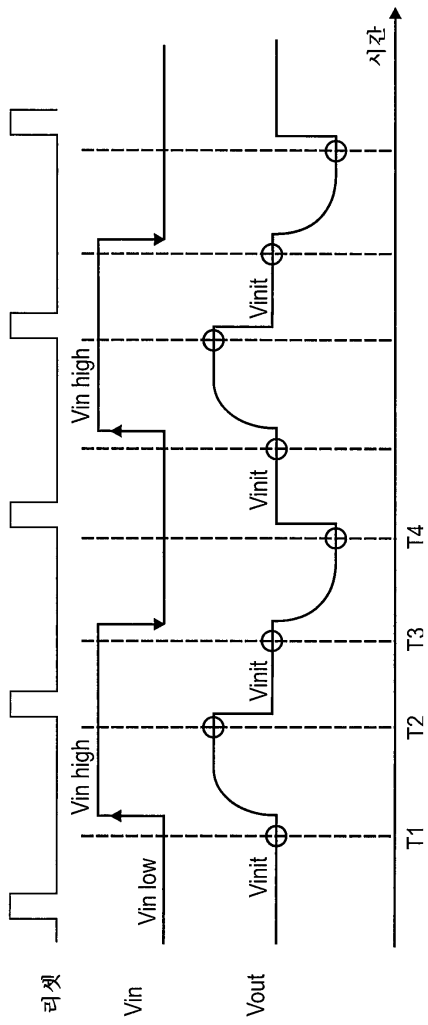


도면9d

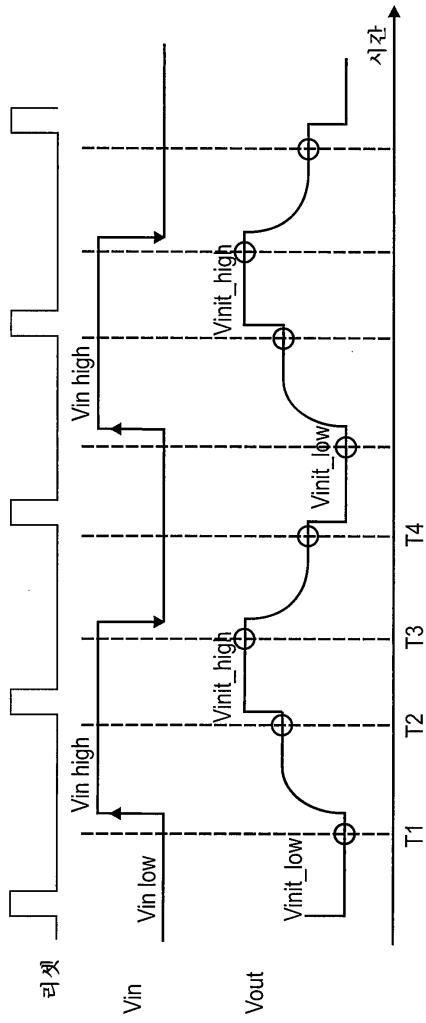




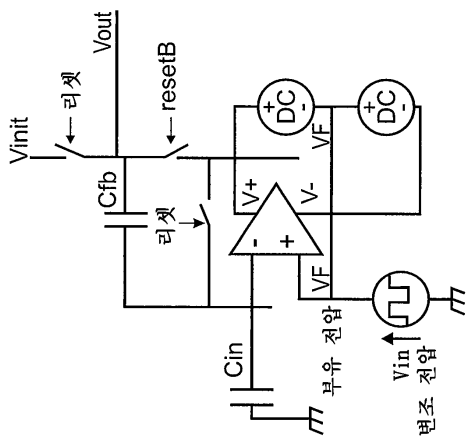
도면10



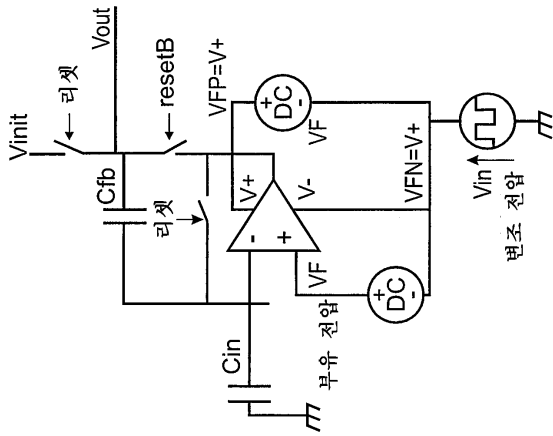
도면11



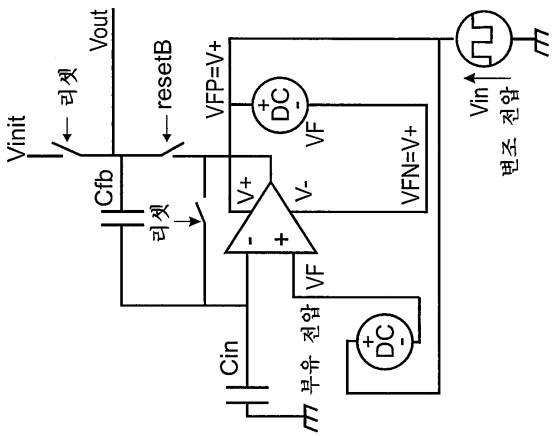
도면12a



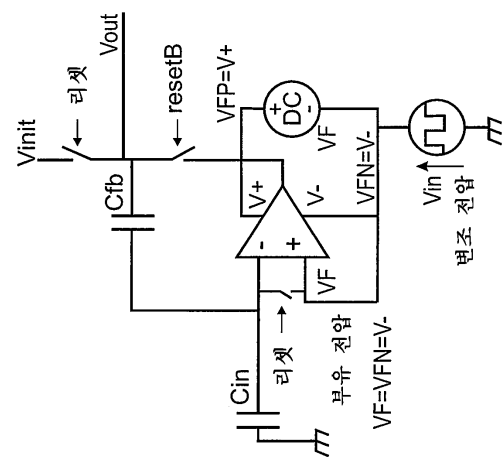
도면12b



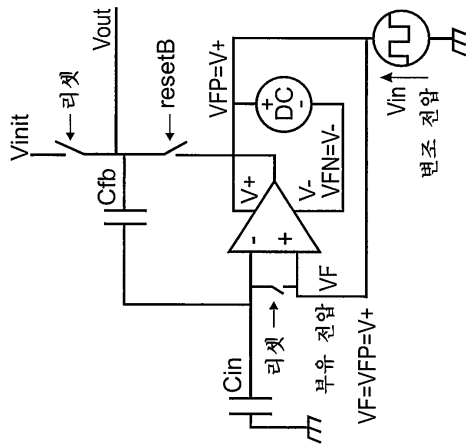
도면12c



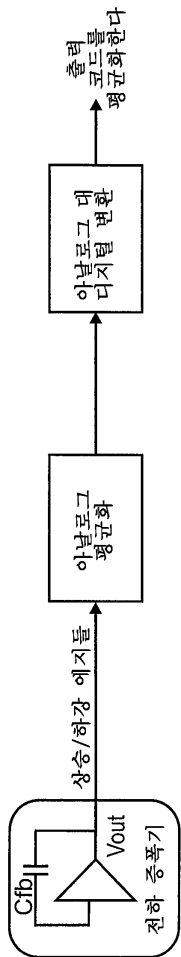
도면13a



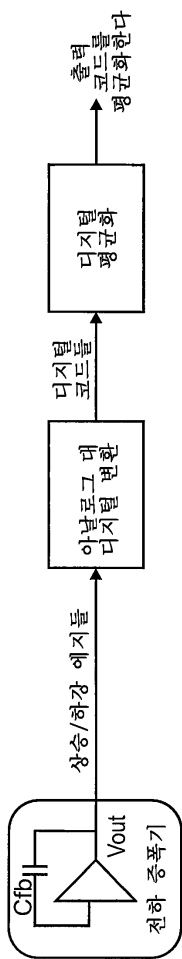
도면13b



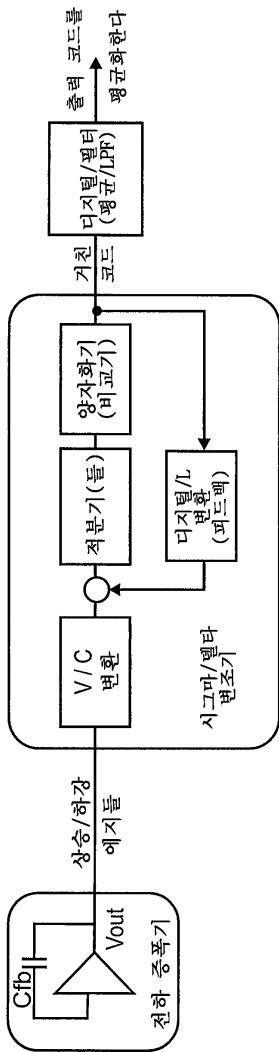
도면14



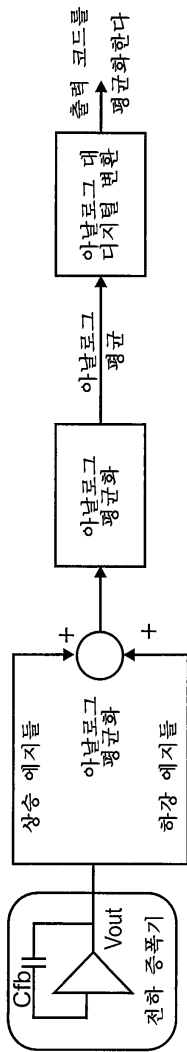
도면15



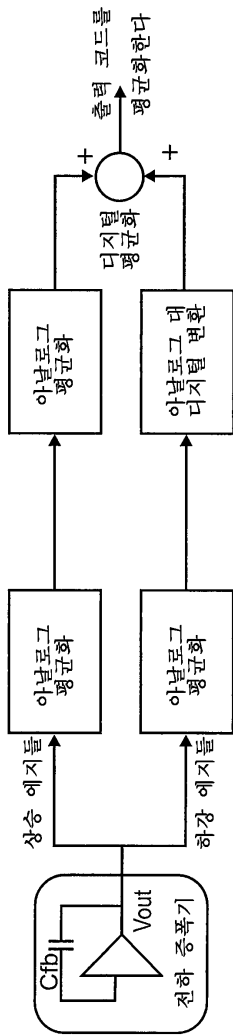
도면16



도면17

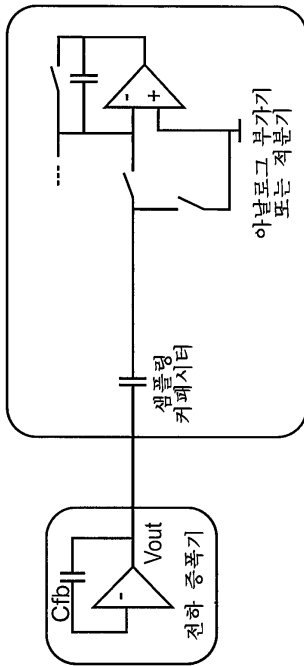


도면18

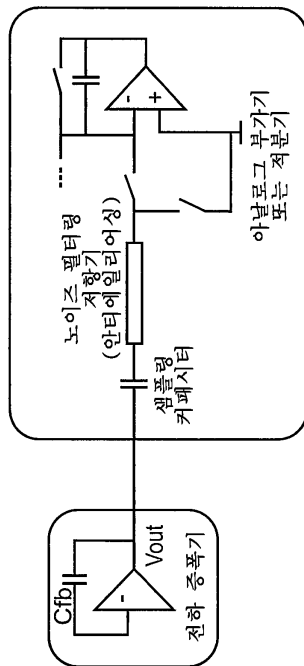




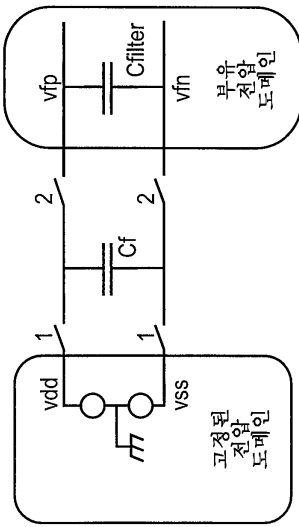
도면19a



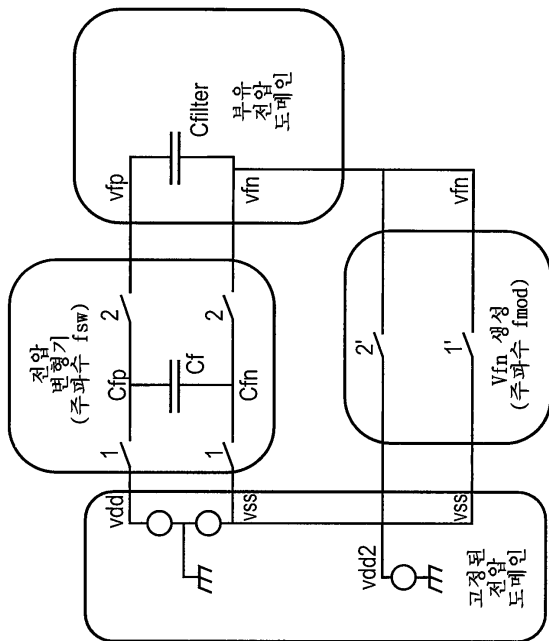
도면19b



도면20

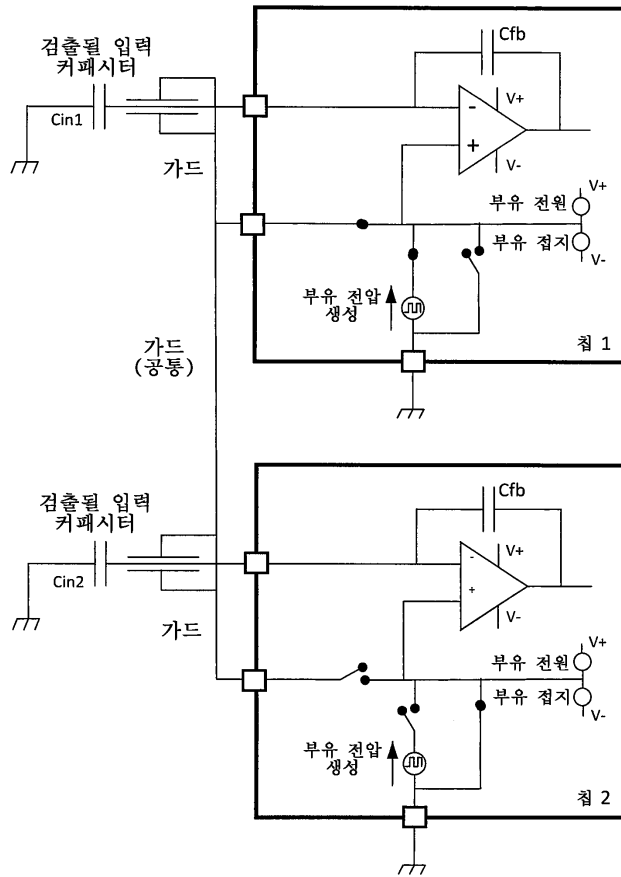


도면21a

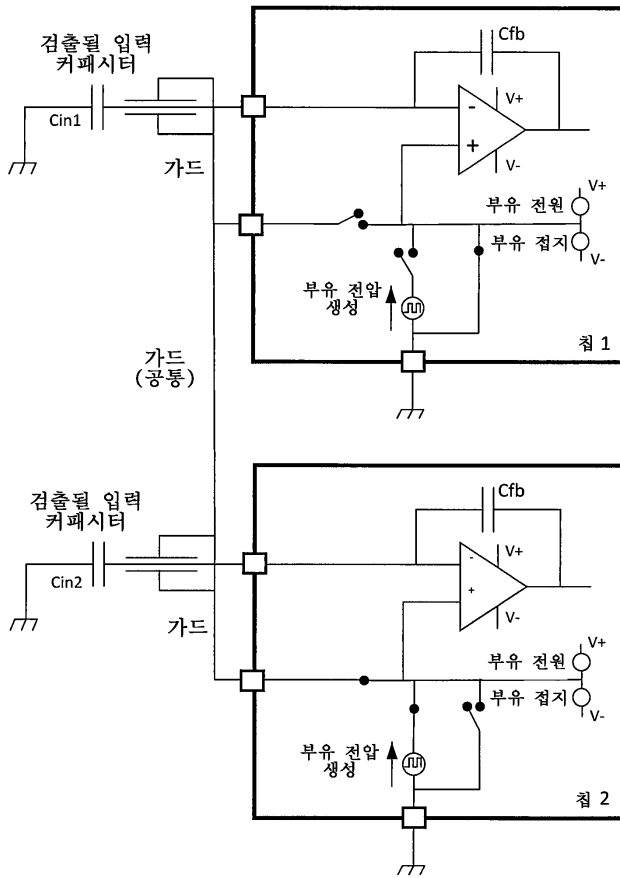




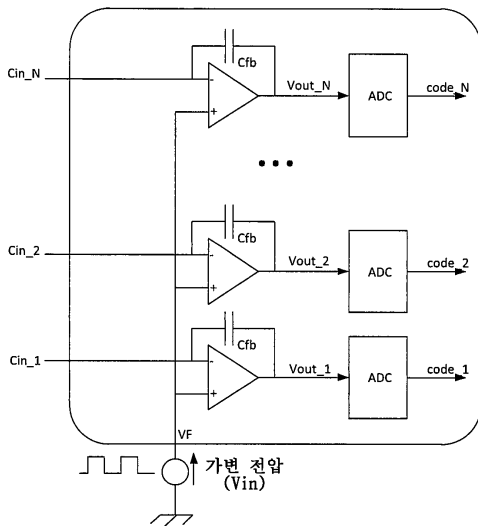
도면22a



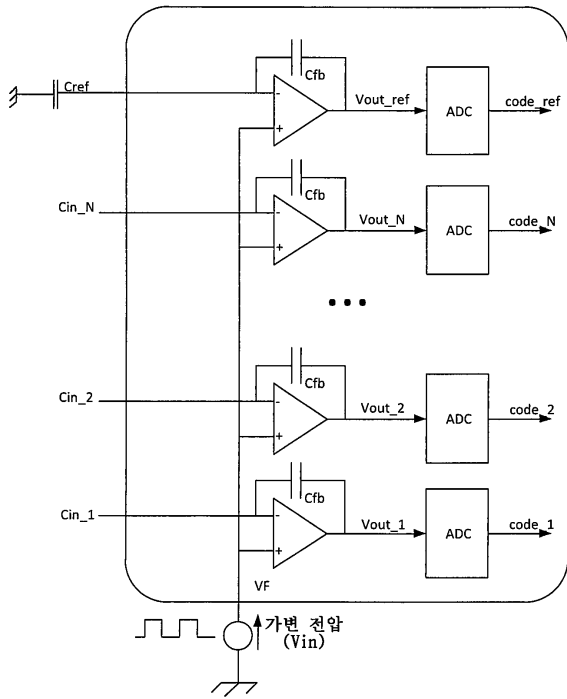
도면22b



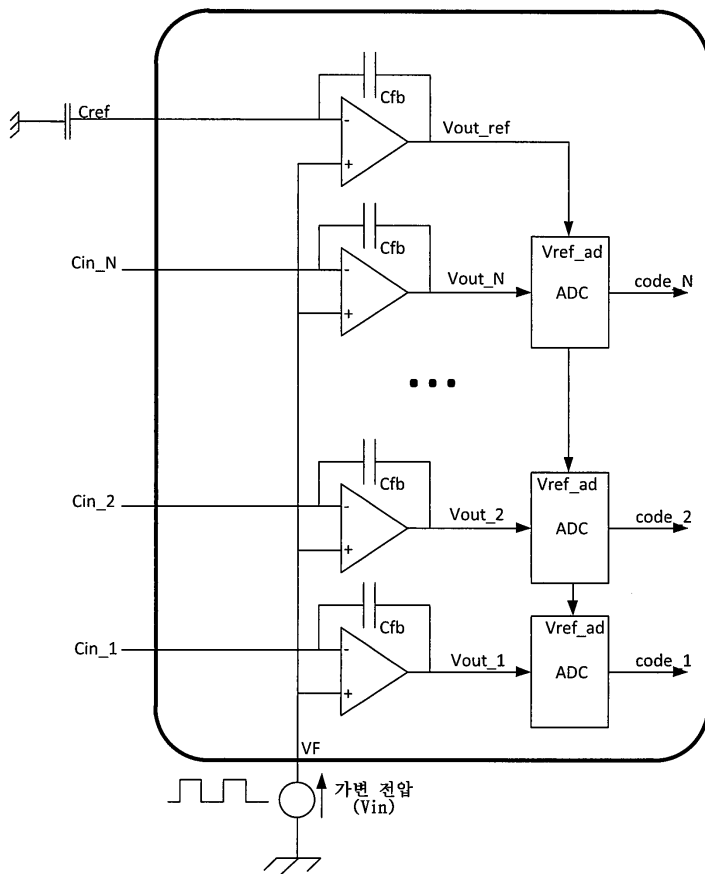
도면23



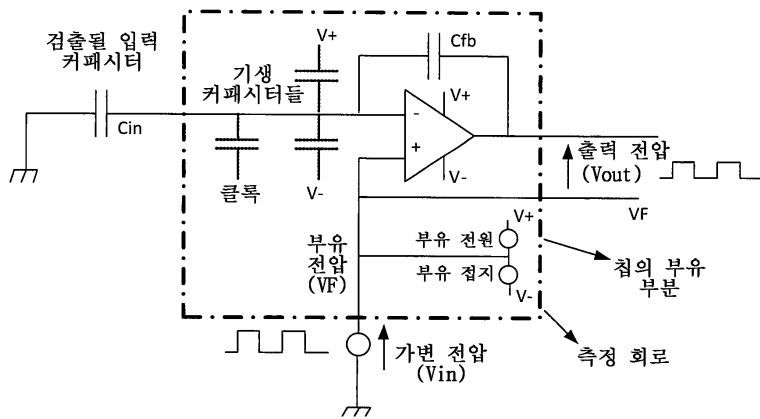
도면24



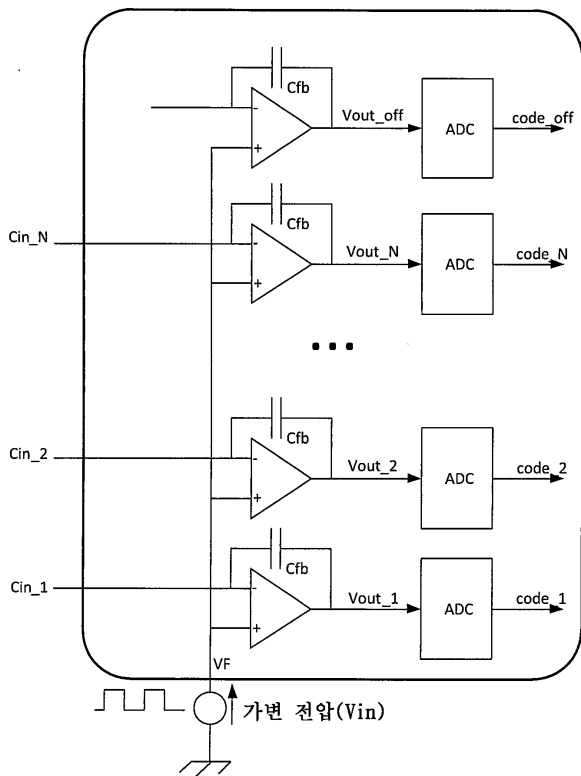
도면25



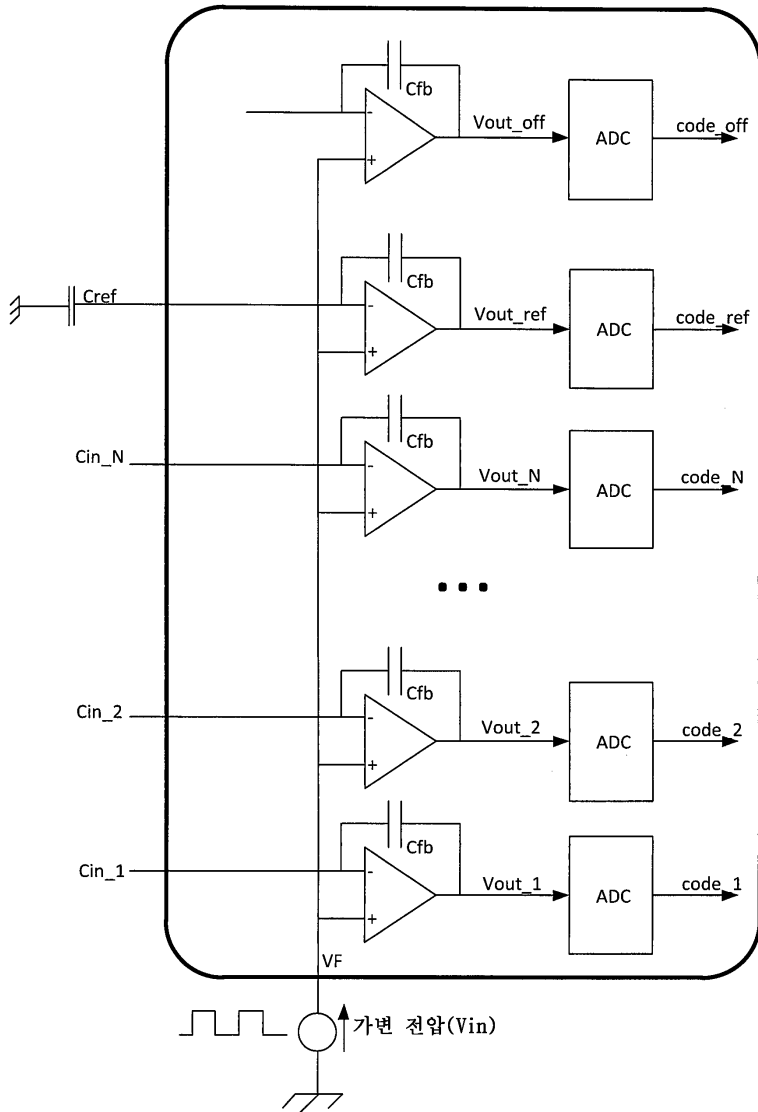
도면26



도면27



도면28





도면29

