



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년04월15일
(11) 등록번호 10-1512336
(24) 등록일자 2015년04월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01) H03K 19/00 (2006.01)
(21) 출원번호 10-2008-0135415
(22) 출원일자 2008년12월29일
심사청구일자 2013년11월28일
(65) 공개번호 10-2010-0077472
(43) 공개일자 2010년07월08일
(56) 선행기술조사문헌
JP2003173167 A*
KR1020040003285 A*
KR1020050113777 A*
KR1020080033565 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박용주
경기도 화성시 영통로27번길 20, 신영통현대4차아파트 408동 1704호 (반월동)
김학규
경기도 용인시 기흥구 삼성2로 95, 기흥공장 철쪽동 202호 (농서동, 삼성전자)
임지숙
대전광역시 중구 태평로 80, 2단지 27동 123호 (태평동, 삼부아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 17 항

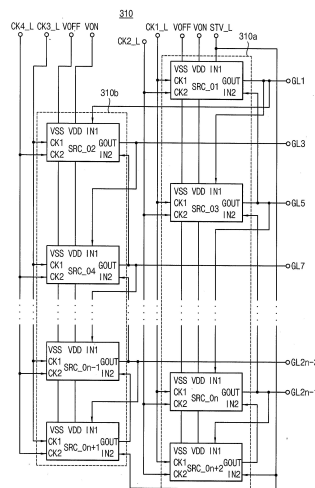
심사관 : 추장희

(54) 발명의 명칭 게이트 구동회로 및 이를 구비한 표시 장치

(57) 요약

게이트 구동회로는 제1 쉬프트 레지스터 및 제2 쉬프트 레지스터를 포함한다. 제1 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제1 스테이지들로 이루어져 복수의 제1 게이트 신호들을 순차적으로 출력하고, 상기 제1 스테이지들 중 첫 번째 스테이지가 제1 수직개시신호를 입력받는다. 제2 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제2 스테이지들을 이루어져 복수의 제2 게이트 신호들을 순차적으로 출력하고, 제2 스테이지들 중 첫 번째 스테이지가 제1 쉬프트 레지스터의 첫 번째 스테이지의 출력신호를 제2 수직개시신호로 입력받는다. 게이트 신호의 마진을 확보하여 데이터 충전율을 향상시킴으로써, 구동 신뢰성을 향상시킬 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

서로 종속적으로 연결된 복수의 제1 스테이지들로 이루어져 복수의 제1 게이트 신호들을 순차적으로 출력하고, 상기 제1 스테이지들 중 첫 번째 스테이지가 제1 수직개시신호를 입력받는 제1 쉬프트 레지스터; 및

서로 종속적으로 연결된 복수의 제2 스테이지들을 이루어져 복수의 제2 게이트 신호들을 순차적으로 출력하고, 상기 제2 스테이지들 중 첫 번째 스테이지가 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제2 수직개시신호로 입력받는 제2 쉬프트 레지스터를 포함하고,

상기 제1 쉬프트 레지스터는 제1 클럭신호와 상기 제1 클럭신호와 위상이 반전된 제2 클럭신호를 입력받고, 상기 제2 쉬프트 레지스터는 상기 제1 클럭신호에 대해 2H 지연된 제3 클럭신호와 상기 제3 클럭신호와 위상이 반전된 제4 클럭신호를 입력받는 것을 특징으로 하는 게이트 구동회로.

청구항 2

제1항에 있어서, 상기 제2 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호는 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호에 대해 2H(H는 수평주기) 지연된 것을 특징으로 하는 게이트 구동회로.

청구항 3

삭제

청구항 4

제1항에 있어서, 각 스테이지는,

수직개시신호 또는 이전 스테이지의 출력신호에 응답하여 클럭신호를 게이트 신호로서 출력단자로 출력하는 풀업부;

다음 스테이지의 출력신호에 응답하여 상기 풀업부를 턴-오프 시키는 제1 풀업 구동부;

상기 클럭신호와 위상이 반전된 클럭신호의 하이 레벨에 응답하여 상기 출력단자의 전압을 로우 레벨로 풀다운시키는 제1 풀다운부; 및

상기 반전된 클럭신호의 하이 레벨에 응답하여 상기 풀업부의 제어 전극에 인가되는 전압을 로우 레벨로 유지시키는 제1 리플 방지부를 포함하는 게이트 구동회로.

청구항 5

제4항에 있어서, 상기 클럭신호의 펄스 폭은 4H인 것을 특징으로 하는 게이트 구동회로.

청구항 6

제4항에 있어서, 상기 제1 및 제2 쉬프트 레지스터의 마지막 스테이지들 각각의 제1 풀업 구동부는 상기 수직개시신호에 응답하여 상기 풀업부를 턴-오프시키는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제4항에 있어서, 상기 각 스테이지는,

상기 클럭신호를 충전하는 스위칭 커패시터;

상기 스위칭 커패시터에 충전된 클럭신호에 응답하여 상기 출력단자의 전압을 로우 레벨로 풀다운시키는 제2 풀다운부; 및

상기 클럭신호의 하이 레벨에 응답하여 상기 출력단자의 전압을 로우 레벨로 유지시키는 제2 리플 방지부를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제7항에 있어서, 상기 각 스테이지는,

상기 수직개시신호 또는 이전 스테이지의 출력신호에 응답하여 상기 풀업부를 턴-온 시키는 제2 풀업 구동부; 및

상기 풀업부의 제어 전극에 인가된 신호에 응답하여 상기 제2 풀다운부 및 상기 리플 방지부를 턴-오프시키는 풀다운 구동부를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 9

서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소부들을 포함하는 표시 패널;

상기 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동회로; 및

서로 종속적으로 연결된 복수의 제1 스테이지들로 이루어져 복수의 제1 게이트 신호들을 순차적으로 출력하고, 상기 제1 스테이지들 중 첫 번째 스테이지가 제1 수직개시신호를 입력받는 제1 쉬프트 레지스터와, 서로 종속적으로 연결된 복수의 제2 스테이지들을 이루어져 복수의 제2 게이트 신호들을 순차적으로 출력하고, 상기 제2 스테이지들 중 첫 번째 스테이지가 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제2 수직개시신호로 입력받는 제2 쉬프트 레지스터를 포함하는 게이트 구동회로를 포함하고,

상기 제1 쉬프트 레지스터는 제1 클럭신호와 상기 제1 클럭신호와 위상이 반전된 제2 클럭신호를 입력받고, 상기 제2 쉬프트 레지스터는 상기 제1 클럭신호에 대해 2H 지연된 제3 클럭신호와 상기 제3 클럭신호와 위상이 반전된 제4 클럭신호를 입력받는 것을 특징으로 하는 표시 장치.

청구항 10

제9항에 있어서, 상기 게이트 구동회로는

서로 종속적으로 연결된 복수의 제3 스테이지들로 이루어져 복수의 제3 게이트 신호들을 순차적으로 출력하고, 상기 제3 스테이지들 중 첫 번째 스테이지가 상기 제1 수직개시신호에 대해 1H(H는 수평주기) 지연된 제3 수직개시신호를 입력받는 제3 쉬프트 레지스터; 및

서로 종속적으로 연결된 복수의 제4 스테이지들을 이루어져 복수의 제4 게이트 신호들을 순차적으로 출력하고, 상기 제4 스테이지들 중 첫 번째 스테이지가 상기 제3 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제4 수직개시신호로 입력받는 제4 쉬프트 레지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 11

제10항에 있어서, 상기 제1 내지 제4 게이트 신호들은 각각 4H의 펄스 폭을 가지며, 순차적으로 1H씩 지연되어 출력되는 것을 특징으로 하는 표시 장치.

청구항 12

제10항에 있어서, 상기 제1 및 제2 스테이지들은 상기 게이트 라인들 중 홀수번째 라인들과 연결되고, 상기 제3 및 제4 스테이지들은 상기 게이트 라인들 중 짝수번째 라인들과 연결되는 것을 특징으로 하는 표시 장치.

청구항 13

제12항에 있어서, 상기 표시 패널은 상기 화소부들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하고,

상기 제1 및 제2 쉬프트 레지스터는 상기 게이트 라인들의 일단에 대응하는 제1 주변영역에 집적되고,

상기 제3 및 제4 쉬프트 레지스터는 상기 게이트 라인들의 타단에 대응하는 제2 주변 영역에 집적되는 것을 특징으로 하는 표시 장치.

청구항 14

제12항에 있어서, 상기 제3 쉬프트 레지스터는 상기 제1 클럭신호에 대해 1H 지연된 제5 클럭신호와 상기 제5

클럭신호와 위상이 반전된 제6 클럭신호를 입력받으며,

상기 제4 쉬프트 레지스터는 상기 제1 클럭신호에 대해 3H 지연된 제7 클럭신호와 상기 제7 클럭신호와 위상이 반전된 제8 클럭신호를 입력받는 것을 특징으로 하는 표시 장치.

청구항 15

제10항에 있어서, 각 스테이지는,

수직개시신호 또는 이전 스테이지의 출력신호에 응답하여 클럭신호를 게이트 신호로서 출력단자로 출력하는 풀업부;

다음 스테이지의 출력신호에 응답하여 상기 풀업부를 턴-오프 시키는 제1 풀업 구동부;

상기 클럭신호와 위상이 반전된 클럭신호의 하이 레벨에 응답하여 상기 출력단자의 전압을 로우 레벨로 풀다운시키는 제1 풀다운부; 및

상기 반전된 클럭신호의 하이 레벨에 응답하여 상기 풀업부의 제어 전극에 인가되는 전압을 로우 레벨로 유지시키는 제1 리플 방지부를 포함하는 표시 장치.

청구항 16

제15항에 있어서, 상기 제1 내지 제4 쉬프트 레지스터의 마지막 스테이지들 각각의 제1 풀업 구동부는 상기 수직개시신호에 응답하여 상기 풀업부를 턴-오프 시키는 것을 특징으로 하는 표시 장치.

청구항 17

제15항에 있어서, 상기 각 스테이지는,

상기 클럭신호를 충전하는 스위칭 커패시터;

상기 스위칭 커패시터에 충전된 클럭신호에 응답하여 상기 출력단자의 전압을 로우 레벨로 풀다운시키는 제2 풀다운부; 및

상기 클럭신호의 하이 레벨에 응답하여 상기 출력단자의 전압을 로우 레벨로 유지시키는 제2 리플 방지부를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 18

제17항에 있어서, 상기 각 스테이지는,

상기 수직개시신호 또는 이전 스테이지의 출력신호에 응답하여 상기 풀업부를 턴-온 시키는 제2 풀업 구동부; 및

상기 풀업부의 제어 전극에 인가된 신호에 응답하여 상기 제2 풀다운부 및 상기 리플 방지부를 턴-오프시키는 풀다운 구동부를 더 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 구동회로 및 이를 구비한 표시 장치에 관한 것으로, 보다 상세하게는, 게이트 라인을 구동시키는 게이트 구동회로 및 이의 구동 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 액정의 광투과율을 이용하여 영상을 표시하는 액정 표시패널 및 상기 액정표시패널의 하부에 배치되어 상기 액정표시패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

[0003] 상기 액정표시장치는 복수의 게이트 라인들 및 상기 게이트 라인들과 교차하는 데이터 라인들에 의해 복수의 화소부가 형성된 표시 패널과, 상기 게이트 라인들에 게이트 신호를 출력하는 게이트 구동회로 및 상기 데이터 라

인들에 데이터 신호를 출력하는 데이터 구동회로를 포함한다. 이러한 상기 게이트 구동회로 및 상기 데이터 구동회로는 칩(chip) 형태로 이루어져 표시 패널에 실장되는 것이 일반적이다.

[0004] 최근에는 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 상기 게이트 구동회로를 표시 기판상에 아몰퍼스 실리콘 게이트(Amorphous Silicon Gate) 형태로 집적하는 방식이 주목받고 있다. 이처럼 상기 액정표시패널에 집적회로 형태로 집적한 상기 게이트 구동 회로는 고온에서 구동할 경우에 게이트 오프 신호 구간에 리플이 나타나는 노이즈(Noise) 불량이 발생하는 문제점이 있다.

[0005] 또한, 상기 액정표시패널이 점차 대형화됨에 따라 상기 액정표시패널의 로드가 커져 RC 딜레이(delay)는 증가하는 반면에 게이트 라인들의 수는 증가하여 게이트 신호들의 펄스 폭이 짧아지고 있다. 상기 게이트 신호들의 펄스 폭이 짧아지는 경우 데이터 전압을 충전하기 위한 충전시간이 상대적으로 짧아져 데이터 전압의 충전율이 저하될 수 있다.

발명의 내용

해결 하고자하는 과제

[0006] 이에 본 발명의 기술적 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 게이트 신호의 마진을 확보하여 구동 신뢰성을 향상시키기 위한 게이트 구동회로를 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 게이트 구동회로를 구비한 표시 장치를 제공하는 것이다.

과제 해결수단

[0008] 상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 게이트 구동회로는, 제1 쉬프트 레지스터 및 제2 쉬프트 레지스터를 포함한다. 상기 제1 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제1 스테이지들로 이루어져 복수의 제1 게이트 신호들을 순차적으로 출력하고, 상기 제1 스테이지들 중 첫 번째 스테이지가 제1 수직개시신호를 입력받는다. 상기 제2 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제2 스테이지들을 이루어져 복수의 제2 게이트 신호들을 순차적으로 출력하고, 상기 제2 스테이지들 중 첫 번째 스테이지가 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제2 수직개시신호로 입력받는다.

[0009] 본 발명의 실시예에서, 상기 제2 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호는 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호에 대해 2H(H는 수평주기) 지연된 신호이다.

[0010] 본 발명의 실시예에서, 상기 제1 쉬프트 레지스터는 제1 클럭신호와 상기 제1 클럭신호와 위상이 반전된 제2 클럭신호를 입력받고, 상기 제2 쉬프트 레지스터는 상기 제1 클럭신호에 대해 2H 지연된 제3 클럭신호와 상기 제3 클럭신호와 위상이 반전된 제4 클럭신호를 입력받는다.

[0011] 본 발명의 실시예에서, 각 스테이지는, 풀업부, 제1 풀업 구동부, 제1 폴다운부 및 제1 리플 방지부를 포함한다. 상기 풀업부는 수직개시신호 또는 이전 스테이지의 출력신호에 응답하여 클럭신호를 게이트 신호로서 출력단자로 출력한다. 상기 제1 풀업 구동부는 다음 스테이지의 출력신호에 응답하여 상기 풀업부를 턴-오프 시킨다. 상기 제1 폴다운부는 상기 클럭신호와 위상이 반전된 클럭신호의 하이 레벨에 응답하여 상기 출력단자의 전압을 로우 레벨로 폴다운시킨다. 상기 제1 리플 방지부는 상기 반전된 클럭신호의 하이 레벨에 응답하여 상기 풀업부의 제어 전극에 인가되는 전압을 로우 레벨로 유지시킨다.

[0012] 상기한 본 발명의 다른 목적을 실현하기 위하여 일 실시예에 따른 표시 장치는, 표시 패널, 데이터 구동회로 및 게이트 구동회로를 포함한다. 상기 표시 패널은 서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소부들을 포함한다. 상기 데이터 구동회로는 상기 데이터 라인들에 데이터 신호들을 출력한다. 상기 게이트 구동회로는 제1 쉬프트 레지스터 및 제2 쉬프트 레지스터를 포함한다. 상기 제1 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제1 스테이지들로 이루어져 복수의 제1 게이트 신호들을 순차적으로 출력하고, 상기 제1 스테이지들 중 첫 번째 스테이지가 제1수직개시신호를 입력받는다. 상기 제2 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제2 스테이지들을 이루어져 복수의 제2 게이트 신호들을 순차적으로 출력하고, 상기 제2 스테이지들 중 첫 번째 스테이지가 상기 제1 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제2 수직개시신호로 입력받는다.

[0013] 본 발명의 실시예에서, 상기 게이트 구동회로는 제3 쉬프트 레지스터 및 제4 쉬프트 레지스터를 더 포함한다. 상기 제3 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제3 스테이지들로 이루어져 복수의 제3 게이트 신호

호들을 순차적으로 출력하고, 상기 제3 스테이지들 중 첫 번째 스테이지가 상기 제1 수직개시신호에 대해 1H(H는 수평주기) 지연된 제3 수직개시신호를 입력받는다. 상기 제4 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 제4 스테이지들을 이루어져 복수의 제4 게이트 신호들을 순차적으로 출력하고, 상기 제4 스테이지들 중 첫 번째 스테이지가 상기 제3 쉬프트 레지스터의 상기 첫 번째 스테이지의 출력신호를 제4 수직개시신호로 입력받는다.

- [0014] 본 발명의 실시예에서, 상기 제1 내지 제4 게이트 신호들은 각각 4H의 펄스 폭을 가지며, 순차적으로 1H씩 지연되어 출력된다.
- [0015] 본 발명의 실시예에서, 상기 제1 및 제2 스테이지들은 상기 게이트 라인들 중 홀수번째 라인들과 연결되고, 상기 제3 및 제4 스테이지들은 상기 게이트 라인들 중 짝수번째 라인들과 연결된다.
- [0016] 본 발명의 실시예에서, 상기 표시 패널은 상기 화소부들이 형성된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하고, 상기 제1 및 제2 쉬프트 레지스터는 상기 게이트 라인들의 일단에 대응하는 제1 주변 영역에 집적되고, 상기 제3 및 제4 쉬프트 레지스터는 상기 게이트 라인들의 타단에 대응하는 제2 주변 영역에 집적된다.
- [0017] 본 발명의 실시예에서, 상기 제1 쉬프트 레지스터는 제1 클럭신호와 상기 제1 클럭신호와 위상이 반전된 제2 클럭신호를 입력받고, 상기 제2 쉬프트 레지스터는 상기 제1 클럭신호에 대해 2H 지연된 제3 클럭신호와 상기 제3 클럭신호와 위상이 반전된 제4 클럭신호를 입력받는다. 상기 제3 쉬프트 레지스터는 상기 제1 클럭신호에 대해 1H 지연된 제5 클럭신호와 상기 제5 클럭신호와 위상이 반전된 제6 클럭신호를 입력받고, 상기 제4 쉬프트 레지스터는 상기 제1 클럭신호에 대해 3H 지연된 제7 클럭신호와 상기 제7 클럭신호와 위상이 반전된 제8 클럭신호를 입력받는다.

효 과

- [0018] 이러한 게이트 구동회로 및 이를 구비한 표시 장치에 의하면, 게이트 신호의 마진을 확보하여 데이터 충전율을 향상시킴으로써 구동 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 도면들을 참조하여 본 발명의 표시 장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0021] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 고안이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
- [0023] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 표시 패널(100), 구동칩(200), 제1 게이트 구동회로(310), 제2 게이트 구동회로(320) 및 인쇄회로기판(400)을 포함한다.
- [0024] 상기 표시 패널(100)은 표시 기관(110), 상기 표시 기관(110)과 마주보는 대향 기관(120) 및 상기 표시 기관

(110)과 상기 대향 기관 사이에 개재된 액정층(미도시)을 포함할 수 있다. 상기 표시 패널(100)은 영상이 표시되는 표시 영역(DA)과 표시 영역(DA)을 둘러싸는 주변 영역(PA)으로 이루어진다.

- [0025] 상기 표시 영역(DA)에는 복수의 게이트 라인들(GL1 ~ GLn) 및 상기 게이트 라인들(GL1 ~ GLn)과 교차하는 복수의 데이터 라인들(DL1 ~ DLm)이 형성된다. 상기 게이트 라인들(GL1 ~ GLn) 및 상기 데이터 라인들(DL1 ~ DLm)에 의해 복수의 화소부들이 정의된다. 각 화소부는 스위칭 소자(TFT), 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다.
- [0026] 상기 주변 영역(PA)은 제1 주변 영역(PA1), 제2 주변 영역(PA2) 및 제3 주변 영역(PA3)을 포함한다. 상기 제1 주변 영역(PA1)은 상기 게이트 라인들(GL1 ~ GLn)의 일단부에 위치하고, 상기 제2 주변 영역(PA2)은 상기 게이트 라인들(GL1 ~ GLn)의 타단부에 위치하며, 상기 제3 주변 영역(PA3)은 상기 데이터 라인들(DL1 ~ DLm)의 일단부에 위치한다.
- [0027] 상기 인쇄회로기판(400)은 상기 제3 주변 영역(PA3)의 일측에 부착되며, 외부기기와 상기 구동칩(200)을 전기적으로 연결하여 상기 외부기기로부터 수신되는 영상신호 및 제어신호를 상기 구동칩(200)에 전송한다. 상기 인쇄회로기판(400)은 연성인쇄회로기판(Flexible Printed Circuit Board, FPC)일 수 있다.
- [0028] 상기 구동칩(200)은 상기 제3 주변 영역(PA3)에 실장된다. 상기 구동칩(200)은 상기 제1 및 제2 게이트 구동회로(320)에 제1 및 제2 게이트 제어신호를 제공하고, 상기 데이터 라인들(DL1 ~ DLm)에 데이터 전압을 제공한다. 상기 구동칩(200)은 데이터 구동부(210)를 포함할 수 있다. 상기 데이터 구동부(210)는 상기 외부기기로부터 수신된 상기 영상신호를 아날로그 데이터 전압으로 변환하여 상기 데이터 라인들(DL1 ~ DLm)에 출력한다.
- [0029] 상기 제1 게이트 구동회로(310)는 상기 제1 주변 영역(PA1)에 집적된다. 상기 제1 게이트 구동회로(310)는 상기 게이트 라인들(GL1 ~ GLn) 중 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)과 전기적으로 연결되어, 상기 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)에 게이트 신호를 순차적으로 출력한다.
- [0030] 상기 제2 게이트 구동회로(320)는 상기 제2 주변 영역(PA2)에 집적된다. 상기 제2 게이트 구동회로(320)는 상기 게이트 라인들(GL1 ~ GLn) 중 짝수번째 게이트 라인들(GL2, GL4, ..., GL2n)과 전기적으로 연결되어, 상기 짝수번째 게이트 라인들(GL2, GL4, ..., GL2n)에 상기 게이트 신호를 순차적으로 출력한다.
- [0031] 도 2는 도 1에 도시된 제1 게이트 구동회로의 블록도이다.
- [0032] 도 1 및 도 2를 참조하면, 상기 제1 게이트 구동회로(310)는 제1 쉬프트 레지스터(310a) 및 제2 쉬프트 레지스터(310b)를 포함한다. 상기 제1 쉬프트 레지스터(310a)는 서로 종속적으로 연결된 복수의 제1 스테이지들(SRC_01, SRC_03, ..., SRC_On+2)로 이루어진다. 상기 제1 스테이지들(SRC_01, SRC_03, ..., SRC_On+2)은 n개의 제1 구동 스테이지들(SRC_01, SRC_03, ..., SRC_On)과 제1 터미 스테이지(SRC_On+2)를 포함한다.
- [0033] 상기 제2 쉬프트 레지스터(310b)는 서로 종속적으로 연결된 복수의 제2 스테이지들(SRC_02, SRC_04, ..., SRC_On+1)로 이루어진다. 상기 제2 스테이지들(SRC_02, SRC_04, ..., SRC_On+1)은 n개의 제2 구동 스테이지들(SRC_02, SRC_04, ..., SRC_On+1)과 제2 터미 스테이지(SRC_On+1)를 포함한다.
- [0034] 상기 제1 및 제2 구동 스테이지들(SRC_01 ~ SRC_On)은 상기 게이트 라인들(GL1 ~ GLn) 중 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)과 각각 연결되어, 상기 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)에 게이트 신호들을 순차적으로 출력한다.
- [0035] 상기 제1 및 제2 쉬프트 레지스터(310a, 310b)의 각 스테이지는 제1 클럭단자(CK1), 제2 클럭단자(CK2), 제1 입력단자(IN1), 제2 입력단자(IN2), 제1 전원단자(VDD), 제2 전원단자(VSS) 및 출력단자(GOUT)를 포함한다.
- [0036] 상기 제1 및 제2 클럭단자(CK1, CK2)에는 제1 클럭신호(CK1_L), 제2 클럭신호(CK2_L), 제3 클럭신호(CK3_L) 및 제4 클럭신호(CK4_L)가 제공된다. 예를 들면, 상기 제1 스테이지들(SRC_01, SRC_03, ..., SRC_On+2)의 제1 클럭단자(CK1)에는 상기 제1 클럭신호(CK1_L)가 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭신호(CK1_L)와 위상이 반대인 제2 클럭신호(CK2L)가 제공된다. 이와 달리, 상기 제2 스테이지들(SRC_02, SRC_04, ..., SRC_On+1)의 제1 클럭단자(CK1)에는 제3 클럭신호(CK3_L)가 인가되고, 제2 클럭단자(CK2)에는 상기 제3 클럭신호(CK3_L)와 위상이 반대인 제4 클럭신호(CK4_L)가 인가된다. 여기서, 상기 제1 내지 제4 클럭신호들(CK1_L ~ CK4_L)은 4H(H는 수평주기) 주기로 반전된다. 상기 제3 클럭신호(CK3_L)는 상기 제1 클럭신호(CK1_L)에 대해 2H 만큼 지연된 신호이다.
- [0037] 상기 제1 입력단자(IN1)는 제1 수직개시신호(STV_L) 또는 이전 스테이지의 출력신호를 제공 받는다. 예를 들면,

전단 스테이지가 존재하지 않는 상기 제1 쉬프트 레지스터(310a)의 제1 스테이지(SRC_01)의 제1 입력단자(IN1)에는 외부에서 제공되는 상기 제1 수직개시신호(STV_L)가 제공된다. 한편, 상기 제2 쉬프트 레지스터(310b)의 제1 스테이지(SRC_02)의 제1 입력단자(IN1)에는 상기 제1 쉬프트 레지스터(310a)의 제1 스테이지(SRC_01)의 출력신호가 제공된다. 나머지 스테이지들(SRC_03 ~ SRC_0n+2)의 제1 입력단자(IN1)에는 이전 스테이지의 출력신호가 인가된다.

[0038] 상기 제2 입력단자(IN2)는 다음 스테이지의 출력신호 또는 상기 제1 수직개시신호(STV_L)를 인가 받는다. 예를 들면, 다음 스테이지가 존재하지 않는 상기 제1 및 제2 터미 스테이지들(SRC_0n+1, SRC_0n+2)의 제2 입력단자(IN2)에는 상기 제1 수직개시신호(STV_L)가 인가된다.

[0039] 상기 제1 전원단자(VDD)에는 게이트 온 전압(VON)이 인가되고, 상기 제2 전원단자(VSS)에는 접지 전압(VOFF)이 인가된다.

[0040] 상기 출력단자(GOUT)는 상기 게이트 라인들(GL1 ~ GLn) 중 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)과 일대일 대응되게 연결되어 상기 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)에 게이트 신호를 출력한다. 상기 출력단자(GOUT)는 이전 스테이지의 상기 제1 입력단자(IN1)와 전기적으로 연결되어, 상기 출력신호를 상기 이전 스테이지의 상기 제1 입력단자(IN1)에 제공한다. 상기 출력단자(GOUT)는 다음 스테이지의 상기 제1 입력단자(IN1)와 전기적으로 연결되어, 상기 출력신호를 상기 다음 스테이지의 상기 제1 입력단자(IN1)에 제공한다.

[0041] 도 3은 도 1에 도시된 제2 게이트 구동회로의 블록도이다.

[0042] 도 1 및 도 3을 참조하면, 상기 제2 게이트 구동회로(320)는 제3 쉬프트 레지스터(320a) 및 제4 쉬프트 레지스터(320b)를 포함한다. 상기 제3 쉬프트 레지스터(320a)는 서로 종속적으로 연결된 복수의 제3 스테이지들(SRC_E1, SRC_E3, ..., SRC_En+2)로 이루어진다. 상기 제3 스테이지들(SRC_E1, SRC_E3, ..., SRC_En+2)은 n개의 제1 구동 스테이지들(SRC_E1, SRC_E3, ..., SRC_En)과 제1 터미 스테이지(SRC_En+2)를 포함한다.

[0043] 상기 제4 쉬프트 레지스터(320b)는 서로 종속적으로 연결된 복수의 제4 스테이지들(SRC_E2, SRC_E4, ..., SRC_En+1)로 이루어진다. 상기 제4 스테이지들(SRC_E2, SRC_E4, ..., SRC_En+1)은 n개의 제2 구동 스테이지들(SRC_E2, SRC_E4, ..., SRC_E2n-1)과 제2 터미 스테이지(SRC_En+1)를 포함한다.

[0044] 상기 제1 및 제2 구동 스테이지들(SRC_E1 ~ SRC_En)은 상기 게이트 라인들(GL1 ~ GLn) 중 짝수번째 게이트 라인들(GL2, GL4, ..., GL2n)과 각각 연결되어, 상기 짝수번째 게이트 라인들(GL2, GL4, ..., GL2n)에 게이트 신호를 순차적으로 출력한다.

[0045] 상기 제3 및 제4 쉬프트 레지스터(320a, 320b)의 각 스테이지는 제1 클럭단자(CK1), 제2 클럭단자(CK2), 제1 입력단자(IN1), 제2 입력단자(IN2), 제1 전원단자(VDD), 제2 전원단자(VSS) 및 출력단자(GOUT)를 포함한다.

[0046] 상기 제1 및 제2 클럭단자(CK)는 제5 클럭신호(CK1_R), 제6 클럭신호(CK2_R), 제7 클럭신호(CK3_R) 및 제8 클럭신호(CK4_R)를 제공 받는다. 예를 들면, 상기 제3 스테이지들(SRC_E1, SRC_E3, ..., SRC_En+2)의 제1 클럭단자(CK1)에는 상기 제5 클럭신호(CK1_R)가 제공되고, 제2 클럭단자(CK2)에는 상기 제5 클럭신호(CK1_R)와 위상이 반대인 제6 클럭신호(CK2_R)가 제공된다. 이와 달리, 상기 제4 스테이지들(SRC_E2, SRC_E4, ..., SRC_En+1)의 제1 클럭단자(CK1)에는 제7 클럭신호(CK3_R)가 인가되고, 제2 클럭단자(CK2)에는 상기 제7 클럭신호(CK2_R)와 위상이 반대인 제8 클럭신호(CK4_R)가 인가된다. 여기서, 상기 제5 내지 제8 클럭신호들(CK1_R ~ CK4_R)은 4H 주기로 반전된다. 상기 제7 클럭신호(CK3_R, CK4_R)는 상기 제5 클럭신호(CK1_R) 보다 2H 만큼 지연된 신호이다.

[0047] 상기 제1 입력단자(IN1)는 제2 수직개시신호(STV_R) 또는 이전 스테이지의 출력신호를 제공 받는다. 예를 들어, 전단 스테이지가 존재하지 않는 상기 제3 쉬프트 레지스터(320a)의 제1 스테이지(SRC_E1)의 제1 입력단자(IN1)에는 외부에서 제공되는 상기 제2 수직개시신호(STV_R)가 제공된다. 한편, 전단 스테이지가 존재하지 않는 제4 쉬프트 레지스터(320b)의 제1 스테이지(SRC_E2)의 제1 입력단자(IN1)에는 상기 제3 쉬프트 레지스터(320a)의 제1 스테이지(SRC_E1)의 출력신호가 제공된다. 나머지 스테이지들(SRC_E3 ~ SRC_0En+2)의 제1 입력단자(IN1)에는 이전 스테이지의 출력신호가 인가된다.

[0048] 상기 제2 입력단자(IN2)는 다음 스테이지의 출력신호 또는 상기 제2 수직개시신호(STV_R)를 인가 받는다. 예를 들면, 다음 스테이지가 존재하지 않는 상기 제1 및 제2 터미 스테이지들(SRC_En+1, SRC_En+2)의 제2 입력단자(IN2)에는 상기 제2 수직개시신호(STV_0)가 인가된다.

[0049] 상기 제1 전원단자(VDD)에는 게이트 온 전압(VON)이 인가되고, 상기 제2 전원단자(VSS)에는 접지 전압(VOFF)이

인가된다.

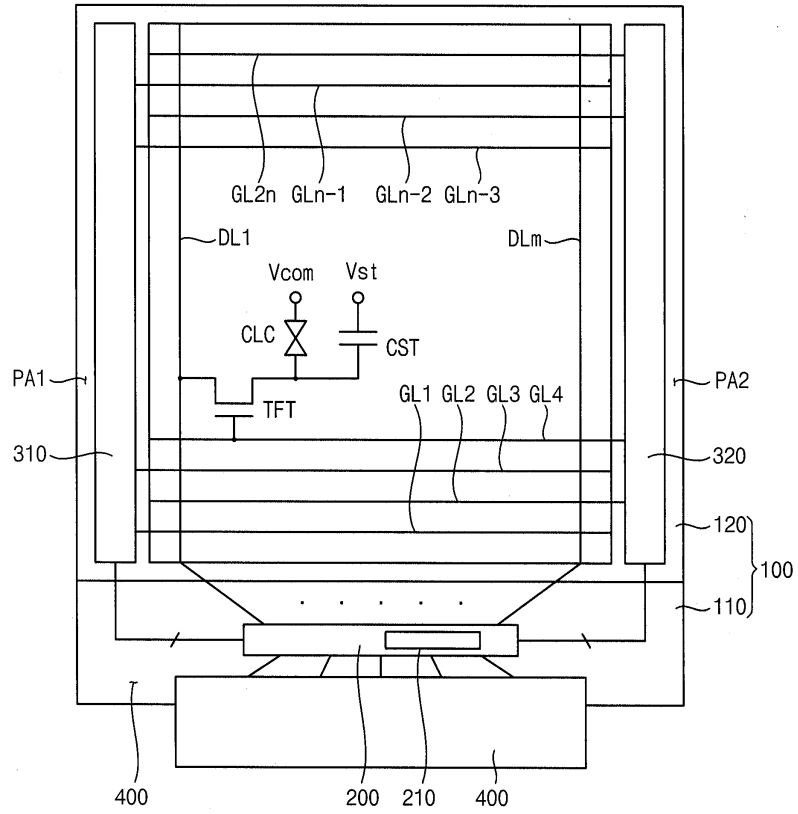
- [0050] 상기 출력단자(GOUT)는 상기 게이트 라인들(GL1 ~ GLn) 중 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)과 일대일 대응되게 연결되어 게이트 신호를 상기 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)에 출력한다. 상기 출력단자(GOUT)는 이전 스테이지의 상기 제1 입력단자(IN1)와 전기적으로 연결되어, 상기 출력신호를 상기 이전 스테이지의 상기 제1 입력단자(IN1)에 제공한다. 상기 출력단자(GOUT)는 다음 스테이지의 상기 제1 입력단자(IN1)와 전기적으로 연결되어, 상기 출력신호를 상기 다음 스테이지의 상기 제1 입력단자(IN1)에 제공한다.
- [0051] 도 4는 도 3에 도시된 제2 게이트 구동회로의 레이아웃(Layout)도이다.
- [0052] 도 3 및 도 4를 참조하면, 상기 제2 게이트 구동회로는 짝수번째 게이트 라인들(G2, G4)에 연결된 복수의 스테이지들(SRC_E1, SRC_E2, SRC_E3)을 포함한다.
- [0053] 제3 쉬프트 레지스터(320a)의 제1 스테이지(SRC_E1)는 제1 신호라인(SL1)을 통해 상기 제2 수직개시신호(STV_R)를 입력 받는다. 상기 제1 스테이지(SRC_E1)의 출력신호(G2)는 제2 신호라인(SL2)을 통해 제2 게이트 라인(GL2)으로 인가된다. 또한, 상기 제1 스테이지(SRC_E1)의 출력신호(G2)는 상기 제2 신호라인(SL2) 및 제3 신호라인(SL3)을 통해 제4 쉬프트 레지스터(320b)의 제1 스테이지(SRC_E2)의 제1 입력단(IN1)으로 인가된다. 상기 제2 신호라인(SL2)과 상기 제3 신호라인(SL3)은 제1 연결라인(CL1)을 통해 전기적으로 연결된다. 상기 제1 연결라인(CL1)은 제1 콘택부(CNT1)를 통해 상기 제2 신호라인(SL2)과 전기적으로 연결되고, 제2 콘택부(CNT2)를 통해 상기 제3 신호라인(SL3)과 전기적으로 연결된다.
- [0054] 상기 제1 스테이지(SRC_E1)의 출력신호(G2)는 상기 제2 신호라인(SL2) 및 제4 신호라인(SL4)을 통해 제2 스테이지(SRC_E3)의 제1 입력단(IN1)으로 인가된다. 상기 제2 신호라인(SL2)과 상기 제4 신호라인(SL4)은 제2 연결라인(CL2)을 통해 전기적으로 연결된다. 상기 제2 연결라인(CL2)은 상기 제1 콘택부(CNT1)를 통해 상기 제2 신호라인(SL2)과 전기적으로 연결되고, 제3 콘택부(CNT3)를 통해 상기 제4 신호라인(SL4)과 전기적으로 연결된다. 상기 제1 내지 제4 신호라인(SL1 ~ SL4)은 제1 도전층으로 형성되고, 상기 제1 및 제2 연결라인(CL1, CL2)은 제2 도전층으로 형성될 수 있다. 상기 콘택부들(CNT1~ CNT3)의 콘택 전극은 제3 도전층으로 형성될 수 있다. 예를 들면, 상기 제1 내지 제4 신호라인(SL1 ~ SL4)은 게이트 메탈로 형성되고, 상기 제1 및 제2 연결라인(CL1, CL2)은 데이터 메탈로 형성되며, 상기 콘택 전극은 화소부에 형성된 화소 전극과 동일한 물질로 형성될 수 있다. 즉, 상기 콘택 전극은 투명 메탈로 형성될 수 있다.
- [0055] 도 5는 도 2 및 도 3에 도시된 스테이지에 대한 상세한 회로도이다.
- [0056] 이하에서는 설명의 편의를 위하여 제1 게이트 구동회로(310)의 스테이지들 중에서 제1 및 제2 클럭단자(CK2)로 각각 제1 및 제3 클럭신호(CK3_L)를 제공받아 구동하는 제1 쉬프트 레지스터(310a)의 제1 스테이지들을 예로 들어 설명한다. 상기 제1 및 제3 클럭신호(CK3_L)는 서로 위상이 반대되는 신호이다.
- [0057] 도 2 내지 도 5를 참조하면, 각 스테이지는 풀업부(330), 풀다운부(340), 풀업 구동부(350), 리플 방지부(360), 스위칭 커패시터(C2) 및 풀다운 구동부(370)를 포함한다.
- [0058] 풀업부(330)는 제1 클럭단자(CK1)로 인가되는 제1 클럭신호(CK1_L)를 게이트 구동신호로써 출력단자(GOUT)로 출력한다. 상기 풀업부(330)는 입력 전극이 상기 제1 클럭단자(CK1)에 연결되고, 출력 전극이 상기 출력단자(GOUT)에 연결되며, 제어 전극이 제1 노드(T1)에 연결되는 제1 트랜지스터(TR1)로 이루어진다.
- [0059] 상기 풀업부(330)는 상기 제1 트랜지스터(TR1)의 상기 제어 전극과 상기 출력 전극 사이에 형성된 충전 커패시터(C1)를 더 포함한다. 상기 충전 커패시터(C1)는 제1 입력단자(IN1)에 인가되는 제1 입력신호를 저장하여 상기 제1 트랜지스터(TR1)를 턴-온 시킨다. 여기서, 상기 제1 입력신호는 상기 제1 입력단자(IN1)으로 입력되는 제k-1 스테이지(SRCK-1)의 제k-1 게이트 신호이며, 첫 번째 스테이지(SRC1)의 경우에는 제1 또는 제2 수직 개시신호(STV_L, STV_R)이다.
- [0060] 상기 풀다운부(340)는 제1 풀다운부(342) 및 제2 풀다운부(344)를 포함한다.
- [0061] 상기 제1 풀다운부(342)는 제2 클럭단자(CK2)로 인가되는 상기 제3 클럭신호(CK3_L)에 응답하여 상기 출력단자(GOUT)로 출력되는 게이트 신호를 방전시킨다. 상기 제2 풀다운부(344)는 상기 제1 클럭단자(CK1)로 인가되는 상기 제1 클럭신호(CK1_L)에 응답하여 상기 출력단자(GOUT)로 출력되는 게이트 신호를 방전시킨다.
- [0062] 상기 제1 풀다운부(342)는 입력 전극이 전원 단자(VSS)에 연결되고, 제어 전극이 제2 클럭단자(CK2)에 연결되며, 출력 전극이 상기 출력단자(GOUT)에 연결된 제6 트랜지스터(TR6)로 이루어진다.

- [0063] 상기 제2 풀다운부(344)는 입력 전극이 상기 전원 단자(VSS)에 연결되고, 제어 전극이 스위칭 커패시터(C2)에 연결되며, 출력 전극이 상기 출력단자(GOUT)에 연결되는 제5 트랜지스터(TR5)로 이루어진다. 상기 제2 풀다운부(344)를 턴-온(turn-on)시키는 상기 제1 클럭신호(CK1_L)는 상기 스위칭 커패시터(C2)에 충전된 신호이다.
- [0064] 상기 풀업 구동부(350)는 상기 제1 입력단자(IN1)로 인가되는 제1 입력신호의 하이 레벨에 응답하여 상기 풀업부(330)를 턴-온 시키고, 제2 입력단자(IN2)로 인가되는 제2 입력신호의 하이 레벨에 응답하여 상기 풀업부(330)를 턴-오프 시킨다. 여기서, 상기 제1 입력신호는 제k-1 스테이지(SRCK-1)의 게이트 신호이고, 상기 제2 입력신호는 제k+1 스테이지(SRCK+1)의 게이트 신호일 수 있다.
- [0065] 상기 풀업 구동부(350)는 제1 풀업 구동부(352) 및 제2 풀업 구동부(354)를 포함할 수 있다.
- [0066] 상기 제1 풀업 구동부(352)는 입력 전극이 상기 전원 단자(VSS)에 연결되고, 출력 전극이 상기 제1 노드(T1)에 연결되며, 제어 전극이 제2 입력단자(IN2)에 연결된 제3 트랜지스터(TR3)로 이루어진다.
- [0067] 상기 제2 풀업 구동부(354)는 입력 전극과 제어 전극이 상기 제1 입력단자(IN1)에 공통으로 연결되고, 출력 전극이 상기 제1 노드(T1)와 연결되는 제2 트랜지스터(TR2)로 이루어진다.
- [0068] 이러한 풀업 구동부(350)는 상기 제1 입력신호의 하이 레벨에 응답하여 상기 제k-1 게이트 신호(GOUTk-1)의 하이 값에 응답하여 제2 트랜지스터(TR2)가 턴-온 되면, 상기 제1 입력신호가 상기 제1 노드(T1)에 인가되어 상기 충전 커패시터(C1)에 충전된다. 상기 충전 커패시터(C1)에 상기 제1 트랜지스터(TR1)의 문턱전압 이상의 전하가 충전되고, 로우 레벨이던 상기 제1 클럭신호(CK1_L)가 하이 레벨으로 반전되면 상기 제1 트랜지스터(TR1)가 부트스트랩(Bootstrap) 되어 상기 제1 클럭신호(CK1_L)의 하이 레벨을 상기 출력단자(GOUT)로 출력한다.
- [0069] 이 후, 상기 제2 입력신호의 하이 레벨에 응답하여 상기 제8 트랜지스터 (TR8)가 턴-온 되면, 상기 충전 커패시터(C1)에 충전된 전하는 방전된다. 상기 충전 커패시터(C1)의 방전으로 상기 제1 노드(T1)는 로우 레벨로 전환되고, 상기 제1 트랜지스터(TR1)는 턴-오프(turn-off) 되어 상기 제1 클럭신호(CK1_L)의 출력을 멈춘다.
- [0070] 상기 제1 트랜지스터(TR1)의 턴-오프와 함께 제3 클럭신호(CK3_L)의 하이 레벨에 응답하여 상기 제6 트랜지스터 (TR6)가 턴-온 되면, 상기 출력단자(GOUT)로 출력되는 신호는 오프 전압으로 전환되어 게이트 오프 신호를 출력한다. 또한, 상기 스위칭 커패시터(C2)에 충전된 상기 제1 클럭신호(CK1_L)의 하이 레벨에 응답하여 상기 제5 트랜지스터(TR5)가 턴-온 되고, 상기 출력단자(GOUT)으로 출력되는 신호는 계속해서 로우 레벨로 유지된다. 즉, 상기 제5 트랜지스터(TR5) 및 상기 제6 트랜지스터(TR6)는 교번적으로 턴-온 되어 상기 출력단자(GOUT)으로 출력되는 신호를 방전시킨다.
- [0071] 상기 리플 방지부(360)는 제1 리플 방지부(362) 및 제2 리플 방지부(364)를 포함한다.
- [0072] 상기 제1 리플 방지부(362)는 입력 전극이 상기 제1 입력단자(IN1)에 연결되고, 출력 전극이 상기 제1 노드(T1)에 연결되며, 제어 전극이 상기 제2 클럭단자(CK2)에 연결된 제8 트랜지스터(TR8)로 이루어진다.
- [0073] 상기 제2 리플 방지부(364)는 입력 전극이 상기 전원 단자(VSS)에 연결되고, 제어 전극이 상기 스위칭 커패시터(C2)에 연결되며, 출력 전극이 상기 제1 노드(T1)에 연결되는 제4 트랜지스터(TR4)로 이루어진다.
- [0074] 상기 리플 방지부(360)는 상기 제1 노드(T1)의 전압을 로우 레벨로 유지시켜, 상기 제1 클럭신호(CK1_L)의 커플링(coupling)에 의해 상기 제1 노드(T1)에 발생하는 리플(ripple)을 방지한다. 상기 제1 노드(T1)의 리플은 제1 트랜지스터(TR1)의 입력 전극과 제어 전극 사이의 기생 용량에 의해 발생한다.
- [0075] 상기 리플 방지부(360)는 상기 제3 클럭신호(CK3_L)의 하이 레벨에 응답하여 상기 제8 트랜지스터(TR8)가 턴-온 되면, 상기 제1 입력단자(IN1)로 인가되는 상기 제1 입력신호의 로우 레벨을 상기 제1 노드(T1)에 인가한다. 따라서 상기 제1 노드(T1)의 전압은 계속해서 로우 레벨을 유지한다. 또한, 상기 스위칭 커패시터(C2)에 충전된 상기 제1 클럭신호(CK1_L)의 하이 레벨에 응답하여 상기 제4 트랜지스터(TR4)가 턴-온 되면, 상기 전원 단자(VSS)의 오프 전압이 상기 제1 노드(T1)에 인가되어 상기 제1 노드(T1)의 전압은 로우 레벨을 유지한다. 이처럼, 상기 제8 트랜지스터(TR8)와 상기 제4 트랜지스터(TR4)가 1H 구간씩 번갈아 턴-온 되어 상기 제1 노드(T1)의 전압을 로우 레벨로 유지함으로써, 상기 제1 노드(T1)에 발생하는 리플을 방지한다.
- [0076] 상기 스위칭 커패시터(C2)는 일측 전극이 상기 제1 클럭단자(CK1)에 연결되고, 타측 전극이 상기 제2 노드(T2)에 연결된다. 상기 스위칭 커패시터(C2)는 상기 제1 클럭단자(CK1)로 인가되는 제1 클럭신호(CK1_L)를 입력받아 저장하고, 저장된 상기 제1 클럭신호(CK1_L)를 상기 제2 노드(T2)에 인가하여 제3 및 제5 트랜지스터(TR5)를 온 /오프 시킨다.

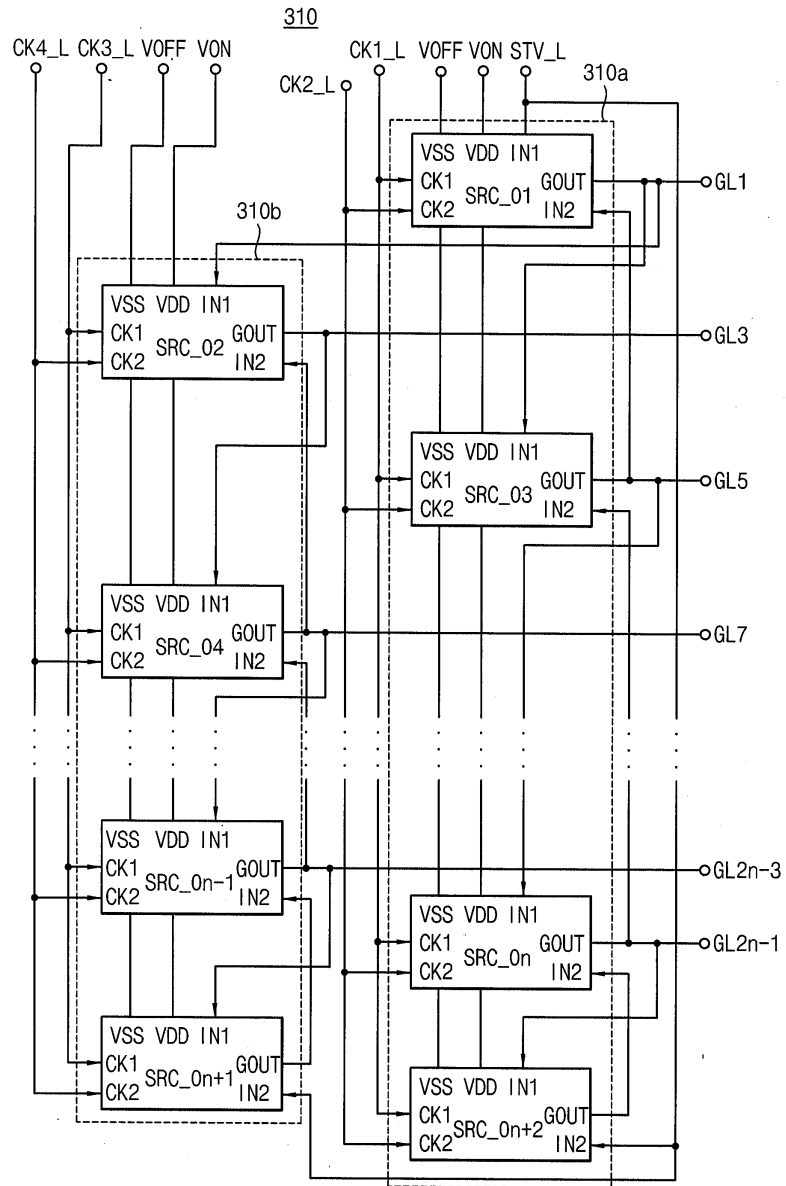
- [0077] 상기 풀다운 구동부(370)는 입력 전극이 상기 전원 단자(VSS)에 연결되고, 출력 전극이 상기 제2 노드(T2)에 연결되며, 제어 전극이 상기 제1 노드(T1)에 연결된 제7 트랜지스터(TR7)로 이루어진다. 상기 풀다운 구동부(370)는 상기 제1 노드(T1)에 인가된 신호에 응답하여 상기 제2 노드(T2)의 전압을 로우 레벨로 전환시킨다. 상기 제1 노드(T1)에 하이 레벨의 전압이 인가되어 상기 풀업부(330)가 동작하는 구간에는 상기 제1 클럭신호(CK1_L)와 무관하게 상기 제2 리플 방지부(364) 및 풀다운부(340)는 턴-오프 된다.
- [0078] 이와 같이 본 실시예에 따르면 상기 제1 및 제2 리플 방지부(364)가 각각 제1 및 제3 클럭신호(CK3_L)에 응답하여 상기 제1 노드(T1)의 전압을 로우 레벨로 안정적으로 유지시킴으로써, 리플을 방지한다.
- [0079] 도 6은 도 2 및 도 3에 도시된 제1 및 제2 게이트 구동회로의 입출력 파형도이다.
- [0080] 도 2, 도 3 및 도 6을 참조하면, 상기 제1 게이트 구동회로(310)는 상기 제1 내지 제4 클럭신호(CK1_L ~ CK4_L)에 기초하여 상기 게이트 라인들(GL1 ~ GLn) 중 상기 홀수번째 게이트 라인들(GL1, GL3, ..., GL2n-1)에 게이트 신호들을 순차적으로 출력한다. 예를 들면, 상기 제1 쉬프트 레지스터(310a)는 제1 및 제2 클럭신호(CK1_L, CK2_L)에 기초하여 상기 게이트 신호들을 순차적으로 출력한다.
- [0081] 상기 제1 쉬프트 레지스터(310a)의 제1 스테이지(SRC_01)는 상기 제1 수직개시신호(STV_L)의 하이 레벨에 응답하여 상기 게이트 신호로 출력하고, 상기 제1 스테이지(SRC_01)를 제외한 나머지 스테이지들(SRC_03, ..., SRC_0n+1)은 이전단 스테이지의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력한다. 상기 제1 수직개시신호(STV_L)는 4H의 펄스 폭을 갖는다.
- [0082] 상기 제2 쉬프트 레지스터(310b)는 서로 위상이 반대인 상기 제3 및 제4 클럭신호(CK3_L, CK4_L)에 기초하여 상기 게이트 신호들을 순차적으로 출력한다. 상기 제2 쉬프트 레지스터(310b)의 제1 스테이지(SRC_02)는 상기 제1 쉬프트 레지스터(310a)의 상기 제1 스테이지(SRC_01)의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력하고, 나머지 스테이지들(SRC_04, ..., SRC_0n+1)은 이전단 스테이지의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력한다. 상기 제3 클럭신호(CK3_L)는 상기 제1 클럭신호(CK1_L)에 대하여 2H 지연된 신호이다.
- [0083] 상기 제2 게이트 구동회로(320)는 상기 제5 내지 제8 클럭신호들(CK1_R ~ CK4_R)에 기초하여 상기 게이트 라인들(GL1 ~ GLn) 중 상기 짝수번째 게이트 라인들(GL2, GL4, ..., GL2n)에 게이트 신호들을 순차적으로 출력한다.
- [0084] 예를 들면, 상기 제3 쉬프트 레지스터(320a)는 상기 제5 및 제6 클럭신호(CK1_R, CK2_R)에 기초하여 상기 게이트 신호들을 순차적으로 출력한다. 상기 제3 쉬프트 레지스터(320a)의 제1 스테이지(SRC_E1)는 상기 제2 수직개시신호(STV_R)의 하이 레벨에 응답하여 상기 게이트 신호로 출력하고, 상기 제1 스테이지(SRC_E1)를 제외한 나머지 스테이지들(SRC_E3, ..., SRC_En+1)은 이전단 스테이지의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력한다. 상기 제2 수직개시신호(STV_R)는 4H의 펄스 폭을 가지며, 상기 제1 수직개시신호(STV_L)에 대하여 1H 지연된 신호이다. 상기 제5 클럭신호(CK1_R)는 상기 제1 클럭신호(CK1_L)에 대하여 1H 지연된 신호이고, 상기 제6 클럭신호(CK2_R)는 상기 제5 클럭신호(CK1_R)와 위상이 반대인 신호이다.
- [0085] 상기 제4 쉬프트 레지스터(320b)는 상기 제7 및 제8 클럭신호(CK3_R, CK4_R)에 기초하여 상기 게이트 신호들을 순차적으로 출력한다. 상기 제4 쉬프트 레지스터(320b)의 제1 스테이지(SRC_E2)는 상기 제3 쉬프트 레지스터(320a)의 상기 제1 스테이지(SRC_E1)의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력하고, 나머지 스테이지들(SRC_E4, ..., SRC_En+1)은 이전단 스테이지의 출력신호의 하이 레벨에 응답하여 상기 게이트 신호를 출력한다. 상기에서, 상기 제7 클럭신호(CK3_R)는 상기 제1 클럭신호(CK1_L)에 대하여 3H 지연된 신호이고, 상기 제8 클럭신호(CK4_R)는 상기 제7 클럭신호(CK3_R)와 위상이 반대인 신호이다.
- [0086] 상기 제1 수직개시신호(STV_L)에 응답하여 상기 제1 쉬프트 레지스터(310a)의 제1 스테이지(SRC_01)는 상기 제1 클럭신호(CK1_L)의 하이 레벨을 게이트 신호로서 첫 번째 게이트 라인(GL1)에 출력한다. 다음으로 상기 제2 수직개시신호(STV_R)에 응답하여 상기 제3 쉬프트 레지스터(320a)의 제1 스테이지(SRC_E1)는 상기 제5 클럭신호(CK1_R)의 하이 레벨을 게이트 신호로서 두 번째 게이트 라인(GL2)에 출력한다.
- [0087] 상기 제1 쉬프트 레지스터(310a)의 상기 제1 스테이지(SRC_01)의 출력신호에 응답하여 상기 제2 쉬프트 레지스터(310b)의 제1 스테이지(SRC_02)는 상기 제3 클럭신호(CK3_L)의 하이 레벨을 게이트 신호로서 세 번째 게이트 라인(GL3)에 출력한다. 다음으로 상기 제3 쉬프트 레지스터(320a)의 상기 제1 스테이지(SRC_E1)의 출력신호에 응답하여 상기 제4 쉬프트 레지스터(320b)의 제1 스테이지(SRC_E2)는 상기 제7 클럭신호(CK3_R)의 하이 레벨을 게이트 신호로서 네 번째 게이트 라인(GL4)에 출력한다. 이와 같이, 상기 게이트 신호들은 4H의 펄스 폭을 가지

도면

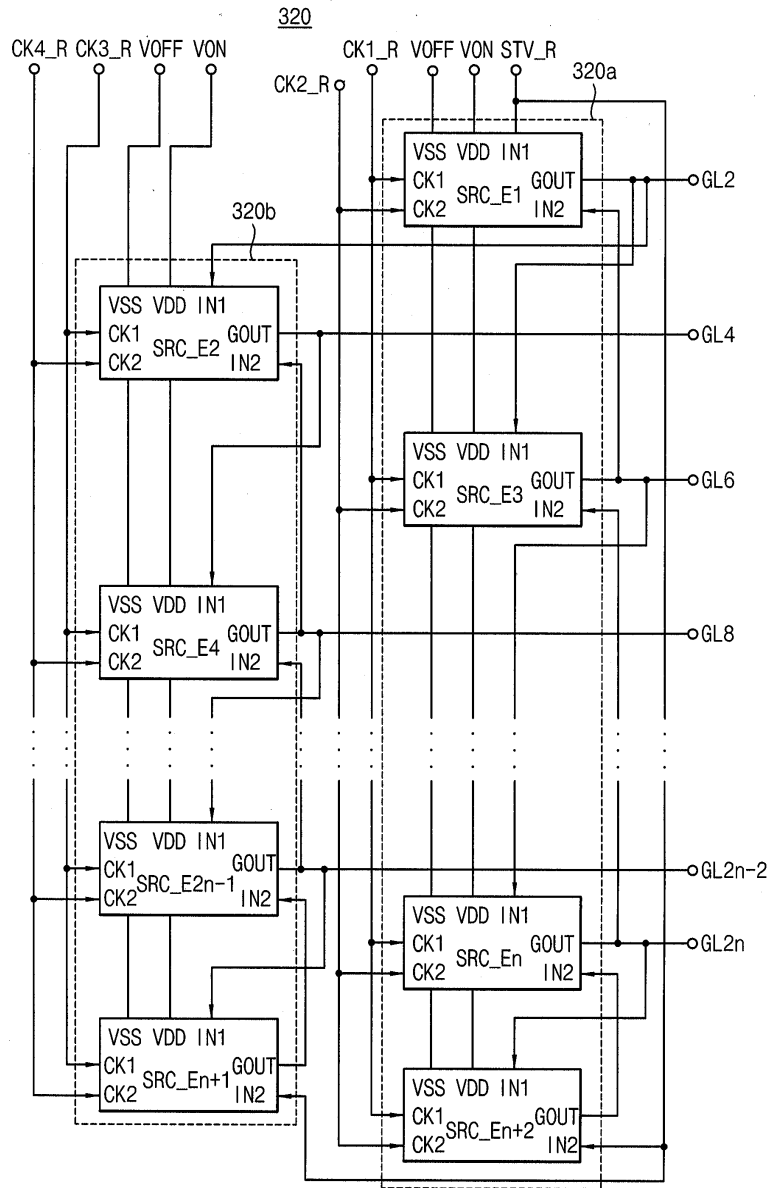
도면1



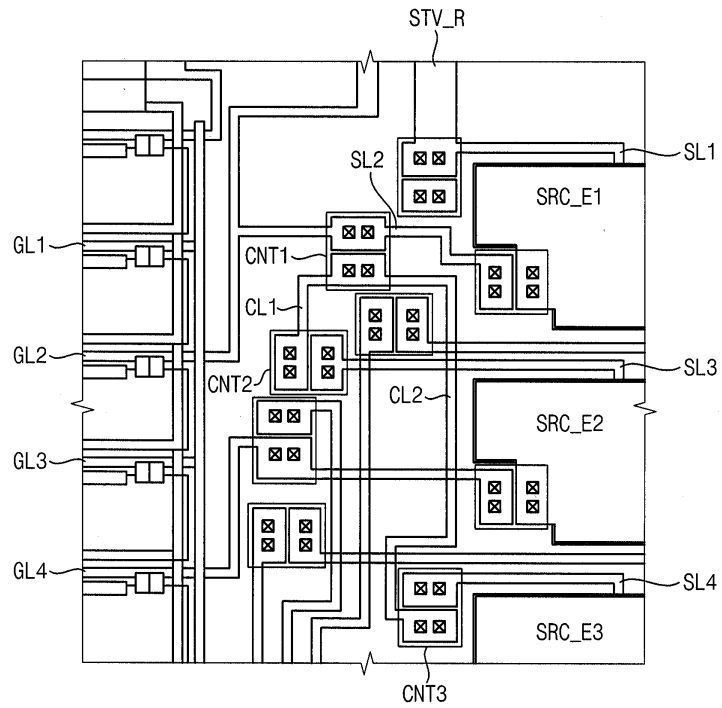
도면2



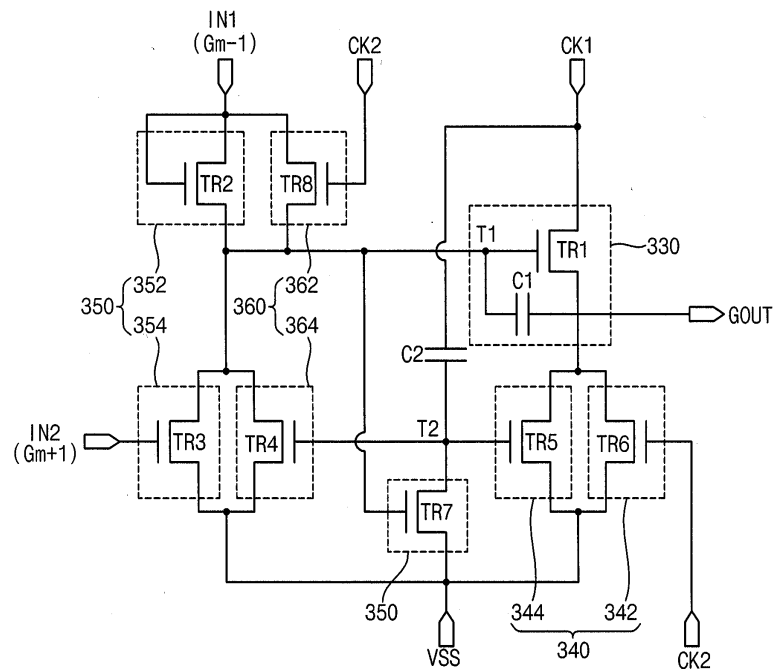
도면3



도면4



도면5



도면6

