

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-61001
(P2015-61001A)

(43) 公開日 平成27年3月30日(2015.3.30)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|-------------------|-------------|
| HO 1 L 21/208 (2006.01) | HO 1 L 21/208 D | 4M104 |
| HO 1 L 29/739 (2006.01) | HO 1 L 29/78 655C | 5F053 |
| HO 1 L 29/78 (2006.01) | HO 1 L 21/28 301B | 5F152 |
| HO 1 L 21/28 (2006.01) | HO 1 L 21/28 301R | |
| HO 1 L 29/417 (2006.01) | HO 1 L 29/50 Z | |

審査請求 未請求 請求項の数 9 O L (全 44 頁) 最終頁に続く

(21) 出願番号 特願2013-194769 (P2013-194769)
(22) 出願日 平成25年9月20日 (2013.9.20)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100119035
弁理士 池上 徹真
(74) 代理人 100141036
弁理士 須藤 章
(74) 代理人 100088487
弁理士 松山 允之
(72) 発明者 西尾 謙司
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72) 発明者 清水 達雄
東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

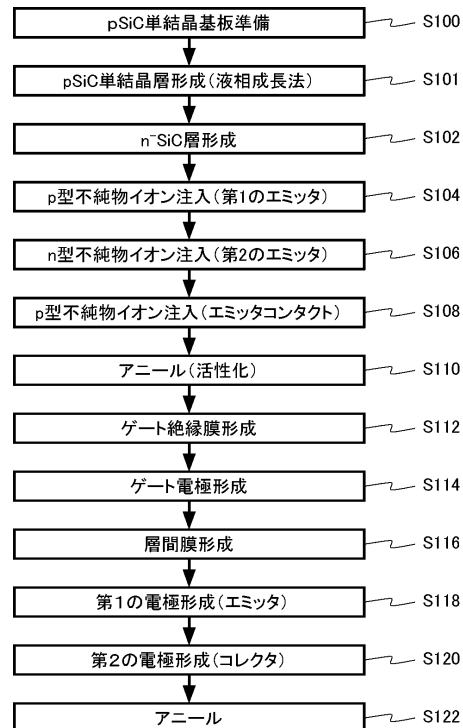
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 デバイス特性の劣化を抑制することができる半導体装置の製造方法を提供する。

【解決手段】 実施形態の半導体装置の製造方法は、基板を準備し、Si（シリコン）、C（炭素）、p型不純物、および、n型不純物を含有し、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）とN（窒素）、Ga（ガリウム）とN（窒素）、および、In（インジウム）とN（窒素）から選ばれる少なくとも一つである第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比が0.33より大きく1.0より小さい液相から、基板の表面にp型のSiC単結晶層を成長させる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

S i (シリコン)、C (炭素)、p 型不純物、および、n 型不純物を含有し、前記 p 型不純物を元素 A、前記 n 型不純物を元素 D とする場合に、前記元素 A と前記元素 D との組み合わせが、A l (アルミニウム) と N (窒素)、G a (ガリウム) と N (窒素)、および、I n (インジウム) と N (窒素) から選ばれる少なくとも一つである第 1 の組み合わせ、B (ボロン) と P (リン) の第 2 の組み合わせの少なくとも一方の組み合わせであり、前記第 1 または第 2 の組み合わせを構成する前記元素 D の濃度の前記元素 A の濃度に対する比が 0 . 3 3 より大きく 1 . 0 より小さい液相から、基板の表面に p 型の S i C 単結晶層を成長させる半導体装置の製造方法。

10

【請求項 2】

前記元素 D の濃度の前記元素 A の濃度に対する比が、0 . 4 0 より大きく 0 . 9 5 より小さいことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記 S i C 単結晶層の表面に、エピタキシャル成長により n 型の S i C 層を形成し、
前記 S i C 層の表面に、p 型の第 1 の S i C 領域を形成し、
前記第 1 の S i C 領域の表面に、n 型の第 2 の S i C 領域を形成し、
前記第 1 の S i C 領域の表面に、p 型の第 3 の S i C 領域を形成し、
前記 S i C 層、前記第 1 の S i C 領域の表面に、ゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、ゲート電極を形成し、
前記第 2 の S i C 領域および前記第 3 の S i C 領域に接続される第 1 の電極を形成し、
前記 S i C 単結晶層に接続される第 2 の電極を形成すること、
を特徴とする請求項 1 または請求項 2 記載の半導体装置の製造方法。

20

【請求項 4】

前記基板が、n 型の S i C 層を備え、
前記 n 型の S i C 層の表面に、前記 S i C 単結晶層を形成し、
前記 S i C 単結晶層の表面に、n 型の第 2 の S i C 領域を形成し、
前記 S i C 単結晶層の表面に、p 型の第 3 の S i C 領域を形成し、
前記 S i C 単結晶層の表面に、前記第 2 の S i C 領域との間に前記 S i C 単結晶層を挟んで、n 型の第 4 の S i C 領域を形成し、
前記第 4 の S i C 領域、前記 S i C 単結晶層の表面に、ゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、ゲート電極を形成し、
前記第 2 の S i C 領域および前記第 3 の S i C 領域に接続される第 1 の電極を形成し、
前記 S i C 層に接続される第 2 の電極を形成すること、
を特徴とする請求項 1 または請求項 2 記載の半導体装置の製造方法。

30

【請求項 5】

前記基板が、n 型の S i C 層と、前記 n 型の S i C 層上の p 型の S i C 層を備え、
前記 p 型の S i C 層の表面に、前記 S i C 単結晶層を形成し、
前記 S i C 単結晶層に接続される第 1 の電極を形成し、
前記 n 型の S i C 層に接続される第 2 の電極を形成すること、
を特徴とする請求項 1 または請求項 2 記載の半導体装置の製造方法。

40

【請求項 6】

S i (シリコン)、C (炭素)、p 型不純物、および、n 型不純物を含有し、前記 p 型不純物を元素 A、前記 n 型不純物を元素 D とする場合に、前記元素 A と前記元素 D との組み合わせが、A l (アルミニウム) と N (窒素)、G a (ガリウム) と N (窒素)、および、I n (インジウム) と N (窒素) から選ばれる少なくとも一つである第 1 の組み合わせ、B (ボロン) と P (リン) の第 2 の組み合わせの少なくとも一方の組み合わせであり、前記第 1 または第 2 の組み合わせを構成する前記元素 A の濃度の前記元素 D の濃度に対する比が 0 . 4 0 より大きく 0 . 9 5 より小さい液相から、基板の表面に n 型の S i C 単結晶層を成長させる半導体装置の製造方法。

50

【請求項 7】

前記元素 A の濃度の前記元素 D の濃度に対する比が、0.45 以上 0.75 以下であることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記 SiC 単結晶層の表面に、エピタキシャル成長により n 型の SiC 層を形成し、
 前記 n 型の SiC 層の表面に、p 型の第 1 の SiC 領域を形成し、
 前記第 1 の SiC 領域の表面に、n 型の第 2 の SiC 領域を形成し、
 前記第 1 の SiC 領域の表面に、p 型の第 3 の SiC 領域を形成し、
 前記 SiC 層、前記第 1 の SiC 領域の表面に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、ゲート電極を形成し、
 前記第 2 の SiC 領域および前記第 3 の SiC 領域に接続される第 1 の電極を形成し、
 前記 SiC 単結晶層に接続される第 2 の電極を形成すること、
 を特徴とする請求項 6 または請求項 7 記載の半導体装置の製造方法。

10

【請求項 9】

前記基板が、n 型の SiC 層を備え、
 前記 n 型の SiC 層の表面に、前記 SiC 単結晶層を形成し、
 前記 SiC 単結晶層の表面に、p 型の第 1 の SiC 領域を形成し、
 前記第 1 の SiC 領域の表面に、n 型の第 2 の SiC 領域を形成し、
 前記第 1 の SiC 領域の表面に、p 型の第 3 の SiC 領域を形成し、
 前記 SiC 層、前記第 1 の SiC 領域の表面に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、ゲート電極を形成し、
 前記第 2 の SiC 領域および前記第 3 の SiC 領域に接続される第 1 の電極を形成し、
 前記 SiC 層に接続される第 2 の電極を形成すること、
 を特徴とする請求項 6 または請求項 7 記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明の実施形態は、半導体装置の製造方法に関する。

【背景技術】

【0002】

次世代のパワー半導体デバイス用の材料として SiC (炭化珪素) が期待されている。SiC は Si (シリコン) と比較して、バンドギャップが 3 倍、破壊電界強度が約 10 倍、および熱伝導率が約 3 倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能なパワー半導体デバイスを実現することができる。

【0003】

一方、SiC 単結晶中の貫通螺旋転位 (Threading Screw Dislocation (TSD)) や基底面転位 (Basal Plane Dislocation (BPD)) 等の転位が、デバイス特性を劣化させることが知られている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開 2010/055569 号

【特許文献 2】特開 2010-189235 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

50

本発明が解決しようとする課題は、デバイス特性の劣化を抑制することができる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置の製造方法は、基板を準備し、Si（シリコン）、C（炭素）、p型不純物、および、n型不純物を含有し、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）とN（窒素）、Ga（ガリウム）とN（窒素）、および、In（インジウム）とN（窒素）から選ばれる少なくとも一つである第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比が0.33より大きく1.0より小さい液相から、基板の表面にp型のSiC単結晶層を成長させる。

10

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置を示す模式断面図である。

【図2】第1の実施形態の半導体装置の製造方法を示すフロー図である。

【図3】第1の実施形態の半導体装置の製造方法を示す模式断面図である。

【図4】第1の実施形態の製造方法で用いられる液相成長装置の模式断面図である。

【図5】第1の実施形態の半導体装置の製造方法を示す模式断面図である。

【図6】第1の実施形態の半導体装置の製造方法を示す模式断面図である。

20

【図7】第1の実施形態の半導体装置の製造方法を示す模式断面図である。

【図8】第1の実施形態の半導体装置の製造方法を示す模式断面図である。

【図9】第1の実施形態の半導体装置の製造方法の作用を説明する図である。

【図10】共ドーピングの作用を説明する図である。

【図11】共ドーピングの作用を説明する図である。

【図12】共ドーピングの作用を説明する図である。

【図13】共ドーピングの作用を説明する図である。

【図14】共ドーピングの作用を説明する図である。

【図15】n型SiCの場合のAlとNの濃度とシート抵抗の関係を示す図である。

【図16】p型SiCの場合のNとAlの濃度とシート抵抗の関係を示す図である。

30

【図17】第2の実施形態の半導体装置を示す模式断面図である。

【図18】第2の実施形態の半導体装置の製造方法を示すフロー図である。

【図19】第2の実施形態の半導体装置の製造方法を示す模式断面図である。

【図20】第2の実施形態の半導体装置の製造方法を示す模式断面図である。

【図21】第3の実施形態の半導体装置を示す模式断面図である。

【図22】第3の実施形態の半導体装置の製造方法を示すフロー図である。

【図23】第3の実施形態の半導体装置の製造方法を示す模式断面図である。

【図24】第3の実施形態の半導体装置の製造方法を示す模式断面図である。

【図25】第4の実施形態の半導体装置を示す模式断面図である。

【図26】第4の実施形態の半導体装置の製造方法を示すフロー図である。

40

【図27】第4の実施形態の半導体装置の製造方法を示す模式断面図である。

【図28】第4の実施形態の半導体装置の製造方法を示す模式断面図である。

【図29】第5の実施形態の半導体装置を示す模式断面図である。

【図30】第5の実施形態の半導体装置の製造方法を示すフロー図である。

【図31】第5の実施形態の半導体装置の製造方法を示す模式断面図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

50

また、以下の説明において、 n^+ 、 n 、 n^- および、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0010】

(第1の実施形態)

本実施形態の半導体装置の製造方法は、基板を準備し、Si (シリコン)、C (炭素)、 p 型不純物、および、 n 型不純物を含有し、 p 型不純物を元素A、 n 型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al (アルミニウム)とN (窒素)、Ga (ガリウム)とN (窒素)、および、In (インジウム)とN (窒素)から選ばれる少なくとも一つである第1の組み合わせ、B (ボロン)とP (リン)の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比が0.33より大きく1.0より小さく、組み合わせを構成する元素Aの濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である液相から、基板の表面に p 型のSiC単結晶層を成長させる。

10

【0011】

特に、SiC単結晶層の表面に、エピタキシャル成長により n 型のSiC層を形成し、SiC層の表面に、 p 型の第1のSiC領域を形成し、第1のSiC領域の表面に、 n 型の第2のSiC領域を形成し、第1のSiC領域の表面に、 p 型の第3のSiC領域を形成し、SiC層、第1のSiC領域の表面に、ゲート絶縁膜を形成し、ゲート絶縁膜上に、ゲート電極を形成し、第2のSiC領域および第3のSiC領域に、接続される第1の電極を形成し、SiC単結晶層に接続される第2の電極を形成する。

20

【0012】

図1は、本実施形態の半導体装置の製造方法で製造されるIGBT (Insulated Gate Bipolar Transistor)の構成を示す模式断面図である。

【0013】

このIGBT100は、 p 型SiC単結晶基板10を備えている。この p 型SiC単結晶基板10は、不純物濃度 1×10^{18} 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下程度の、例えばAl (アルミニウム)を p 型不純物として含む4H-SiC基板 (p SiC単結晶基板)である。

30

【0014】

p 型のSiC単結晶基板10上には、液相成長法で形成される p 型のSiC単結晶層 (p SiC単結晶層)12を備えている。この p 型のSiC単結晶層12は、 p 型不純物と n 型不純物が共ドーピングされている。そして、 p 型不純物を元素A、 n 型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al (アルミニウム)とN (窒素)、Ga (ガリウム)とN (窒素)、または、In (インジウム)とN (窒素)から選ばれる第1の組み合わせ、B (ボロン)とP (リン)の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比 (濃度D / 濃度A) が0.33より大きく1.0より小さい。本実施形態では、上記組み合わせを構成する元素Aの濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。

40

【0015】

例えば、Al (アルミニウム)とN (窒素)、Ga (ガリウム)とN (窒素)、または、In (インジウム)とN (窒素)の第1の組み合わせの場合、元素Aが、Al (アルミニウム)、Ga (ガリウム)またはIn (インジウム)から選ばれる1種の元素であってもかまわない。また、Al (元素A₁)とGa (元素A₂)等の2種の元素、あるいは、Al (元素A₁)、Ga (元素A₂)、In (元素A₃)の3種の元素で構成されていて

50

もかまわない。複数の元素の場合、2種または3種の元素をあわせて組み合わせを構成する元素Aと考え、上記元素Dの濃度の元素Aの濃度に対する比、元素Aの濃度の条件が充足されれば良い。

【0016】

また、第1の組み合わせと第2の組み合わせの両者が共存することも可能である。しかし、上記元素Dの濃度の元素Aの濃度に対する比、元素Aの濃度の条件は、すくなくとも、第1の組み合わせ、第2の組み合わせのいずれか一方を構成する元素で充足されなければならない。いかえれば、第1の組み合わせと第2の組み合わせは、個別に元素比、元素濃度を満たさなければならない。これは、第1の組み合わせの不純物と第2の組み合わせの不純物の間では、後に詳述する3量体が形成されないためである。

10

【0017】

例えば、Alが $1 \times 10^{18} \text{ cm}^{-3}$ 、Gaが $1 \times 10^{18} \text{ cm}^{-3}$ 、Nが $1 \times 10^{18} \text{ cm}^{-3}$ の場合、 $N / (Al + Ga) = 0.5$ で、 $Al + Ga$ が $2 \times 10^{18} \text{ cm}^{-3}$ であるので元素比、濃度ともに実施形態の範囲内である。

【0018】

また、例えば、Bが $4 \times 10^{18} \text{ cm}^{-3}$ 、Pが $1 \times 10^{18} \text{ cm}^{-3}$ 、Nが $1 \times 10^{18} \text{ cm}^{-3}$ の場合、第2の組み合わせであるBとPのみに着目する。すると、 $P / B = 0.25$ となり元素比を充足せず、実施形態の範囲外である。

【0019】

また、例えば、Alが $5 \times 10^{17} \text{ cm}^{-3}$ 、Bが $5 \times 10^{17} \text{ cm}^{-3}$ 、Nが $2.5 \times 10^{17} \text{ cm}^{-3}$ 、Pが $2.5 \times 10^{17} \text{ cm}^{-3}$ の場合、第1の組み合わせで見ると、 $N / Al = 0.5$ で比の条件は満たすが、Alの濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 未満である。第2の組み合わせで見ると、 $P / B = 0.5$ で比の条件は満たすが、Bの濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 未満である。したがって、第1および第2の組み合わせがいずれも個別に元素比、元素濃度を充足しないので、実施形態の範囲外である。

20

【0020】

なお、本実施形態は、p型不純物やn型不純物として上記例示した以外の元素が含有されることを排除するものではない。以下、元素AがAl（アルミニウム）、元素DがN（窒素）である場合を例に説明する。

【0021】

pSiC単結晶層12のAlの濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。pSiC単結晶層12の厚さは、例えば、 $1 \mu\text{m}$ 以上 $350 \mu\text{m}$ 以下である。

30

【0022】

このpSiC単結晶層12の表面には、n型不純物の不純物濃度が、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下のn型のSiC層（n-SiC層）14が形成されている。n-SiC層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $120 \mu\text{m}$ 以下である。

【0023】

n-SiC層14の一部表面には、p型不純物の不純物濃度が、例えば、 5×10^{15} 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下のp型の第1のSiC領域（第1のエミッタ領域）66が形成されている。第1のエミッタ領域66の深さは、例えば $0.6 \mu\text{m}$ 程度である。

40

【0024】

第1のSiC領域（第1のエミッタ領域）66の一部表面には、n型不純物の不純物濃度が、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のn⁺型の第2のSiC領域（第2のエミッタ領域）58が形成されている。第2のエミッタ領域58の深さは、第1のSiC領域（第1のエミッタ領域）66の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0025】

また、第1のSiC領域（第1のエミッタ領域）66の一部表面であって、n⁺型の第2のSiC領域（第2のエミッタ領域）58の側方に、p型不純物の不純物濃度が、例え

50

ば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の p^+ 型の第 3 の SiC 領域 (エミッタコンタクト領域) 60 が形成されている。エミッタコンタクト領域 60 の深さは、第 1 の SiC 領域 (第 1 のエミッタ領域) 66 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0026】

n -SiC 層 14 および第 1 の SiC 領域 (第 1 のエミッタ領域) 66 の表面に連続的に、これらの領域および層を跨ぐように形成されたゲート絶縁膜 28 を備えている。ゲート絶縁膜 28 には、例えば、シリコン酸化膜 (SiO₂ 膜)、シリコン酸窒化膜、または、high- k 絶縁膜が適用可能である。

【0027】

そして、ゲート絶縁膜 28 上には、ゲート電極 30 が形成されている。ゲート電極 30 には、例えばポリシリコン等が適用可能である。ゲート電極 30 上には、例えば、SiO₂ 膜で形成される層間絶縁膜 32 が形成されている。

【0028】

ゲート電極下の第 2 の SiC 領域 (第 2 のエミッタ領域) 58 と n -SiC 層 14 に挟まれる第 1 の SiC 領域 66 がチャンネル領域となる。

【0029】

そして、第 2 の SiC 領域 (第 2 のエミッタ領域) 58 と、第 3 の SiC 領域 (エミッタコンタクト領域) 60 と電気的に接続される導電性の第 1 の電極 (エミッタ電極) 54 を備えている。第 1 の電極 (エミッタ電極) 54 は、例えば、Ni (ニッケル) のバリアメタル層 54a と、バリアメタル層 54a 上の Al のメタル層 54b とで構成される。Ni のバリアメタル層 54a と Al のメタル層 54b とは反応により合金を形成していてもよい。

【0030】

また、 p -SiC 単結晶基板 10 の裏面には、導電性の第 2 の電極 (コレクタ電極) 56 が形成されている。第 2 の電極 (コレクタ電極) 56 は、例えば、Ni である。

【0031】

次に、本実施形態の半導体装置の製造方法について説明する。

【0032】

図 2 は、本実施形態の半導体装置の製造方法を例示するフロー図である。図 3、図 5 ~ 8 は、本実施形態の半導体装置の製造方法を示す模式断面図である。また、図 4 は、本実施形態の製造方法で用いられる液相成長装置の模式断面図である。

【0033】

図 2 に示すように、半導体装置の製造方法は、 p -SiC 単結晶基板準備 (ステップ S100)、液相成長法による p -SiC 単結晶形成 (ステップ S101)、 n -SiC 層形成 (ステップ S102)、 p 型不純物イオン注入 (ステップ S104)、 n 型不純物イオン注入 (ステップ S106)、 p 型不純物イオン注入 (ステップ S108)、アニール (ステップ S110)、ゲート絶縁膜形成 (ステップ S112)、ゲート電極形成 (ステップ S114)、層間膜形成 (ステップ S116)、第 1 の電極形成 (ステップ S118)、第 2 の電極形成 (ステップ S120) およびアニール (ステップ S122) を備える。

【0034】

まず、ステップ S100 では、 p 型不純物として Al (アルミニウム) を不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 程度含み、例えば、厚さ $200 \mu\text{m}$ であり、4H-SiC の低抵抗の p 型の SiC 単結晶基板 (p -SiC 単結晶基板) 10 を準備する。

【0035】

次に、ステップ S101 では、 p -SiC 単結晶基板 10 の表面に、液相成長法によるエピタキシャル成長により、 p 型の SiC 単結晶層 12 を形成する (図 3)。 p -SiC 単結晶基板 10 の表面は、例えば、{0001} 面に対し、 0.5 度以上 8 度以下のオフ角を備えている。

【0036】

10

20

30

40

50

図4は、p型SiC単結晶層12の形成に用いられる液相成長装置の模式断面図である。液相成長装置は、液相1を貯留する坩堝2、端部に種結晶3を支持可能な支持部4、液相1および種結晶3を加熱するヒータ5を備えている。坩堝2は、例えば、黒鉛で形成されている。

【0037】

ステップS101では、支持部4に、種結晶3としてpSiC単結晶基板10を支持部4の端部に固定する。坩堝2内の液相1は、ヒータ5により、例えば、1800以上2100以下に加熱される。液相1には、Si（シリコン）、C（炭素）、p型不純物、および、n型不純物を含有される。そして、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）とN（窒素）、Ga（ガリウム）とN（窒素）、または、In（インジウム）とN（窒素）から選ばれる第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比が0.33より大きく1.0より小さい。本実施形態では、元素AがAl、元素DがNである。

10

【0038】

液相1にpSiC単結晶基板10の表面を浸漬させ、液相1からpSiC単結晶基板10の表面に、p型のSiC単結晶層（pSiC単結晶層）12をエピタキシャル成長により形成する。

【0039】

形成されるpSiC単結晶層12は、p型不純物とn型不純物が共ドーブされている。そして、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）とN（窒素）、Ga（ガリウム）とN（窒素）、および、In（インジウム）とN（窒素）から選ばれる少なくとも一つである第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比（濃度D/濃度A）が0.33より大きく1.0より小さい。本実施形態では、元素AがAl、元素DがNである。

20

【0040】

pSiC単結晶層12のAlの濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。pSiC単結晶層12のp型不純物とn型不純物の濃度は、液相1中のp型不純物とn型不純物の濃度を制御することで所望の値を実現することができる。

30

【0041】

pSiC単結晶層12の厚さは、例えば、1 μm 以上350 μm 以下である。

【0042】

次に、ステップS102では、pSiC単結晶層12の表面にエピタキシャル成長法により、n型不純物として、例えばNを不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度含み、厚さが100 μm 程度の高抵抗のn-SiC層14を成長させる。

【0043】

その後、フォトリソグラフィーとエッチングによるパターンングにより、例えばSiO₂の第1のマスク材42を形成する。ステップS104では、この第1のマスク材42をイオン注入マスクとして用いて、p型不純物であるAlをn-SiC層14にイオン注入し、第1のSiC領域（第1のエミッタ領域）66を形成する（図5）。

40

【0044】

その後、フォトリソグラフィーとエッチングによるパターンングにより、例えばSiO₂の第2のマスク材44を形成する。ステップS106では、この第2のマスク材44をイオン注入マスクとして用いて、n型不純物であるNをn-SiC層14にイオン注入し、n型の第2のSiC領域（第2のエミッタ領域）58を形成する（図6）。

【0045】

50

その後、フォトリソグラフィとエッチングによるパターンングにより、例えば SiO_2 の第3のマスク材46を形成する。ステップS108では、この第3のマスク材46をイオン注入マスクとして用いて、p型不純物であるAlをn-SiC層14にイオン注入し、p型の第3のSiC領域（エミッタコンタクト領域）60を形成する（図7）。

【0046】

ステップS110では、イオン注入したp型不純物とn型不純物の活性化のためのアニールを行う。このアニールは、例えば、アルゴン（Ar）ガスを雰囲気ガスとして用いて、加熱温度1600、加熱時間30分といった条件が用いられる。この時、SiC内部に導入された不純物の活性化は実現できるが、拡散は僅かである。

【0047】

ステップS112では、例えば、 SiO_2 膜のゲート絶縁膜28がCVD（Chemical Vapor Deposition）法あるいは熱酸化法により形成される。そして、ステップS114では、ゲート絶縁膜28上に、例えば、ポリシリコンのゲート電極30が形成される。そして、ステップS116では、ゲート電極30上に、例えば、 SiO_2 膜で形成される層間絶縁膜32が形成される（図8）。

【0048】

その後、ステップS118で、第2のSiC領域（エミッタ領域）58と、第3のSiC領域（エミッタコンタクト領域）60と電気的に接続される導電性の第1の電極（エミッタ電極）54が形成される。第1の電極（エミッタ電極）54は、例えば、Ni（ニッケル）とAlのスパッタにより形成される。

【0049】

ステップS120では、pSiC単結晶基板10の裏面側に、導電性の第2の電極（コレクタ電極）56が形成される。第2の電極（コレクタ電極）56は、例えば、Niのスパッタにより形成される。

【0050】

ステップS122では、第1の電極54と第2の電極56のコンタクト抵抗を低減するために、アニールが行われる。アニールは、例えば、アルゴンガス雰囲気中、1000で行われる。

【0051】

以上の製造方法により、図1に示すIGBT100が形成される。

【0052】

図9は、本実施形態の半導体装置の製造方法の作用を説明する図である。本実施形態では、pSiC単結晶基板10は、例えば、{0001}面に対し、例えば、0.5度以上8度以下のオフ角を備えている。

【0053】

pSiC単結晶基板10には、内部から表面に達する貫通螺旋転位（TSD）が存在する。TSDが表面に存在するpSiC単結晶基板10に、仮に、気相成長法により、pSiC単結晶層12やn-SiC層14をエピタキシャル成長させると、図9中点線で示すように、TSDがn-SiC層14まで継承され、n-SiC層14表面にまで到達するおそれがある。例えば、表面にTSDが存在するn-SiC層14の表面に、例えば、熱酸化によりゲート絶縁膜28を形成するとする。そうすると、TSDに起因してゲート絶縁膜の信頼性が劣化する。

【0054】

本実施形態では、pSiC単結晶基板10の表面に液相成長法を用いて、pSiC単結晶層12を形成する。液相成長法を用いることにより、pSiC単結晶層12中でTSDが基底面転位（BPD）に変換される。BPDは、{0001}面に沿って伸び、pSiC単結晶層12の側面へと抜ける。いいかえれば、BPDがオフ角に従って伸び、側面へと抜ける。したがって、TSDがn-SiC層14の表面に達することを抑制する。よって、n-SiC層14の表面に形成されるゲート絶縁膜28の信頼性が向上する。

【0055】

10

20

30

40

50

また、 n -SiC層14中にBPDが存在すると、IGBT100の順方向通電時に、オン抵抗が増大し、デバイス特性が劣化するおそれがある。本実施形態によれば、BPDは、pSiC単結晶層12の側面へと抜けることにより、 n -SiC層14中にBPDが継承されることが抑制される。したがって、BPDによるデバイス特性の劣化も抑制される。

【0056】

pSiC単結晶基板10の表面は、 $\{0001\}$ 面に対し、 0.5 度以上 8 度以下のオフ角を備えていることが望ましく、 2 度以上 6 度以下であることがより望ましい。オフ角が上記範囲を下回ると、安定したエピタキシャル成長ができない可能性がある。また、オフ角が上記範囲を上回ると、結晶表面の凹凸が大きくなり表面に形成されるゲート絶縁膜の信頼性が低下するおそれがある、また、オフ角が上記範囲を上回ると、TSDをBPDに変換した後、BPDを結晶側面に逃す効率が低下するおそれがある。

10

【0057】

また、本実施形態においては、pSiC単結晶層12中にp型不純物であるAl（アルミニウム）と、n型不純物であるN（窒素）が、所定の割合で共ドーピングされている。これにより、pSiC単結晶層12の抵抗が低減される。よって、IGBT100のオン抵抗が低減される。

【0058】

なお、本実施形態において、n型不純物は例えば、N（窒素）やP（リン）が好ましいが、As（ヒ素）等を適用することも可能である。また、p型不純物は例えば、Al（アルミニウム）が好ましいが、B（ボロン）、Ga（ガリウム）、In（インジウム）等を適用することも可能である。

20

【0059】

以下、本実施形態の共ドーピングの作用および効果について詳述する。

【0060】

発明者らによる検討の結果、SiCに対し、p型不純物（p型ドーパント）のAlと、n型不純物（n型ドーパント）のNとを共ドーピングすることにより、AlとNのペアリングをおこさせることができることがわかった。このペアリング状態では、キャリアが補償され、キャリアがゼロの状態になる。

【0061】

図10および図11は、共ドーピングの作用を説明する図である。図10がn型SiCの場合、図11がp型SiCの場合である。発明者らが行なった第一原理計算によれば、SiC中で、AlはSi（シリコン）サイトに、NはC（炭素）サイトに、AlとNが隣接するように入ることで、系として安定化することが明らかになった。

30

【0062】

すなわち、図10および図11に示すように、AlとNとが未結合でばらばらになっている状態に比べ、AlとNが結合し、Al-Nペア構造を形成することで、エネルギー的に 2.9 eV安定になる。Al量とN量とが一致した場合には、両者の全てがペア構造になった状態が最も安定である。

【0063】

ここで、第一原理計算は、超ソフト擬ポテンシャルを用いた計算である。超ソフト擬ポテンシャルは、バンダービルトらによって開発された、擬ポテンシャルの一種である。例えば、格子定数は、 1% 以下の誤差で実験値を実現できる高い精度を備える。不純物（ドーパント）を導入して、構造緩和を行い、安定状態の全エネルギーを計算する。系の全エネルギーを、変化の前後で比較することで、いずれの構造が安定状態か、否かを判定する。安定状態では、バンドギャップ中で不純物の準位が、どのエネルギー位置にあるかを示すことが出来る。

40

【0064】

図10に示すように、NがAlよりも多く存在する場合、すなわち、n型SiCの場合、余分にあるNが、Al-Nペア構造の近傍のCサイトに入り、N-Al-Nの3量体と

50

なることで更に系が安定化することが明らかになった。第一原理計算からは、3量体となることで、ペア構造とNとが別々に存在する場合に比べ、系が0.3 eV安定になる。

【0065】

同様に、図11に示すように、AlがNよりも多く存在する場合、すなわちp型SiCの場合、余分にあるAlが、Al-Nペア構造の近傍のSiサイトに入り、Al-N-Alの3量体となることで更に安定化することが明らかになった。第一原理計算からは、3量体となることで、Al-Nペア構造とAlとが別々に存在する場合に比べ、系が0.4 eV安定になる。

【0066】

次に、AlとN以外のドーパントの組み合わせについて、考察する。B（ボロン）とN（窒素）の場合について計算を行った場合を例に、計算結果を説明する。

10

【0067】

BはSiサイトに、NはCサイトに入る。第一原理計算によると、B-N-B、あるいは、N-B-Nという3量体構造は形成できないことがわかった。つまり、B-Nのペア構造は形成されるが、近傍にBやNが来ると系のエネルギーが高くなる。したがって、余分なBやNは、ペア構造から離れた位置に独立に存在する方が、系がエネルギー的に安定であった。

【0068】

第一原理計算によると、余分なBが3量体を形成すると、B-NペアとBが独立に存在する場合に比べて、系のエネルギーが0.5 eV高かった。また、余分なNが3量体を形成すると、B-NペアとNが独立に存在する場合に比べて、系のエネルギーが0.3 eV高かった。このため、いずれの場合も、3量体が出来ると系がエネルギー的に不安定になる。

20

【0069】

図12は、共ドーパントの作用を説明する図である。図12では、各元素の共有結合半径を示す。図の右上方向に向かうほど共有結合半径が小さくなり、左下方向に向かうほど共有結合半径が大きくなる。

【0070】

BとNの場合に、3量体が出来ると不安定になることは、共有結合半径の大きさにより理解できる。Bの共有結合半径はSiの共有結合半径より小さく、かつ、Nの共有結合半径はCの共有結合半径より小さい。このため、BがSiサイトに、NがCサイトに入ると、歪が溜まり3量体が形成できない。

30

【0071】

ドーパントとなるp型不純物とn型不純物の組み合わせとして、「共有結合半径がSiより大きな元素（Al、Ga、In）」と「共有結合半径がCより小さい元素（N）」の組み合わせ、あるいは、その逆の、「共有結合半径がCより大きな元素（B）」と「共有結合半径がSiより小さい元素（P）」の組み合わせの場合以外は、3量体が形成出来ないことが判明した。

【0072】

B、Pの共有結合半径はSiの共有結合半径とCの共有結合半径の間にあることから、B、およびPは、Siサイト、Cサイトのどちらにも入りえる。しかし、他の不純物（Al、Ga、In、N、As）は、基本的に片方のサイトに偏る。Al、Ga、In、AsはSiサイトに入り、NはCサイトに入ると考えて良い。

40

【0073】

さらに、両不純物が共にSiサイト、あるいは共にCサイトに入る場合は、考える必要がない。それは、p型不純物とn型不純物が最近接に来ないと歪が緩和し難いためである。よって、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせ（元素Aと元素D）が、（AlとN）、（GaとN）、（InとN）、（BとP）という4つの組み合わせ以外では、3量体を形成することは困難である。

【0074】

50

このペア構造、あるいは3量体構造は、原子間に相互作用が無ければ形成できない。第一原理計算による4H-SiC構造中の不純物準位(ドーパント準位)は、c軸方向にユニットセルが10個程度あると、相互作用が見えなくなり、不純物準位が平らな状態となる。すなわち、分散が十分に抑制され、10meVオーダー程度になる。

【0075】

つまり、不純物間の距離が10nm以上では相互作用が殆どないと考えられる。よって、不純物同士の相互作用があるためには、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。

【0076】

この値は、SiC材料が既に形成されている場合に、イオン注入などによって局所的な不純物の分布を形成する場合に望まれる不純物濃度の下限となる。液相成長法や気相成長法の場合は不純物濃度の下限はさらに低くなる。

10

【0077】

なお、半導体SiCに、共ドーブによる効果が発現されるためには、n型不純物濃度とp型不純物濃度の比率を特定の範囲の比率にする必要がある。後に記述する製造方法において、イオン打ち込みによって導入するn型、p型のそれぞれの不純物の比率を上記特定の範囲の比率になるように、初めから導入することが重要である。相互作用が届く範囲が10nm未満と小さいが、その範囲にあれば、互いの引力により3量体が形成可能となる。しかも、引力が働くので、不純物の活性化アニールの温度が、共ドーブしない場合の1700-1900から、1500-1800に低温化できると考えられる。

20

【0078】

ただし、この3量体形成に望ましい不純物濃度は、CVD(Chemical Vapor Deposition)法などによる気相からの結晶成長などでは、低減させることが可能である。これは、原料を表面にてフローさせることが出来るため、不純物同士の相互作用が低濃度でも生じやすくなるためである。

【0079】

気相からの結晶成長時において、3量体形成を形成する場合、p型およびn型の不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 以上であることが望ましい。さらに、3量体形成を容易にする観点からは、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以上あることがより望ましい。

【0080】

次に不純物濃度の上限であるが、3量体を形成した場合には、3量体を形成しない場合の固溶限を超えることも可能である。3量体を作ると、結晶中の歪が緩和され不純物が固溶されやすくなるためである。

30

【0081】

3量体を形成しない場合の不純物の固溶限は、Nの場合は 10^{19} cm^{-3} オーダー、Alの場合でも 10^{21} cm^{-3} オーダーである。他の不純物は、およそ 10^{21} cm^{-3} オーダー程度である。

【0082】

不純物が一種類の場合、不純物の大きさが小さい側、あるいは大きい側に偏る。このため、歪が蓄積されて、不純物が格子点に入り難くなり、活性化できないためである。特にイオン注入では欠陥を多く形成するので、余計に固溶限が低くなる。

40

【0083】

しかし、3量体を形成すれば、Al、Nのどちらも 10^{22} cm^{-3} オーダー程度まで、導入が可能となる。(AlとN)、(GaとN)、(InとN)、(BとP)という4つの組み合わせにおいて、3量体を形成することで、歪を緩和することが出来るため、固溶限の拡大が可能となる。その結果、 10^{22} cm^{-3} オーダーまで不純物の固溶限の拡張が可能である。

【0084】

不純物がB、Al、Ga、In、Pである場合は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上、特に、 $6 \times 10^{20} \text{ cm}^{-3}$ 以上では、歪が多く、欠陥が多量に入っている状態となる。その結

50

果、シート抵抗または比抵抗は非常に大きな値となる。

【0085】

しかし、p型不純物とn型不純物との共ドーピングによれば、このような不純物濃度の高い領域でも、欠陥が抑制できる。

【0086】

不純物がNである場合は、さらに固溶限が一桁小さく $2 \times 10^{19} \text{ cm}^{-3}$ 程度である。第一原理計算によれば、不活性な格子間Nの欠陥が発生するためと考えられる。

【0087】

N濃度の上限が、 10^{19} cm^{-3} オーダーだったものが、3量体を形成することにより、 10^{22} cm^{-3} オーダーに大幅に拡大する。従来、高濃度にドーピングされたn型領域を形成する場合、窒素を使うことが出来ず、例えばPを 10^{20} cm^{-3} 程度、イオン注入することにより形成している。しかし、本実施形態を用いれば、例えば、Nを $2 \times 10^{20} \text{ cm}^{-3}$ 、Alを $1 \times 10^{20} \text{ cm}^{-3}$ 導入するというように、窒素を用いて高濃度にドーピングされたn型領域を形成できる。つまり、従来は窒素を使うこと自体が困難だったが、それが可能になる。

10

【0088】

以上、p型不純物とn型不純物を両方とも導入し、かつ、共有結合半径の組み合わせを適切に選ぶことにより、上記の3量体を形成することが可能となる。そして、構造が安定化して、歪を低減することが出来る。

【0089】

その結果、(1)各不純物が格子点に入りやすくなる。(2)プロセスの低温化が可能となる。少なくとも100程度の低温化は期待できる。(3)活性化可能な不純物量(上限の拡大)が増加する。(4)3量体、あるいはペア構造のような安定構造が出来る。この構造でエントロピーを稼ぎ、結晶欠陥量が低減する。(5)3量体が安定なので、p型不純物とn型不純物を結ぶボンドの周りに回転することが難しくなり、構造が固定化する。したがって、通電破壊耐性が大幅にアップする。例えば、pnジャンクションのp型不純物領域、n型不純物領域の少なくとも一部に3量体構造を導入すれば、通電破壊が抑制され、高抵抗化が避けられる。その結果、電流を一定量だけ流すときに必要な印加電圧(Vf)が増加してしまう劣化現象(Vf劣化)を抑制可能となる。

20

【0090】

以上、p型不純物のAlとn型不純物のNを共ドーピングすることにより、AlとNのペアリングをおこさせることが出来ることを示した。さらに、この際、アクセプタ準位およびドナー準位を、ともに浅く出来ることが、第一原理計算により明らかになっている。

30

【0091】

図13、図14は、共ドーピングの作用の説明図である。図13はn型SiCの場合、図14はp型SiCの場合である。白丸は準位が電子で埋まっていない空の準位、黒丸は準位が電子で埋まっている状態を示す。

【0092】

ドナー準位が浅くなる理由は、図13に示すように、アクセプタであるAlの伝導帯の内側にある空の準位と、Nのドナー準位とが相互作用したことにより、ドナー準位が引き上げられたためである。同様に、アクセプタ準位が浅くなる理由は、図14に示すように、ドナーであるNの価電子帯の内側にある電子が埋った準位と、Alのアクセプタ準位とが相互作用したことにより、アクセプタ準位が引き下げられたためである。

40

【0093】

一般に、n型不純物のNやP(リン)は42meV~95meVの深いドナー準位を形成する。p型不純物のB、Al、Ga、Inは160meV~300meVの非常に深いアクセプタ準位を形成する。それに対し、3量体を形成すると、n型不純物では35meV以下のドナー準位を形成し、p型不純物では、100meV以下のアクセプタ準位を形成することが可能となる。

【0094】

50

3量体が完全に形成された最良の状態では、n型のNやPでは、およそ20 meV程度となり、p型のB、Al、Ga、Inでは40 meV程度となる。このように浅い準位を形成するので、活性化した不純物の多くがキャリア（自由電子、自由正孔）となる。したがって、バルク抵抗が共ドーブを行わない場合に比べ、桁違いに低抵抗化する。

【0095】

n型SiCの場合、キャリア発生に寄与するドナー準位が40 meV以下となることで、共ドーブしない場合と比較して、抵抗が低減する。また、35 meV以下となることで抵抗が約一桁、20 meV以下とすることにより抵抗が約二桁低減する。但し、歪緩和効果、ドーブ上限拡大効果なども含む。

【0096】

p型SiCの場合、キャリア発生に寄与するアクセプタ準位が150 meV以下となることで、共ドーブしない場合と比較して、抵抗が低減する。また、100 meV以下となることで抵抗が約一桁、40 meV以下とすることにより抵抗が約二桁低減する。但し、歪緩和効果、ドーブ上限拡大効果なども含む。

【0097】

Al濃度とN濃度とが一致した場合（N：Al = 1：1）には、浅い準位はあっても、キャリアが無い場合、絶縁体になってしまう。Al濃度とN濃度の差分だけキャリアが存在することになる。低抵抗の半導体になるには、濃度差が必要となる。

【0098】

N濃度がAl濃度よりも多い場合（N濃度 > Al濃度）、相互作用によりAl - Nペアが出来た余りのNもまた、Al - Nペアの近傍のCを置換することで安定化する。このため、浅いドナー準位が形成される。また、歪も緩和するので、3量体を形成しない場合よりもNの濃度を増やすことが出来る。

【0099】

図15は、n型SiCの場合のAlとNの濃度とシート抵抗の関係を示す図である。N濃度は、 $2 \times 10^{20} \text{ cm}^{-3}$ としている。単体でNを導入した場合は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上いれても、シート抵抗は低減できない。その値がおよそ300 / である。

【0100】

N濃度：Al濃度が1：1から2：1になるまでは、歪が入らずに3量体ができ、浅いドナー準位に入っているキャリア電子数が増加する。したがって、シート抵抗が急激に低下する。

【0101】

そして、2：1に達したとき、最大量のキャリアが使えるので、最もシート抵抗が低い状態となる。シート抵抗は、図15に示すように、1.5 / 程度まで低減できる。n型SiCへのコンタクト抵抗も、N濃度：Al濃度 = 2：1になるようにし、N濃度とAl濃度の差分を 10^{20} cm^{-3} から 10^{22} cm^{-3} と増やすことで、 10^{-5} cm^3 程度から、 10^{-7} cm^3 程度まで低減可能である。

【0102】

さらに、2：1よりN濃度の割合が上がると、N濃度：Al濃度 = 2：1より過剰なNにより、元の深いドナー準位が形成されることになる。そして、このドナー準位がキャリア電子を受け取ることになり、3量体によって形成された浅いドナー準位が空になってしまう。N濃度：Al濃度 = 2：1よりずれた分のNは、単体で導入された場合に近いので、歪の緩和が困難である。したがって、図15に示すように、シート抵抗が急激に増加していくことになる。

【0103】

図15では、n型不純物のN（窒素）を、Alを共ドーブしない場合に固溶限近傍まで入れた場合のシート抵抗（この場合は約300 / ）を比較対象とし、N濃度：Al濃度 = 2：1からずらした場合にどのようにシート抵抗の値が変化するかを示している。

【0104】

3量体構造が出来たAl濃度 / N濃度 = 0.5を中心に考えることにする。Al濃度 /

10

20

30

40

50

N濃度を0.47以上、 $0.60(8 \times 10^{19} \text{ cm}^{-3})$ 以上のキャリアが100%自由キャリアとなる)以下とした場合、つまり、n型不純物に対し、p型不純物を47%~60%入れた場合、Alを共ドーブしない場合のシート抵抗に比較して2桁落ちのシート抵抗となり、非常に有効である。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.47程度で、 $8 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。

【0105】

そこから幅を両側に広げて、Al濃度/N濃度を0.45以上、 $0.75(5 \times 10^{19} \text{ cm}^{-3})$ 以上のキャリアが100%自由キャリアとなる)以下とした場合、すなわち、AlをNに対し45%~75%入れた場合、2桁落ちからその3倍程度の大きさとなる。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.45程度で、 $5 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。さらに幅を両側に広げて、Al濃度/N濃度を0.40より大きく0.95($1 \times 10^{19} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなる)より小さくした場合、すなわち、AlをNに対し40%~95%入れた場合、1桁落ちのシート抵抗となる。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.40程度で、 $1 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。

【0106】

AlをNに対し50%以上入れた側の方が、特性がよいのは、歪が十分に緩和するためである。1つのAlに対し2つのNがクラスター化して3量体が形成された状態が50%の状態である。50%未満の場合、3量体が出来た状態に加え、更に余分なNが存在することになる。つまり、3量体になれないNがあるので、その分だけ歪が溜まることになる。3量体になれないNは、単体で入ったのも同然であり、直ぐに歪の限界に達してしまう。こうして、Alの量が50%を割った場合は、歪が急激に発生して、格子欠陥が増加することになる。このため、歪が緩和できる50%以上の場合に比較して、50%未満の方が、シート抵抗が急激に悪化する。

【0107】

なお、Al濃度/N濃度=0.995で、キャリア数が共ドーブしない場合とほぼ同等になる。 $2 \times 10^{20} \text{ cm}^{-3}$ の0.5%分の $1 \times 10^{18} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなるので、従来の窒素ドーブのシート抵抗が実現可能となる。このため、シート抵抗が共ドーブしない場合と、およそ一致することになる。また、Al濃度/N濃度=0.33、すなわち、N濃度:Al濃度=3:1の場合、キャリア電子がすべて、3量体によって形成される浅いドナー準位ではなく、余剰のNで形成される深いドナー準位に受け取られことになる。このため、シート抵抗が共ドーブしない場合と、およそ一致することになる。したがって、共ドーブにより抵抗が低減するのは、Al濃度/N濃度を0.33より大きく0.995より小さくした場合、すなわち、AlをNに対し33%~99.5%入れた場合となる。誤差も考えると、33%より大きく、100%未満と考えればよい。

【0108】

Al濃度がN濃度よりも多い場合(Al濃度>N濃度)、相互作用によりAl-Nペアが出来た余りのAlもまた、Al-Nペアの近傍のSiを置換することで安定化する。このため、浅いアクセプタ準位が形成される。また、歪も緩和するので、3量体を形成しない場合よりもAlの濃度を増やすことが出来る。この場合も、N濃度>Al濃度の場合と同様に考えればよい。

【0109】

図16は、p型SiCの場合のNとAlの濃度とシート抵抗の関係を示す図である。Al濃度は、 $2 \times 10^{20} \text{ cm}^{-3}$ としている。

【0110】

Al濃度:N濃度が1:1から2:1になるまでは、歪が入らずに3量体ができ、浅いアクセプタ準位に入っているキャリア正孔数が増加する。したがって、シート抵抗が低下

10

20

30

40

50

する。

【0111】

そして、2 : 1に達したとき、最大量のキャリアが使えるので、最もシート抵抗が低い状態となる。シート抵抗としては、図16に示すように、 $40 \text{ } / \text{ }$ 程度まで低減できる。p型SiCへのコンタクト抵抗も、Al濃度 : N濃度 = 2 : 1になるようにし、Al濃度とN濃度の差分を 10^{20} cm^{-3} から 10^{22} cm^{-3} と増やすことで 10^{-5} cm^3 程度から、 10^{-7} cm^3 程度まで低減可能である。

【0112】

さらに、2 : 1よりAl濃度の割合が上がると、Al濃度 : N濃度 = 2 : 1より過剰なAlにより、元の深いアクセプタ準位が形成されることになる。そして、このアクセプタ準位がキャリア正孔を受け取ることになり、3量体によって形成された浅いアクセプタ準位が電子で埋まってしまう。Al濃度 : N濃度 = 2 : 1よりずれた分のAlは、単体で導入された場合に近いので、歪の緩和が困難である。したがって、図16に示すように、シート抵抗が急激に増加していくことになる。

10

【0113】

図16では、p型不純物のAl（アルミニウム）を、Nを共ドーブしない場合に固溶限近傍まで入れた場合のシート抵抗（この場合は約 $10 \text{ K } / \text{ }$ ）を比較対象とし、Al濃度 : N濃度 = 2 : 1からずらした場合にどのようにシート抵抗の値が変化するかを示している。

【0114】

3量体構造が出来たN濃度 / Al濃度 = 0.5を中心に考えることにする。N濃度 / Al濃度を0.47以上、0.60 ($8 \times 10^{19} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなる)以下とした場合、つまり、p型不純物に対し、n型不純物を47%~60%入れた場合、Nを共ドーブしない場合のシート抵抗に比較して2桁落ちのシート抵抗となり、非常に有効である。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.47程度で、 $8 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。

20

【0115】

そこから幅を両側に広げて、N濃度 / Al濃度を0.45以上、0.75 ($5 \times 10^{19} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなる)以下とした場合、すなわち、NをAlに対し45%~75%入れた場合、2桁落ちからその3倍程度の大きさとなる。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.45程度で、 $5 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。さらに幅を広げて、N濃度 / Al濃度を0.40より大きく0.95 ($1 \times 10^{19} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなる)より小さくした場合、すなわち、NをAlに対し40%~95%入れた場合、1桁落ちのシート抵抗となる。0.5未満では、浅い準位が減少し、かつ、歪が入るので、自由キャリア数が減り、0.40程度で、 $1 \times 10^{19} \text{ cm}^{-3}$ 相当のキャリアとなる。

30

【0116】

NをAlに対して50%以上入れた側の方が特性がよいのは、歪が緩和するためである。それに対し、Nが50%未満の場合、1つのNに対し2つのAlがクラスター化して3量体が形成された状態が50%の状態であり、そこに更にAlが存在することになる。つまり、3量体になれないAlがあるので、その分だけ歪が溜まることになる。こうして、50%を割った場合は、歪が急激に発生して、格子欠陥が増加することになる。このため、歪が緩和できる50%以上の場合に比較して、50%未満の場合の方が、シート抵抗が急激に悪化する。

40

【0117】

なお、N濃度 / Al濃度 = 0.995で、キャリア数が共ドーブしない場合とほぼ同等になる。 $2 \times 10^{20} \text{ cm}^{-3}$ の0.5%分の $1 \times 10^{18} \text{ cm}^{-3}$ 以上のキャリアが100%自由キャリアとなるので、従来のAlドーブのシート抵抗が実現可能となる。このため、シート抵抗が共ドーブしない場合と、およそ一致することになる。また、N濃度 /

50

A1濃度 = 0.33、すなわちA1濃度 : N濃度 = 3 : 1の場合、キャリア正孔がすべて、3量体によって形成される浅いアクセプタ準位ではなく、余剰のA1で形成される深いアクセプタ準位に受け取られことになる。このため、シート抵抗が共ドーブしない場合と、およそ一致することになる。したがって、共ドーブの抵抗低減効果が得られるのは、N濃度 / A1濃度を0.33より大きく0.995より小さくした場合、すなわち、NをA1に対し33% ~ 99.5%入れた場合となる。誤差も考えると、33%より大きく、100%未満と考えればよい。

【0118】

共ドーブしない場合には、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の低濃度の不純物を使った低抵抗SiC半導体材料は存在し難い。しかし、共ドーブによれば、3量体を形成することで、浅い準位が形成され、キャリア数が増加する。したがって、少量の不純物でも低抵抗化が可能である。

10

【0119】

以上のように、p型不純物とn型不純物を適切な割合で共ドーブすることにより、少なくとも2つの顕著な効果が得られることになる。

【0120】

第一に、歪が緩和して、歪の少ないSiCを形成可能である。共ドーブしない場合に比べて、歪が少なくなり、欠陥が少なく、多くの不純物を導入することが可能になる。すなわち、不純物の固溶限を高くすることができる。したがって、シート抵抗が低減し、比抵抗が低減し、コンタクト抵抗が低減する。イオン注入法であれ、エピタキシャル成長法であれ、欠陥が少なくなるので、不純物の高ドーズ化が可能となる。

20

【0121】

第二に、浅い準位を形成することが可能となる。共ドーブしない場合と比較して、少ない不純物を用いるだけで、低抵抗な材料を作成することが可能になる。あるいは、同じ不純物量の場合に、桁違いに小さいシート抵抗が得られることになる。エピタキシャル成長にて形成可能な低ドーズの領域を考えた時、共ドーブを用いない場合、高抵抗になってしまう。しかし、共ドーブを使えば、低抵抗なSiCを形成することが可能となる。これにより、より低オン抵抗のSiC半導体装置を製造することも可能となる。

【0122】

本実施形態のIGBT100では、p型のSiC単結晶層12に、p型不純物、例えばA1と、n型不純物、例えばNが共ドーブされている。これにより、p型のSiC単結晶層12のシート抵抗および比抵抗が低減される。したがって、オン抵抗が低減され、高性能なIGBT100が実現される。

30

【0123】

また、3量体が形成されていることにより、結晶構造が安定して結晶欠陥が低減し、リーク電流が低減されたIGBT100が実現される。さらに、結晶構造が安定して通電破壊耐性に優れたIGBT100が実現される。すなわち、IGBT100は、通電劣化に対して高信頼なものとなる。

【0124】

通電劣化として、3C構造の結晶欠陥が発生し高抵抗化するモードがある。本実施形態の共ドーブ構造があれば、結晶が安定であるため、このモードが発現しない。したがって、高抵抗化モードの発現しないIGBT100が形成できる。

40

【0125】

pSiC単結晶層12に含有されるp型不純物の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが望ましい。この範囲を下回ると、p型不純物とn型不純物との相互作用が生じにくく、3量体が形成されないおそれがあるからである。また、この範囲を超えてp型不純物を固溶させることは困難だからである。

【0126】

pSiC単結晶層12のシート抵抗または比抵抗を十分低減する観点から、pSiC単結晶層12の含有されるp型不純物の濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがよ

50

り望ましい。

【0127】

pSiC単結晶層12のp型不純物を元素A、n型不純物を元素Dとする場合に、第3のSiC領域20のシート抵抗または比抵抗を十分低減させる観点から、元素Dの濃度の元素Aの濃度に対する比は、0.33より大きく1.0より小さい。また、元素Dの濃度の元素Aの濃度に対する比が、0.40より大きく0.95より小さいことが望ましい。また、0.45以上0.75以下であることがより望ましい。さらに、0.47以上0.60以下であることが一層望ましい。

【0128】

したがって、pSiC単結晶層12を成長させる際の液相内の元素Dの濃度の元素Aの濃度に対する比は、0.33より大きく1.0より小さい。また、元素Dの濃度の元素Aの濃度に対する比が、0.40より大きく0.95より小さいことが望ましい。また、0.45以上0.75以下であることがより望ましい。さらに、0.47以上0.60以下であることが一層望ましい。

10

【0129】

pSiC単結晶層12の元素Dの濃度の元素Aの濃度に対する比は、例えば、SIMS (Secondary Ion Microprobe Spectrometry) により、元素A、元素Dそれぞれの濃度を求めることで算出可能である。

【0130】

pSiC単結晶層12のp型不純物を元素A、n型不純物を元素Dとする場合に、シート抵抗または比抵抗を低減する観点から、元素Aのキャリア発生に寄与するアクセプタ準位が150meV以下であることが望ましい。また、100meV以下であることがより望ましく、40meV以下であることが一層望ましい。

20

【0131】

元素Aのアクセプタ準位は、例えば、pSiC単結晶層12のシート抵抗または比抵抗の活性化エネルギーを測定することで求めることが可能である。

【0132】

pSiC単結晶層12のシート抵抗または比抵抗を十分低減させる観点から、p型不純物とn型不純物の大部分が3量体を形成することが望ましい。したがって、元素Dの90%以上が元素Aの最近接の格子位置にあることが望ましい。元素Dの90%以上が元素Aの最近接の格子位置にあれば、p型不純物とn型不純物の大部分(3量体を形成し得るうちの90%以上)が3量体を形成しているとみなすことができる。

30

【0133】

元素Dのうち、元素Aの最近接の格子位置にある元素の割合は、例えば、XPS (X-ray Photoelectron Spectroscopy) で、元素Aと元素Dとの結合状態を分析することにより求めることが可能である。

【0134】

そして、pSiC単結晶層12を液相成長法で成長させる際に、液相内に、上記所定の割合でp型不純物とn型不純物が共存する。このため、結晶成長中のTSDからBPDへの変換が促進される。したがって、例えば、気相成長法によりpSiC単結晶層12を形成する場合に比較して、より薄い膜厚で、TSDが上層に継承されることを抑制することができる。また、同一の膜厚であっても、表面に達するTSDの量の密度を低減することが可能となる。

40

【0135】

以上、本実施形態の半導体装置の製造方法によれば、pSiC単結晶層12を液相成長法で形成することで、デバイスの半導体層表面や半導体層内の転位が低減され、高い信頼性を備えるIGBTが実現できる。また、pSiC単結晶層12にp型不純物とn型不純物が所定の割合で共ドーブさせるよう製造することで、オン抵抗が低減され高い性能のIGBTが実現される。さらに、p型不純物とn型不純物が所定の割合で共ドーブされた液相中からpSiC単結晶層12を形成することで、TSDのBPDへの変換を促進するこ

50

とが可能となる。よって、液相成長で形成する p Si C 単結晶層 12 の膜厚の薄膜化が可能となり、生産性が向上する。あるいは、TSD の BPD への変換を促進することで表面に到達する転位の密度を低減することが可能となる。

【0136】

(第2の実施形態)

【0137】

本実施形態の半導体製造装置の製造方法は、基板を準備し、Si (シリコン)、C (炭素)、p 型不純物、および、n 型不純物を含有し、p 型不純物を元素 A、n 型不純物を元素 D とする場合に、元素 A と元素 D との組み合わせが、Al (アルミニウム) と N (窒素)、Ga (ガリウム) と N (窒素)、および、In (インジウム) と N (窒素) から選ば 10
れる少なくとも一つである第1の組み合わせ、B (ボロン) と P (リン) の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素 D の濃度の元素 A の濃度に対する比が 0.33 より大きく 1.0 より小さく、組み合わせを構成する元素 A の濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である液相から、基板の表面に p 型の Si C 単結晶層を成長させる。

【0138】

特に、上記基板が、n 型の Si C 層を備え、n 型の Si C 層の表面に、Si C 単結晶層を形成し、Si C 単結晶層の表面に、n 型の第2の Si C 領域を形成し、Si C 単結晶層の表面に、p 型の第3の Si C 領域を形成し、Si C 単結晶層の表面に、第2の Si C 領域との間に Si C 単結晶層を挟んで、n 型の第4の Si C 領域を形成し、第4の Si C 領域、Si C 単結晶層の表面に、ゲート絶縁膜を形成し、ゲート絶縁膜上に、ゲート電極を形成し、第2の Si C 領域および第3の Si C 領域に、接続される第1の電極を形成し、Si C 層に接続される第2の電極を形成する。 20

【0139】

液相成長法や共ドーブによる作用および効果で、第1の実施形態と共通する内容については記述を省略する。また、半導体装置およびその製造方法についても、第1の実施形態と重複する内容については記述を省略する。

【0140】

図17は、本実施形態の半導体装置である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の構成を示す模式断面図である。MOSFET 200 は、キャリアを電子とする n 型の縦型 MOSFET である。 30

【0141】

この MOSFET 200 は、基板 51 を備えている。基板 51 は、n 型の Si C 基板 (n Si C 単結晶基板) 50 と、n Si C 単結晶基板 50 の表面の n 型の Si C 層 (n Si C 層) 14 を備えている。

【0142】

n Si C 単結晶基板 50 は、例えば不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下の、例えば N (窒素) を n 型不純物として含む 4H-SiC の Si C 基板 (n 基板) である。 40

【0143】

n 型の Si C 層 (n Si C 層) 14 は、例えば、n 型不純物の不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下である。n Si C 層 14 の膜厚は、例えば 5 μm 以上 20 μm 以下である。

【0144】

n Si C 層 14 の表面には、液相成長法で形成される p 型の Si C 単結晶層 (p Si C 単結晶層: p ウェル領域) 76 を備えている。この p 型の Si C 単結晶層 76 は、p 型不純物と n 型不純物が共ドーブされている。そして、p 型不純物を元素 A、n 型不純物を元素 D とする場合に、元素 A と元素 D との組み合わせが、Al (アルミニウム) と N (窒素)、Ga (ガリウム) と N (窒素)、および、In (インジウム) と N (窒素) から選 50

ばれる少なくとも一つである第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比（濃度D / 濃度A）が0.33より大きく1.0より小さい。本実施形態では、元素Aの不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0145】

例えば、Al（アルミニウム）、Ga（ガリウム）またはIn（インジウム）とN（窒素）の第1の組み合わせの場合、元素Aが、Al（アルミニウム）、Ga（ガリウム）またはIn（インジウム）から選ばれる1種の元素であってもかまわない。また、Al（元素A₁）とGa（元素A₂）等の2種の元素、あるいは、Al（元素A₁）、Ga（元素A₂）、In（元素A₃）の3種の元素で構成されていてもかまわない。複数の元素の場合、2種または3種の元素をあわせて組み合わせを構成する元素Aと考え、上記元素Dの濃度の元素Aの濃度に対する比、元素Aの濃度の条件が充足されれば良い。

10

【0146】

また、第1の組み合わせと第2の組み合わせの両者が共存することも可能である。しかし、上記元素Dの濃度の元素Aの濃度に対する比、元素Aの濃度の条件は、すくなくとも、第1の組み合わせ、第2の組み合わせのいずれか一方を構成する元素で充足されなければならない。いいかえれば、第1の組み合わせと第2の組み合わせは、個別に元素比、元素濃度を満たさなければならない。これは、第1の組み合わせの不純物と第2の組み合わせの不純物の間では、後に詳述する3量体が形成されないためである。

20

【0147】

例えば、Alが $1 \times 10^{17} \text{ cm}^{-3}$ 、Gaが $1 \times 10^{17} \text{ cm}^{-3}$ 、Nが $1 \times 10^{17} \text{ cm}^{-3}$ の場合、 $N / (Al + Ga) = 0.5$ で、 $Al + Ga$ が $2 \times 10^{17} \text{ cm}^{-3}$ であるので元素比、濃度ともに実施形態の範囲内である。

【0148】

また、例えば、Bが $4 \times 10^{17} \text{ cm}^{-3}$ 、Pが $1 \times 10^{17} \text{ cm}^{-3}$ 、Nが $1 \times 10^{17} \text{ cm}^{-3}$ の場合、第2の組み合わせであるBとPのみに着目する。すると、 $P / B = 0.25$ となり元素比を充足せず、元素比が実施形態の範囲外である。

【0149】

また、例えば、Alが $5 \times 10^{15} \text{ cm}^{-3}$ 、Bが $5 \times 10^{15} \text{ cm}^{-3}$ 、Nが $2.5 \times 10^{15} \text{ cm}^{-3}$ 、Pが $2.5 \times 10^{15} \text{ cm}^{-3}$ の場合、第1の組み合わせで見ると、 $N / Al = 0.5$ で比の条件は満たすが、Alの濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 未満である。第2の組み合わせで見ると、 $P / B = 0.5$ で比の条件は満たすが、Bの濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 未満である。したがって、第1および第2の組み合わせがいずれも望ましい元素濃度を充足しない。

30

【0150】

なお、本実施形態は、p型不純物やn型不純物として上記例示した以外の元素が含まれることを排除するものではない。以下、元素AがAl（アルミニウム）、元素DがN（窒素）である場合を例に説明する。

【0151】

pSiC単結晶層76のAlの濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下であることが、MOSFET200の閾値を適正にする観点から好ましい。pSiC単結晶層76の厚さは、例えば、0.3 μm以上1.0 μm以下である。pSiC単結晶層76は、MOSFET200のチャンネル領域として機能する。

40

【0152】

pSiC単結晶層76の一部表面には、例えばn型不純物の不純物濃度 5×10^{15} 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下のn⁻型の第4のSiC領域（JFET領域）17が形成されている。JFET領域17の深さはpSiC単結晶層76の厚さ以上である。JFET領域17は、n⁻SiC層14に接続されている。JFET領域17はキャリアである電子の移動経路として機能する。

50

【0153】

pSiC単結晶層76の一部表面には、例えばn型不純物の不純物濃度 1×10^{18} 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のn⁺型の第2のSiC領域(ソース領域)18が形成されている。ソース領域18の深さは、pSiC単結晶層76の厚さ未満であり、例えば0.3 μm 程度である。ソース領域18は、pSiC単結晶層76を間に挟んで、JFET領域17と離間して設けられる。

【0154】

また、pSiC単結晶層76の一部表面であって、ソース領域18の側方に、例えばp型不純物の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上以下 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のp⁺型の第3のSiC領域(pウェルコンタクト領域)20が形成されている。pウェルコンタクト領域20の深さは、pSiC単結晶層76の厚さ未満であり、例えば0.3 μm 程度である。

10

【0155】

JFET領域17およびpSiC単結晶層76の表面に連続的に、これらの領域を跨ぐように形成されたゲート絶縁膜28を有している。ゲート絶縁膜28には、ゲート絶縁膜28には、例えば、シリコン酸化膜(SiO₂膜)、シリコン酸窒化膜、または、high-k絶縁膜が適用可能である。

【0156】

そして、ゲート絶縁膜28上には、ゲート電極30が形成されている。ゲート電極30には、例えばポリシリコン等が適用可能である。ゲート電極30上には、例えば、SiO₂膜で形成される層間絶縁膜32が形成されている。

20

【0157】

ゲート電極下のソース領域18とJFET領域17とに挟まれるpSiC単結晶層76がMOSFET200のチャンネル領域として機能する。

【0158】

そして、ソース領域18と、pウェルコンタクト領域20と電氣的に接続される導電性の第1の電極(ソース・pウェル共通電極)24を備えている。第1の電極(ソース・pウェル共通電極)24は、例えば、Ni(ニッケル)のバリアメタル層24aと、バリアメタル層24a上のAlのメタル層24bとで構成される。Niのバリアメタル層24aとAlのメタル層24bとは反応により合金を形成していてもよい。

30

【0159】

また、SiC基板51の裏面側には、導電性の第2の電極(ドレイン電極)36が形成されている。第2の電極(ドレイン電極)36は、例えば、Niである。

【0160】

なお、本実施形態において、n型不純物は例えば、N(窒素)やP(リン)が好ましいが、As(ヒ素)等を適用することも可能である。また、p型不純物は例えば、Al(アルミニウム)が好ましいが、B(ボロン)、Ga(ガリウム)、In(インジウム)等を適用することも可能である。

【0161】

次に、本実施形態の半導体装置の製造方法について説明する。

40

【0162】

図18は、本実施形態の半導体装置の製造方法を示すフロー図である。図19、20は、本実施形態の半導体装置の製造方法を示す模式断面図である。

【0163】

図18に示すように、半導体装置の製造方法は、基板準備(ステップS202)、pSiC単結晶層形成(ステップS204)、n型不純物イオン注入(ステップS206)、p型不純物イオン注入(ステップS208)、n型不純物イオン注入(ステップS209)、アニール(ステップS210)、ゲート絶縁膜形成(ステップS212)、ゲート電極形成(ステップS214)、層間膜形成(ステップS216)、第1の電極形成(ステップS218)、第2の電極形成(ステップS220)およびアニール(ステップS22

50

2)を備える。

【0164】

まず、ステップS202では、n型不純物としてP(リン)またはN(窒素)を不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 程度含み、例えば、厚さ $300 \mu\text{m}$ であり、4H-SiCの低抵抗のn型のSiC基板(nSiC単結晶基板)50を準備する。

【0165】

そして、nSiC単結晶基板50の表面にエピタキシャル成長法により、n型不純物として、例えばNを不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度含み、厚さが $10 \mu\text{m}$ 程度の高抵抗のn型のSiCエピタキシャル層(n⁻SiC層)14をエピタキシャル成長させる。このようにして、nSiC単結晶基板50の表面にn⁻SiC層14を備える基板51を準備する。

10

【0166】

ステップS204では、n⁻SiC層14の表面に、液相成長法によるエピタキシャル成長により、p型のSiC単結晶層(pSiC単結晶層)76を形成する(図19)。pSiC単結晶層76は、p型不純物とn型不純物を含む。液相成長法による共ドーブされたpSiC単結晶層76の形成方法については、不純物の割合が異なる以外は第1の実施形態と同様である。

【0167】

n⁻SiC層14の表面は、例えば、{0001}面に対し、0.5度以上8度以下のオフ角を備えている。オフ角は、2度以上6度以下であることが望ましい。

20

【0168】

pSiC単結晶層76のAlの濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。pSiC単結晶層12のp型不純物とn型不純物の濃度は、液相1中のp型不純物とn型不純物の濃度を制御することで所望の値を実現することができる。

【0169】

その後、ステップS206で、第1の実施形態の第2のエミッタ領域形成と同様の方法で、n⁺型の第2のSiC領域(ソース領域)18を形成する。また、ステップS208で、第1の実施形態のエミッタコンタクト領域形成と同様の方法で、p⁺型の第3のSiC領域(pウェルコンタクト領域)20を形成する。

30

【0170】

その後、フォトリソグラフィーとエッチングによるパターンニングにより、例えばSiO₂のマスク材48を形成する。ステップS209では、このマスク材48をイオン注入マスクとして用いて、n型不純物であるNをp型のSiC単結晶層(pSiC単結晶層)76にイオン注入し、n型の第4のSiC領域(JFET領域)17を形成する(図20)。

【0171】

すなわち、pウェル領域16のp型不純物濃度より高濃度のn型不純物をイオン注入により導入し、逆導電型に変える。第4のSiC領域(JFET領域)17の深さは、第2のSiCエピタキシャル層の厚さ以上になるようにイオン注入の加速エネルギーおよびドーズ量を調整する。

40

【0172】

ステップS210では、JFET領域17を形成した後、活性化のためのアニールを行う。このアニールは、例えば、アルゴン(Ar)ガスを雰囲気ガスとして用いて、加熱温度 1600 、加熱時間30分といった条件が用いられる。この時、SiC内部に導入された不純物の活性化は実現できるが、拡散は僅かである。

【0173】

ステップS212では、例えば、SiO₂膜のゲート絶縁膜28がCVD(Chemical Vapor Deposition)法あるいは熱酸化法により形成される。そして、ステップS214では、ゲート絶縁膜28上に、例えば、ポリシリコンのゲート電

50

極 30 が形成される。そして、ステップ S 2 1 6 では、ゲート電極 30 上に、例えば、SiO₂ 膜の層間絶縁膜 32 が形成される。

【0174】

その後、ステップ S 2 1 8 で、ソース領域 18 と、p ウェルコンタクト領域 20 とに電氣的に接続される導電性の第 1 の電極（ソース・p ウェル共通電極）24 が形成される。第 1 の電極（ソース・p ウェル共通電極）24 は、例えば、Ni（ニッケル）と Al のスパッタにより形成される。

【0175】

ステップ S 2 2 0 では、基板 51 の裏面側に、導電性の第 2 の電極（ドレイン電極）36 が形成される。第 2 の電極（ドレイン電極）36 は、例えば、Ni のスパッタにより形成される。

10

【0176】

ステップ S 2 2 2 では、第 1 の電極 24 と第 2 の電極 36 のコンタクト抵抗を低減するために、アニールが行われる。アニールは、例えば、アルゴンガス雰囲気中、1000℃で行われる。

【0177】

以上の製造方法により、図 17 に示す MOSFET 200 が形成される。

【0178】

本実施形態では、基板 51 の表面に液相成長法を用いて、p 型の SiC 単結晶層（p SiC 単結晶層：p ウェル領域）76 を形成する。液相成長法を用いることにより、p SiC 単結晶層 76 中で TSD が基底面転位（BPD）に変換される。BPD は、{0001} 面に沿って延び、p SiC 単結晶層 76 の側面へと抜ける。したがって、TSD が p SiC 単結晶層 76 の表面に達することを抑制する。よって、p SiC 単結晶層 76 の表面に形成されるゲート絶縁膜 28 の信頼性が向上する。

20

【0179】

また、本実施形態の製造方法で製造される MOSFET 200 では、p 型の SiC 単結晶層（p SiC 単結晶層：p ウェル領域）76 には、Al と N が共ドーピングされる。そして、N の濃度の Al の濃度に対する比が 0.33 より大きく 1.0 より小さくなっている。

【0180】

また、本実施形態では、チャンネル領域となる p SiC 単結晶層 76 の不純物濃度の調整を、エピタキシャル成長時の不純物のドーピングで調整可能である。したがって、MOSFET 200 の閾値調整のために、チャンネル領域にイオン注入を行うことが不要となる。このため、イオン注入による欠陥が生じない。したがって、イオン注入欠陥による電子の散乱が生じない。よって、チャンネル領域での電子の移動度が向上し、高性能な MOSFET が実現される。

30

【0181】

また、p 型不純物と n 型不純物を適切な割合でドーピングすることにより 3 量体の形成が促進される。したがって、チャンネル領域の歪や欠陥が低減する。よって、チャンネル領域での電子の移動度が向上し、高性能な MOSFET 200 が実現される。

【0182】

また、共ドーピングにより p 型不純物の固溶限が上昇する。このため、所望の閾値を実現するためのチャンネル領域の p 型不純物濃度を、共ドーピングを行わない場合に比較して低減することが可能となる。したがって、不純物による電子の散乱が抑制される。よって、チャンネル領域での電子の移動度が向上し、高性能な MOSFET 200 が実現される。

40

【0183】

なお、p 型不純物の濃度は、3 量体形成を促進する観点、および、MOSFET 200 の閾値を適正にする観点から、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下であることが望ましい。

【0184】

本実施形態において、形成される p SiC 単結晶層 76 中の元素 D の濃度の元素 A の濃

50

度に対する比が、0.40より大きく0.95より小さいことが望ましい。高いp型不純物の固溶限を確保できるからである。また、元素Aのアクセプタ準位が150meV以下であることが望ましい。チャネル領域がより低抵抗となり、MOSFET200のオン電流が増大するためである。さらに、元素Dの90%以上が元素Aの最近接の格子位置にあることが望ましい。p型不純物とn型不純物の大部分(3量体を形成し得るうちの90%以上)が3量体を形成し、固溶限が大きく、かつ、低抵抗となるためである。

【0185】

また、pウェルコンタクト領域20では、バックグラウンドにpSiC単結晶層76のp型不純物(A1)があらかじめ存在する。このため、pウェルコンタクト領域20形成のためのイオン注入の際のp型不純物ドーズ量を低減することができる。したがって、イオン注入時間の短縮、イオン注入による格子損傷を低減することが可能となる。

10

【0186】

また、p型不純物を活性化させるためのアニール時やその後の冷却時に生ずる熱応力起因の結晶欠陥、特に基底面上の転位が、MOSFET200のボディダイオードの順方向特性を劣化させることを抑制できる。よって、信頼性の高いMOSFETが実現される。

【0187】

そして、JFET領域17では、バックグラウンドにpSiC単結晶層76のn型不純物(N)があらかじめ存在する。このため、JFET領域17形成のためのイオン注入の際のn型不純物ドーズ量を低減することができる。したがって、イオン注入時間の短縮、イオン注入による格子損傷を低減することが可能となる。

20

【0188】

またJFET領域17において、p型不純物(第2のp型不純物)を元素A、n型不純物(第2のn型不純物)を元素Dとする場合に、元素Aと元素Dとの組み合わせが、A1(アルミニウム)とN(窒素)、Ga(ガリウム)とN(窒素)、および、In(インジウム)とN(窒素)から選ばれる少なくとも一つである第1の組み合わせ、B(ボロン)とP(リン)の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する上記元素Aの濃度の上記元素Dの濃度に対する比が0.40より大きく0.95より小さいことが望ましい。JFET領域17での3量体の形成が促進され、低抵抗で欠陥の少ないn層が実現されるからである。この際、上記組み合わせを構成する上記元素Dの濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。

30

【0189】

そして、pSiC単結晶層76を液相成長法で成長させる際に、液相内に、上記所定の割合でp型不純物とn型不純物が共存する。このため、結晶成長中のTSDからBPDへの変換が促進される。したがって、例えば、気相成長法によりpSiC単結晶層76を形成する場合に比較して、より薄い膜厚で、TSDが上層に継承されることを抑制することができる。また、同一の膜厚であっても、表面に達するTSDの量の密度を低減することが可能となる。

【0190】

以上、本実施形態の半導体装置の製造方法によれば、pSiC単結晶層76を液相成長法で形成することで、デバイスの半導体層表面や半導体層内の転位が低減され、高い信頼性を備えるMOSFETが実現できる。また、pSiC単結晶層76にp型不純物とn型不純物が所定の割合で共ドーピングさせるよう製造することで、電子の移動度が向上し、オン抵抗が低減され高い性能のMOSFETが実現される。さらに、p型不純物とn型不純物が所定の割合で共ドーピングされた液相中からpSiC単結晶層76を形成することで、TSDのBPDへの変換を促進することが可能となる。よって、液相成長で形成するpSiC単結晶層76の膜厚の薄膜化が可能となり、生産性が向上する。あるいは、TSDのBPDへの変換を促進することで表面に到達する転位の密度を低減することが可能となる。

40

【0191】

(第3の実施形態)

【0192】

50

本実施形態の半導体製造装置の製造方法は、基板を準備し、Si（シリコン）、C（炭素）、p型不純物、および、n型不純物を含有し、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）とN（窒素）、Ga（ガリウム）とN（窒素）、および、In（インジウム）とN（窒素）から選ばれる少なくとも一つである第1の組み合わせ、B（ボロン）とP（リン）の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比が0.33より大きく1.0より小さく、組み合わせを構成する元素Aの濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である液相から、基板の表面にp型のSiC単結晶層を成長させる。

【0193】

特に、上記基板が、n型のSiC層と、n型のSiC層上のp型のSiC層を備え、p型のSiC層の表面に、SiC単結晶層を形成し、SiC単結晶層に接続される第1の電極を形成し、n型のSiC層に接続される第2の電極を形成する。

【0194】

液相成長法や共ドーブによる作用および効果で、第1または第2の実施形態と共通する内容については記述を省略する。

【0195】

図21は、本実施形態で製造される半導体装置の模式断面である。半導体装置は、メサ型のPINダイオードである。

【0196】

このPINダイオード300は、基板81を備えている。基板81は、n⁺型SiC基板（炭化珪素基板）82を備えている。SiC基板82は、不純物濃度 $5 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の、例えば、N（窒素）をn型不純物として含む4H-SiC基板（n基板）である。表面は、例えば、{0001}面に対し4度傾斜する面である。

【0197】

このSiC基板82の表面には、Nの濃度が、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下のn型SiC層（バッファ層）84が形成されている。n型SiC層84の膜厚は、例えば、0.5 μm以上3 μm以下である。

【0198】

n型SiC層84上には、Nの不純物濃度が、例えば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下のn⁻型SiC層86が形成されている。n⁻型SiC層86の膜厚は、例えば5 μm以上50 μm以下である。

【0199】

n⁻型SiC層86の表面には、Alの不純物濃度が、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のp型SiC層88を備えている。p型SiC層88は、N（窒素）とAl（アルミニウム）が共ドーブされている。そして、Nの濃度のAlの濃度に対する比が、0.33より大きく1.0より小さい。p型SiC層88の膜厚は、例えば、0.5 μm以上3 μm以下である。

【0200】

p型SiC層88の表面には、液相成長法で形成されるp型のSiC単結晶層（pSiC単結晶層）90を備えている。このpSiC単結晶層90は、p型不純物とn型不純物が共ドーブされている。そして、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al（アルミニウム）、Ga（ガリウム）またはIn（インジウム）とN（窒素）、B（ボロン）とP（リン）の少なくとも一方の組み合わせであり、上記組み合わせを構成する元素Dの濃度の元素Aの濃度に対する比（濃度D/濃度A）が0.33より大きく1.0より小さい。以下、元素AがAl、元素DがNである場合を例に説明する。

【0201】

pSiC単結晶層90のAlの濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。pSiC単結晶層90の厚さは、例えば、0.1 μm以上1 μm

10

20

30

40

50

以下である。

【0202】

そして、p Si C単結晶層90と電氣的に接続される導電性のアノード電極94を備えている。アノード電極94は、例えば、Ni（ニッケル）のパリアメタル層94aと、パリアメタル層94a上のAlのメタル層94bとで構成される。

【0203】

また、n⁺型Si C基板82の裏面側には、導電性のカソード電極96が形成されている。カソード電極96は、例えば、Niである。

【0204】

次に、PiNダイオード300の製造方法の一例について説明する。

10

【0205】

図22は、本実施形態の半導体装置の製造方法を例示するフロー図である。図23、24は、本実施形態の半導体装置の製造方法を示す模式断面図である。

【0206】

図22に示すように、半導体装置の製造方法は、基板準備（ステップS302）、p⁺Si C単結晶層形成（ステップS304）、メサ構造形成（ステップS306）、第1の電極形成（ステップS308）、第2の電極形成（ステップS310）およびアニール（ステップS312）を備える。

【0207】

まず、ステップ302では、基板81を準備する。基板81は、例えば、以下の製造方法で形成される。

20

【0208】

n型の不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ のn⁺型Si C基板82上に、例えば、膜厚1 μm のn型Si C層84を、気相からのエピタキシャル成長により形成する。次に、n型Si C層84上に、例えば、膜厚40 μm のn⁻型Si C層86を、気相からのエピタキシャル成長により形成する。

【0209】

次に、n⁻型Si C層86上に、例えば、膜厚1.5 μm のp型Si C層88を、気相からのエピタキシャル成長により形成する。

【0210】

次に、ステップ304では、p型Si C層88の表面に、液相成長法によるエピタキシャル成長により、p⁺型のSi C単結晶層（p⁺Si C単結晶層）90を形成する（図23）。p⁺Si C単結晶層90は、p型不純物とn型不純物を含む。液相成長法による共ドープされたp⁺Si C単結晶層90の形成方法については、基板が異なる以外は、第1の実施形態と同様である。

30

【0211】

基板81の表面は、例えば、{0001}面に対し、0.5度以上8度以下のオフ角を備えている。オフ角は、2度以上6度以下であることが望ましい。

【0212】

形成されるp⁺Si C単結晶層90のAlの濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。p⁺Si C単結晶層90のp型不純物とn型不純物の濃度は、液相1中のp型不純物とn型不純物の濃度を制御することで所望の値を実現することができる。

40

【0213】

その後、ステップ306では、公知のプロセスによりメサ構造を形成する（図24）。さらに、ステップ308では、公知のプロセスによりアノード電極94を形成する。そして、ステップ310では、公知のプロセスによりカソード電極96を形成する。

【0214】

ステップ310では、アノード電極94とカソード電極96のコンタクト抵抗を低減するために、アニールが行われる。アニールは、例えば、アルゴンガス雰囲気、1000

50

で行われる。

【0215】

以上の製造方法により、図21に示すPiNダイオード300が形成される。

【0216】

本実施形態では、基板51の表面に液相成長法を用いて、 p^+ SiC単結晶層90を形成する。液相成長法を用いることにより、 p^+ SiC単結晶層90中でTSDが基底面転位(BPD)に変換される。BPDは、 $\{0001\}$ 面に沿って延び、 p^+ SiC単結晶層90の側面へと抜ける。したがって、 p^+ SiC単結晶層90中のTSDが減少する。TSDが存在すると、pn接合の逆方向リーク電流が大きくなるおそれがある。本実施形態によれば、TSD密度が低下することで、逆方向リーク電流を抑制することが可能となる。

10

【0217】

また、本実施形態の製造方法で製造されるPiNダイオード300では、 p^+ SiC単結晶層90にp型不純物であるAl(アルミニウム)と、n型不純物であるN(窒素)が、所定の割合で共ドーピングされている。これにより、 p^+ SiC単結晶層90の抵抗およびアノード電極94のコンタクト抵抗が低減される。よって、PiNダイオード300の順方向電流を大きくすることが可能となる。

【0218】

そして、pSiC単結晶層90を液相成長法で成長させる際に、液相内に、上記所定の割合でp型不純物とn型不純物が共存する。このため、結晶成長中のTSDからBPDへの変換が促進される。したがって、例えば、気相成長法によりpSiC単結晶層90を形成する場合に比較して、より薄い膜厚で、TSDが上層に継承されることを抑制することができる。また、同一の膜厚であっても、表面に達するTSDの量の密度を低減することが可能となる。

20

【0219】

以上、本実施形態の半導体装置の製造方法によれば、pSiC単結晶層90を液相成長法で形成することで、デバイスの半導体層表面や半導体層内の転位が低減され、高い信頼性および高い性能を備えるPiNダイオード300が実現できる。また、 p^+ SiC単結晶層90にp型不純物とn型不純物が所定の割合で共ドーピングさせるよう製造することで、シート抵抗およびコンタクト抵抗が低減され順方向電流の大きいPiNダイオード300が実現できる。さらに、p型不純物とn型不純物が所定の割合で共ドーピングされた液相中から p^+ SiC単結晶層90を形成することで、TSDのBPDへの変換を促進することが可能となる。よって、液相成長で形成する p^+ SiC単結晶層90の膜厚の薄膜化が可能となり、生産性が向上する。あるいは、TSDのBPDへの変換を促進することで表面に到達する転位の密度を低減することが可能となる。

30

【0220】

(第4の実施形態)

本実施形態の半導体装置の製造方法は、基板を準備し、Si(シリコン)、C(炭素)、p型不純物、および、n型不純物を含有し、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al(アルミニウム)とN(窒素)、Ga(ガリウム)とN(窒素)、および、In(インジウム)とN(窒素)から選ばれる少なくとも一つである第1の組み合わせ、B(ボロン)とP(リン)の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Aの濃度の元素Dの濃度に対する比が0.40より大きく0.95より小さい液相から、基板の表面にn型のSiC単結晶層を成長させる。

40

【0221】

特に、SiC単結晶層の表面に、エピタキシャル成長によりn型のSiC層を形成し、n型のSiC層の表面に、p型の第1のSiC領域を形成し、第1のSiC領域の表面に、n型の第2のSiC領域を形成し、第1のSiC領域の表面に、p型の第3のSiC領域を形成し、SiC層、第1のSiC領域の表面に、ゲート絶縁膜を形成し、ゲート絶縁

50

膜上に、ゲート電極を形成し、第2のSiC領域および第3のSiC領域に、接続される第1の電極を形成し、SiC単結晶層に接続される第2の電極を形成する。

【0222】

液相成長法や共ドーブによる作用および効果で、第1の実施形態と共通する内容については記述を省略する。また、半導体装置およびその製造方法についても、第1の実施形態と重複する内容については記述を省略する。

【0223】

図25は、本実施形態の半導体装置であるMOSFETの構成を示す模式断面図である。MOSFET400は、キャリアを電子とするn型の縦型MOSFETである。

【0224】

このMOSFET400は、n型のSiC基板(nSiC単結晶基板)50を備えている。nSiC単結晶基板50は、例えば不純物濃度 1×10^{18} 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下の、例えばN(窒素)をn型不純物として含む4H-SiCのSiC基板(n基板)である。

【0225】

そして、nSiC単結晶基板50の表面に、液相成長法で形成されるn型のSiC単結晶層(nSiC単結晶層)52を備えている。このn型のSiC単結晶層52は、p型不純物とn型不純物が共ドーブされている。そして、p型不純物を元素A、n型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al(アルミニウム)とN(窒素)、Ga(ガリウム)とN(窒素)、または、In(インジウム)とN(窒素)から選ばれる第1の組み合わせ、B(ボロン)とP(リン)の第2の組み合わせの少なくとも一方の組み合わせであり、第1または第2の組み合わせを構成する元素Aの濃度の元素Dの濃度に対する比が0.40より大きく0.95より小さい。以下、元素AがAl、元素DがNである場合を例に説明する。

【0226】

nSiC単結晶層52のN(窒素)の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。nSiC単結晶層52の厚さは、例えば、 $1 \mu\text{m}$ 以上 $350 \mu\text{m}$ 以下である。

【0227】

このnSiC単結晶層52の表面には、n型不純物の不純物濃度が、例えば、 $5 \times 10^{14} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下のn型のSiC層(n-SiC層)14が形成されている。n-SiC層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下である。

【0228】

n-SiC層14の一部表面には、p型不純物の不純物濃度が、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下程度のp型の第1のSiC領域(pウェル領域)16が形成されている。pウェル領域16の深さは、例えば $0.6 \mu\text{m}$ 程度である。pウェル領域16は、MOSFET400のチャネル領域として機能する。

【0229】

n-SiC層14の一部表面には、例えばn型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の、n⁺型の第1のSiC領域(ソース領域)18が形成されている。ソース領域18の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0230】

また、pウェル領域16の一部表面であって、ソース領域18の側方に、例えばp型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のp⁺型の第3のSiC領域(pウェルコンタクト領域)20が形成されている。pウェルコンタクト領域20の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0231】

n-SiC層14およびpウェル領域16の表面に連続的に、これらの領域および層を跨ぐように形成されたゲート絶縁膜28を有している。ゲート絶縁膜28には、例えばS

10

20

30

40

50

SiO_2 膜や high - k 絶縁膜が適用可能である。

【0232】

そして、ゲート絶縁膜 28 上には、ゲート電極 30 が形成されている。ゲート電極 30 には、例えばポリシリコン等が適用可能である。ゲート電極 30 上には、例えば、 SiO_2 膜で形成される層間絶縁膜 32 が形成されている。

【0233】

ゲート電極下の第 2 の SiC 領域 (ソース領域) 18 と n - SiC 層 14 に挟まれる第 1 の SiC 領域 16 が MOSFET 400 のチャンネル領域として機能する。

【0234】

そして、ソース領域 18 と、p ウェルコンタクト領域 20 と電氣的に接続される導電性の第 1 の電極 (ソース・p ウェル共通電極) 24 を備えている。第 1 の電極 (ソース・p ウェル共通電極) 24 は、例えば、Ni (ニッケル) のバリアメタル層 24 a と、バリアメタル層 24 a 上の Al のメタル層 24 b とで構成される。Ni のバリアメタル層 24 a と Al のメタル層 24 b とは反応により合金を形成していてもよい。

【0235】

また、SiC 基板 50 の裏面側には、導電性の第 2 の電極 (ドレイン電極) 36 が形成されている。第 2 の電極 (ドレイン電極) 36 は、例えば、Ni である。

【0236】

なお、本実施形態において、n 型不純物は例えば、N (窒素) や P (リン) が好ましいが、As (ヒ素) 等を適用することも可能である。また、p 型不純物は例えば、Al (アルミニウム) が好ましいが、B (ボロン)、Ga (ガリウム)、In (インジウム) 等を適用することも可能である。

【0237】

次に、本実施形態の半導体装置の製造方法について説明する。

【0238】

図 26 は、本実施形態の半導体装置の製造方法を例示するフロー図である。図 27、28、29 は、本実施形態の半導体装置の製造方法を示す模式断面図である。

【0239】

図 26 に示すように、半導体装置の製造方法は、n SiC 単結晶基板準備 (ステップ S 400)、液相成長法による n SiC 単結晶形成 (ステップ S 401)、n - SiC 層形成 (ステップ S 402)、p 型不純物イオン注入 (ステップ S 404)、n 型不純物イオン注入 (ステップ S 406)、p 型不純物イオン注入 (ステップ S 408)、アニール (ステップ S 410)、ゲート絶縁膜形成 (ステップ S 412)、ゲート電極形成 (ステップ S 414)、層間膜形成 (ステップ S 416)、第 1 の電極形成 (ステップ S 418)、第 2 の電極形成 (ステップ S 420) およびアニール (ステップ S 422) を備える。

【0240】

まず、ステップ S 400 では、n 型不純物として N (窒素) を不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 程度含み、例えば、厚さ $200 \mu\text{m}$ であり、4H - SiC の低抵抗の n 型の SiC 単結晶基板 (n SiC 単結晶基板) 50 を準備する。

【0241】

次に、ステップ S 401 では、n SiC 単結晶基板 50 の表面に、液相成長法によるエピタキシャル成長により、n 型の SiC 単結晶層 (n SiC 単結晶) 52 を形成する (図 27)。n SiC 単結晶基板 50 の表面は、例えば、 $\{0001\}$ 面に対し、 0.5 度以上 8 度以下のオフ角を備えている。オフ角は、 2 度以上 6 度以下であることが望ましい。

【0242】

n 型の SiC 単結晶層 52 は、p 型不純物と n 型不純物を含む。液相成長法による共ドーパされた n 型の SiC 単結晶層 52 の形成方法については、不純物の割合が異なる以外は、第 1 の実施形態と同様である。

【0243】

次に、ステップ S 402 では、n SiC 単結晶層 52 の表面にエピタキシャル成長法に

10

20

30

40

50

より、 n 型不純物として、例えば N を不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度含み、厚さが $10 \mu\text{m}$ 程度の高抵抗の n - SiC 層14を成長させる(図28)。

【0244】

その後、ステップS404で、第1の実施形態の第1のエミッタ領域形成と同様の方法で、 p 型の第1の SiC 領域(p ウェル領域)18を形成する。そして、ステップS406で、第1の実施形態の第2のエミッタ領域形成と同様の方法で、 n^+ 型の第2の SiC 領域(ソース領域)18を形成する。また、ステップS408で、第1の実施形態のエミッタコンタクト領域形成と同様の方法で、 p^+ 型の第3の SiC 領域(p ウェルコンタクト領域)20を形成する。

【0245】

ステップS410では、活性化のためのアニールを行う。このアニールは、例えば、アルゴン(Ar)ガスを雰囲気ガスとして用いて、加熱温度 1600 、加熱時間30分といった条件が用いられる。この時、 SiC 内部に導入された不純物の活性化は実現できるが、拡散は僅かである。

【0246】

ステップS412では、例えば、 SiO_2 膜のゲート絶縁膜28がCVD(Chemical Vapor Deposition)法あるいは熱酸化法により形成される。そして、ステップS414では、ゲート絶縁膜28上に、例えば、ポリシリコンのゲート電極30が形成される。そして、ステップS416では、ゲート電極30上に、例えば、 SiO_2 膜の層間絶縁膜32が形成される。

【0247】

その後、ステップS418で、ソース領域18と、 p ウェルコンタクト領域20とに電氣的に接続される導電性の第1の電極(ソース・ p ウェル共通電極)24が形成される。第1の電極(ソース・ p ウェル共通電極)24は、例えば、 Ni (ニッケル)と Al のスパッタにより形成される。

【0248】

ステップS420では、基板51の裏面側に、導電性の第2の電極(ドレイン電極)36が形成される。第2の電極(ドレイン電極)36は、例えば、 Ni のスパッタにより形成される。

【0249】

ステップS422では、第1の電極24と第2の電極36のコンタクト抵抗を低減するために、アニールが行われる。アニールは、例えば、アルゴンガス雰囲気中、 1000 で行われる。

【0250】

以上の製造方法により、図25に示すMOSFET400が形成される。

【0251】

本実施形態では、 n - SiC 単結晶基板50の表面に液相成長法を用いて、 n - SiC 単結晶層52を形成する。液相成長法を用いることにより、 n - SiC 単結晶層52中でTSDが基底面転位(BPD)に変換される。BPDは、 $\{0001\}$ 面に沿って延び、 n - SiC 単結晶層52の側面へと抜ける。したがって、TSDが n - SiC 層14の表面に達することを抑制する。よって、 n - SiC 層14の表面に形成されるゲート絶縁膜28の信頼性が向上する。

【0252】

また、 n - SiC 層14中のBPD密度も低減される。したがって、ボディダイオードの順方向特性が劣化することを抑制できる。よって、信頼性の高いMOSFETが実現される。

【0253】

本実施形態のMOSFET400では、 n - SiC 単結晶層52に、 p 型不純物、例えば Al と、 n 型不純物、例えば N が共ドーピングされている。これにより、 n - SiC 単結晶層52のシート抵抗および比抵抗が低減される。したがって、オン抵抗が低減され、高性能な

10

20

30

40

50

MOSFET400が実現される。

【0254】

また、3量体が形成されていることにより、結晶構造が安定して結晶欠陥が低減し、リーク電流が低減されたMOSFET400が実現される。さらに、結晶構造が安定して通電破壊耐性に優れたMOSFET400が実現される。すなわち、MOSFET400は、通電劣化に対して高信頼なものとなる。

【0255】

通電劣化として、3C構造の結晶欠陥が発生し高抵抗化するモードがある。本実施形態の共ドープ構造があれば、結晶が安定であるため、このモードが発現しない。したがって、高抵抗化モードの発現しないMOSFET400が形成できる。

10

【0256】

nSiC単結晶層52に含有されるn型不純物の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好ましい。この範囲を下回ると、p型不純物とn型不純物との相互作用が生じにくく、3量体が形成されないおそれがあるからである。また、この範囲を超えてn型不純物を固溶させることは困難だからである。

【0257】

nSiC単結晶層52のシート抵抗または比抵抗を十分低減する観点から、nSiC単結晶層52に含有されるn型不純物の濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがより望ましい。

【0258】

nSiC単結晶層52のp型不純物を元素A、n型不純物を元素Dとする場合に、nSiC単結晶層52のシート抵抗または比抵抗を十分低減し、オン抵抗を低減させる観点から、元素Aの濃度の元素Dの濃度に対する比は、0.40より大きく0.95より小さい。また、元素Aの濃度の元素Dの濃度に対する比が、0.45以上0.75以下が望ましい。さらに、0.47以上0.60以下であることがより望ましい。

20

【0259】

したがって、nSiC単結晶層52を成長させる際の液相内の元素Dの濃度の元素Aの濃度に対する比は、0.40より大きく0.95より小さい。また、元素Aの濃度の元素Dの濃度に対する比が、0.45以上0.75以下が望ましい。さらに、0.47以上0.60以下であることがより望ましい。

30

【0260】

nSiC単結晶層52の元素Aの濃度の元素Dの濃度に対する比は、例えば、SIMS (Secondary Ion Microprobe Spectrometry) により、元素A、元素Dそれぞれの濃度を求めることで算出可能である。

【0261】

nSiC単結晶層52のp型不純物を元素A、n型不純物を元素Dとする場合に、シート抵抗または比抵抗を低減する観点から、元素Dのキャリア発生に寄与するドナー準位が40meV以下であることが望ましい。また、35meV以下であることがより望ましく、20meV以下であることが一層望ましい。

【0262】

元素Dのドナー準位は、例えば、nSiC単結晶層52のシート抵抗または比抵抗の活性化エネルギーを測定することで求めることが可能である。

40

【0263】

nSiC単結晶層52のシート抵抗または比抵抗を十分低減し、低いオン抵抗を実現させる観点から、p型不純物とn型不純物の大部分が3量体を形成することが望ましい。したがって、元素Aの90%以上が元素Dの最近接の格子位置にあることが望ましい。元素Aの90%以上が元素Dの最近接の格子位置にあれば、p型不純物とn型不純物の大部分(3量体を形成し得るうちの90%以上)が3量体を形成しているとみなすことができる。

【0264】

50

元素 A のうち、元素 D の最近接の格子位置にある元素の割合は、例えば、X P S (X - r a y P h o t o e l e c t r o n S p e c t r o s c o p y) で、元素 A と元素 D との結合状態を分析することにより求めることが可能である。

【 0 2 6 5 】

そして、n S i C 単結晶層 5 2 を液相成長法で成長させる際に、液相内に、上記所定の割合で p 型不純物と n 型不純物が共存する。このため、結晶成長中の T S D から B P D への変換が促進される。したがって、例えば、気相成長法により n S i C 単結晶層 5 2 を形成する場合に比較して、より薄い膜厚で、T S D が上層に継承されることを抑制することができる。また、同一の膜厚であっても、表面に達する T S D の量の密度を低減することが可能となる。

10

【 0 2 6 6 】

以上、本実施形態の半導体装置の製造方法によれば、n S i C 単結晶層 5 2 を液相成長法で形成することで、デバイスの半導体層表面や半導体層内の転位が低減され、高い信頼性を備える M O S F E T が実現できる。また、n S i C 単結晶層 5 2 に p 型不純物と n 型不純物が所定の割合で共ドーピングさせるよう製造することで、オン抵抗が低減され高い性能の M O S F E T が実現される。さらに、p 型不純物と n 型不純物が所定の割合で共ドーピングされた液相中から n S i C 単結晶層 5 2 を形成することで、T S D の B P D への変換を促進することが可能となる。よって、液相成長で形成する n S i C 単結晶層 5 2 の膜厚の薄膜化が可能となり、生産性が向上する。あるいは、T S D の B P D への変換を促進することで表面に到達する転位の密度を低減することが可能となる。

20

【 0 2 6 7 】

(第 5 の実施形態)

本実施形態の半導体装置の製造方法は、基板を準備し、S i (シリコン)、C (炭素)、p 型不純物、および、n 型不純物を含有し、p 型不純物を元素 A、n 型不純物を元素 D とする場合に、元素 A と元素 D との組み合わせが、A l (アルミニウム) と N (窒素)、G a (ガリウム) と N (窒素)、および、I n (インジウム) と N (窒素) から選ばれ、すくなくとも一つである第 1 の組み合わせ、B (ボロン) と P (リン) の第 2 の組み合わせの少なくとも一方の組み合わせであり、第 1 または第 2 の組み合わせを構成する元素 A の濃度の元素 D の濃度に対する比が 0 . 4 0 より大きく 0 . 9 5 より小さい液相から、基板の表面に n 型の S i C 単結晶層を成長させる。

30

【 0 2 6 8 】

特に、基板が、n 型の S i C 層を備え、n 型の S i C 層の表面に、S i C 単結晶層を形成し、S i C 単結晶層の表面に、p 型の第 1 の S i C 領域を形成し、第 1 の S i C 領域の表面に、n 型の第 2 の S i C 領域を形成し、第 1 の S i C 領域の表面に、p 型の第 3 の S i C 領域を形成し、S i C 層、第 1 の S i C 領域の表面に、ゲート絶縁膜を形成し、ゲート絶縁膜上に、ゲート電極を形成し、第 2 の S i C 領域および第 3 の S i C 領域に、接続される第 1 の電極を形成し、S i C 層に接続される第 2 の電極を形成する。

【 0 2 6 9 】

液相成長法や共ドーピングによる作用および効果で、第 1 の実施形態と共通する内容については記述を省略する。また、半導体装置および半導体装置の製造方法で、第 1 ないし第 4 の実施形態と共通する内容については記述を省略する。

40

【 0 2 7 0 】

図 2 9 は、本実施形態の半導体装置である M O S F E T の構成を示す模式断面図である。M O S F E T 5 0 0 は、キャリアを電子とする n 型の縦型 M O S F E T である。

【 0 2 7 1 】

この M O S F E T 5 0 0 は、n 型の S i C 基板 (n S i C 単結晶基板) 5 0 を備えている。n S i C 単結晶基板 5 0 は、例えば不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下の、例えば N (窒素) を n 型不純物として含む 4 H - S i C の S i C 基板 (n 基板) である。

【 0 2 7 2 】

50

そして、 n -SiC単結晶基板50の表面に、液相成長法で形成される n 型のSiC層(n -SiC単結晶層)14を備えている。この n -SiC単結晶層14は、 p 型不純物と n 型不純物が共ドーピングされている。そして、 p 型不純物を元素A、 n 型不純物を元素Dとする場合に、元素Aと元素Dとの組み合わせが、Al(アルミニウム)、Ga(ガリウム)またはIn(インジウム)とN(窒素)、B(ボロン)とP(リン)の少なくとも一方の組み合わせであり、組み合わせを構成する元素Aの濃度の元素Dの濃度に対する比が0.40より大きく0.95より小さい。以下、元素AがAl、元素DがNである場合を例に説明する。

【0273】

n -SiC単結晶層14のN(窒素)の濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下である。 n -SiC単結晶層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下である。

10

【0274】

n -SiC単結晶層14の一部表面には、 p 型不純物の不純物濃度が、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の p 型の第1のSiC領域(p ウェル領域)16が形成されている。 p ウェル領域16の深さは、例えば $0.6 \mu\text{m}$ 程度である。 p ウェル領域16は、MOSFET500のチャネル領域として機能する。

【0275】

n -SiC単結晶層14の一部表面には、例えば n 型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の n^+ 型の第1のSiC領域(ソース領域)18が形成されている。ソース領域18の深さは、 p ウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

20

【0276】

また、 p ウェル領域16の一部表面であって、ソース領域18の側方に、例えば p 型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上以下 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の p^+ 型の第3のSiC領域(p ウェルコンタクト領域)20が形成されている。 p ウェルコンタクト領域20の深さは、 p ウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0277】

n -SiC単結晶層14および p ウェル領域16の表面に連続的に、これらの領域および層を跨ぐように形成されたゲート絶縁膜28を有している。ゲート絶縁膜28には、例えば SiO_2 膜やhigh-k絶縁膜が適用可能である。

30

【0278】

そして、ゲート絶縁膜28上には、ゲート電極30が形成されている。ゲート電極30には、例えばポリシリコン等が適用可能である。ゲート電極30上には、例えば、 SiO_2 膜で形成される層間絶縁膜32が形成されている。

【0279】

ゲート電極下の第2のSiC領域(ソース領域)18と n -SiC単結晶層14に挟まれる第1のSiC領域16がMOSFET500のチャネル領域として機能する。

【0280】

そして、ソース領域18と、 p ウェルコンタクト領域20と電氣的に接続される導電性の第1の電極(ソース・ p ウェル共通電極)24を備えている。第1の電極(ソース・ p ウェル共通電極)24は、例えば、Ni(ニッケル)のバリアメタル層24aと、バリアメタル層24a上のAlのメタル層24bとで構成される。Niのバリアメタル層24aとAlのメタル層24bとは反応により合金を形成していてもよい。

40

【0281】

また、SiC基板50の裏面側には、導電性の第2の電極(ドレイン電極)36が形成されている。第2の電極(ドレイン電極)36は、例えば、Niである。

【0282】

なお、本実施形態において、 n 型不純物は例えば、N(窒素)やP(リン)が好ましいが、As(ヒ素)等を適用することも可能である。また、 p 型不純物は例えば、Al(ア

50

ルミニウム)が好ましいが、B(ボロン)、Ga(ガリウム)、In(インジウム)等を適用することも可能である。

【0283】

次に、本実施形態の半導体装置の製造方法について説明する。

【0284】

図30は、本実施形態の半導体装置の製造方法を例示するフロー図である。図31は、本実施形態の半導体装置の製造方法を示す模式断面図である。

【0285】

図30に示すように、半導体装置の製造方法は、nSiC単結晶基板準備(ステップS500)、液相成長法によるn⁻SiC単結晶層形成(ステップS502)、p型不純物イオン注入(ステップS504)、n型不純物イオン注入(ステップS506)、p型不純物イオン注入(ステップS508)、アニール(ステップS510)、ゲート絶縁膜形成(ステップS512)、ゲート電極形成(ステップS514)、層間膜形成(ステップS516)、第1の電極形成(ステップS518)、第2の電極形成(ステップS520)およびアニール(ステップS522)を備える。

10

【0286】

まず、ステップS500では、n型不純物としてN(窒素)を不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 程度含み、例えば、厚さ $200 \mu\text{m}$ であり、4H-SiCの低抵抗のn型のSiC単結晶基板(nSiC単結晶基板)50を準備する。

【0287】

次に、ステップS502では、nSiC単結晶基板50の表面に、液相成長法によるエピタキシャル成長により、n型のSiC層(n⁻SiC単結晶層)14を形成する(図331)。nSiC単結晶基板50の表面は、例えば、{0001}面に対し、0.5度以上8度以下のオフ角を備えている。オフ角は、2度以上6度以下であることが望ましい。

20

【0288】

n⁻SiC単結晶層14は、p型不純物とn型不純物を含む。液相成長法による共ドーピングされたn⁻SiC単結晶層14の形成方法については、不純物の割合、濃度が異なる以外は、第1の実施形態と同様である。

【0289】

n⁻SiC単結晶層14は、n型不純物として、例えばNを不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度含み、厚さが $10 \mu\text{m}$ 程度である。

30

【0290】

その後、ステップS504で、第1の実施形態の第1のエミッタ領域形成と同様の方法で、p型の第1のSiC領域(pウェル領域)18を形成する。そして、ステップS506で、第1の実施形態の第2のエミッタ領域形成と同様の方法で、n⁺型の第2のSiC領域(ソース領域)18を形成する。また、ステップS508で、第1の実施形態のエミッタコンタクト領域形成と同様の方法で、p⁺型の第3のSiC領域(pウェルコンタクト領域)20を形成する。

【0291】

ステップS510では、活性化のためのアニールを行う。このアニールは、例えば、アルゴン(Ar)ガスを雰囲気ガスとして用いて、加熱温度 1600 、加熱時間30分といった条件が用いられる。この時、SiC内部に導入された不純物の活性化は実現できるが、拡散は僅かである。

40

【0292】

ステップS512では、例えば、SiO₂膜のゲート絶縁膜28がCVD(Chemical Vapor Deposition)法あるいは熱酸化法により形成される。そして、ステップS514では、ゲート絶縁膜28上に、例えば、ポリシリコンのゲート電極30が形成される。そして、ステップS516では、ゲート電極30上に、例えば、SiO₂膜の層間絶縁膜32が形成される。

【0293】

50

その後、ステップS518で、ソース領域18と、pウェルコンタクト領域20とに電氣的に接続される導電性の第1の電極(ソース・pウェル共通電極)24が形成される。第1の電極(ソース・pウェル共通電極)24は、例えば、Ni(ニッケル)とAlのスパッタにより形成される。

【0294】

ステップS520では、基板51の裏面側に、導電性の第2の電極(ドレイン電極)36が形成される。第2の電極(ドレイン電極)36は、例えば、Niのスパッタにより形成される。

【0295】

ステップS522では、第1の電極24と第2の電極36のコンタクト抵抗を低減するために、アニールが行われる。アニールは、例えば、アルゴンガス雰囲気、1000で行われる。

10

【0296】

以上の製造方法により、図29に示すMOSFET500が形成される。

【0297】

本実施形態では、n-SiC単結晶基板50の表面に液相成長法を用いて、n-SiC単結晶層14を形成する。液相成長法を用いることにより、n-SiC単結晶層14中でTSDが基底面転位(BPD)に変換される。BPDは、{0001}面に沿って伸び、n-SiC単結晶層52の側面へと抜ける。したがって、TSDがn-SiC単結晶層14の表面に達することを抑制する。よって、n-SiC層14の表面に形成されるゲート絶縁膜28の信頼性が向上する。

20

【0298】

また、n-SiC単結晶層14中のBPD密度も低減される。したがって、MOSFET500のボディダイオードの順方向特性が劣化することを抑制できる。よって、信頼性の高いMOSFETが実現される。

【0299】

本実施形態のMOSFET500では、n-SiC単結晶層14に、p型不純物、例えばAlと、n型不純物、例えばNが共ドーブされている。これにより、n-SiC単結晶層14のシート抵抗および比抵抗が低減される。したがって、オン抵抗が低減され、高性能なMOSFET500が実現される。

30

【0300】

また、3量体が形成されていることにより、結晶構造が安定して結晶欠陥が低減し、リーク電流が低減されたMOSFET500が実現される。さらに、結晶構造が安定して通電破壊耐性に優れたMOSFET500が実現される。すなわち、MOSFET500は、通電劣化に対して高信頼なものとなる。

【0301】

通電劣化として、3C構造の結晶欠陥が発生し高抵抗化するモードがある。本実施形態の共ドーブ構造があれば、結晶が安定であるため、このモードが発現しない。したがって、高抵抗化モードの発現しないMOSFET500が形成できる。

【0302】

n-SiC単結晶層14のp型不純物を元素A、n型不純物を元素Dとする場合に、n-SiC単結晶層14のシート抵抗または比抵抗を十分低減し、オン抵抗を低減させる観点から、元素Aの濃度の元素Dの濃度に対する比は、0.40より大きく0.95より小さい。また、元素Aの濃度の元素Dの濃度に対する比が、0.45以上0.75以下が望ましい。さらに、0.47以上0.60以下であることがより望ましい。

40

【0303】

したがって、n-SiC単結晶層14を成長させる際の液相内の元素Dの濃度の元素Aの濃度に対する比は、0.40より大きく0.95より小さい。また、元素Aの濃度の元素Dの濃度に対する比が、0.45以上0.75以下が望ましい。さらに、0.47以上0.60以下であることがより望ましい。

50

【0304】

n-SiC単結晶層14の元素Aの濃度の元素Dの濃度に対する比は、例えば、SIMS (Secondary Ion Microprobe Spectrometry) により、元素A、元素Dそれぞれの濃度を求めることで算出可能である。

【0305】

n-SiC単結晶層14のp型不純物を元素A、n型不純物を元素Dとする場合に、シート抵抗または比抵抗を低減する観点から、元素Dのキャリア発生に寄与するドナー準位が40meV以下であることが望ましい。また、35meV以下であることがより望ましく、20meV以下であることが一層望ましい。

【0306】

元素Dのドナー準位は、例えば、n-SiC単結晶層14のシート抵抗または比抵抗の活性化エネルギーを測定することで求めることが可能である。

【0307】

n-SiC単結晶層14のシート抵抗または比抵抗を十分低減し、低いオン抵抗を実現させる観点から、p型不純物とn型不純物の大部分が3量体を形成することが望ましい。したがって、元素Aの90%以上が元素Dの最近接の格子位置にあることが望ましい。元素Aの90%以上が元素Dの最近接の格子位置にあれば、p型不純物とn型不純物の大部分(3量体を形成し得るうちの90%以上)が3量体を形成しているとみなすことができる。

【0308】

元素Aのうち、元素Dの最近接の格子位置にある元素の割合は、例えば、XPS (X-ray Photoelectron Spectroscopy) で、元素Aと元素Dとの結合状態を分析することにより求めることが可能である。

【0309】

そして、n-SiC単結晶層14を液相成長法で成長させる際に、液相内に、上記所定の割合でp型不純物とn型不純物が共存する。このため、結晶成長中のTSDからBPDへの変換が促進される。したがって、例えば、気相成長法によりn-SiC単結晶層14を形成する場合に比較して、より薄い膜厚で、TSDが上層に継承されることを抑制することができる。また、同一の膜厚であっても、表面に達するTSDの量の密度を低減することが可能となる。

【0310】

以上、本実施形態の半導体装置の製造方法によれば、n-SiC単結晶層14を液相成長法で形成することで、デバイスの半導体層表面や半導体層内の転位が低減され、高い信頼性を備えるMOSFETが実現できる。また、n-SiC単結晶層14にp型不純物とn型不純物が所定の割合で共ドーピングさせるよう製造することで、オン抵抗が低減され高い性能のMOSFETが実現される。さらに、p型不純物とn型不純物が所定の割合で共ドーピングされた液相中からn-SiC単結晶層14を形成することで、TSDのBPDへの変換を促進することが可能となる。よって、TSDのBPDへの変換を促進することで表面に到達する転位の密度を低減することが可能となる。

【0311】

以上、実施形態では、炭化珪素の結晶構造として4H-SiCの場合を例に説明したが、本発明は6H-SiC、3C-SiC等、その他の結晶構造の炭化珪素に適用することも可能である。

【0312】

また、液相成長法によりSiC単結晶層を形成する際の基板として、SiCを例に説明したが、エピタキシャル成長が可能であれば、SiC以外の単結晶を適用することも可能である。

【0313】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その

10

20

30

40

50

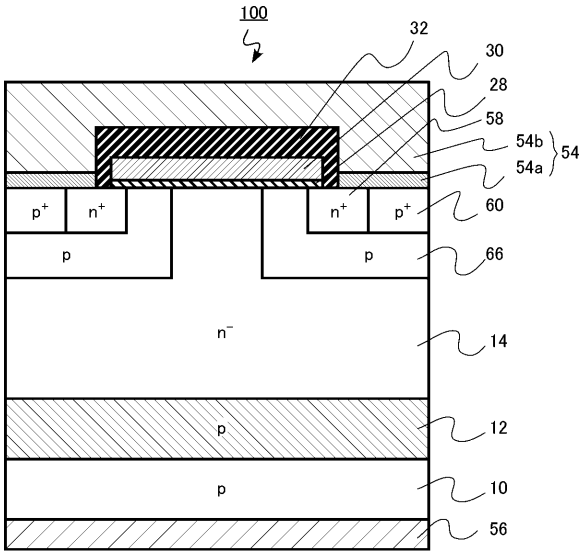
他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換えまたは変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

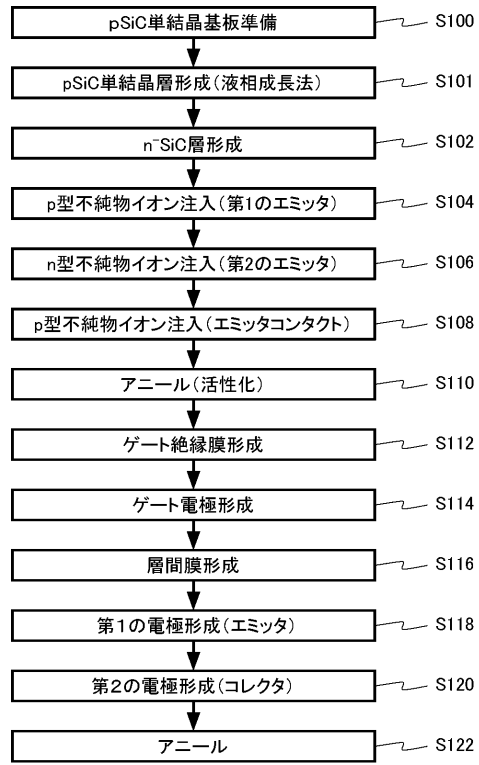
【0314】

| | | |
|-----|-----------------------|----|
| 10 | p型のSiC単結晶基板 | |
| 12 | p型のSiC単結晶層 | |
| 14 | n型のSiC層(n-SiC層) | 10 |
| 16 | 第1のSiC領域(pウェル領域) | |
| 18 | 第2のSiC領域(ソース領域) | |
| 20 | 第3のSiC領域(pウェルコンタクト領域) | |
| 24 | 第1の電極(ソース・pウェル共通電極) | |
| 28 | ゲート絶縁膜 | |
| 30 | ゲート電極 | |
| 32 | 層間絶縁膜 | |
| 36 | 第2の電極(ドレイン電極) | |
| 44 | 第1の電極(アノード電極) | |
| 46 | 第2の電極(カソード電極) | 20 |
| 54 | 第1の電極(エミッタ電極) | |
| 56 | 第2の電極(コレクタ電極) | |
| 58 | 第2のSiC領域(第2のエミッタ領域) | |
| 60 | 第3のSiC領域(エミッタコンタクト領域) | |
| 66 | 第1のSiC領域(第1のエミッタ領域) | |
| 100 | IGBT | |
| 200 | MOSFET | |
| 300 | Pinダイオード | |
| 400 | MOSFET | |
| 500 | MOSFET | 30 |

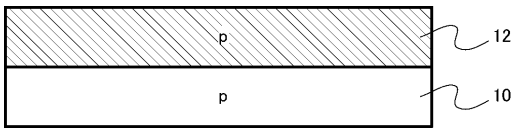
【 図 1 】



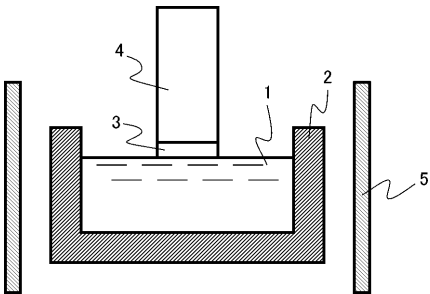
【 図 2 】



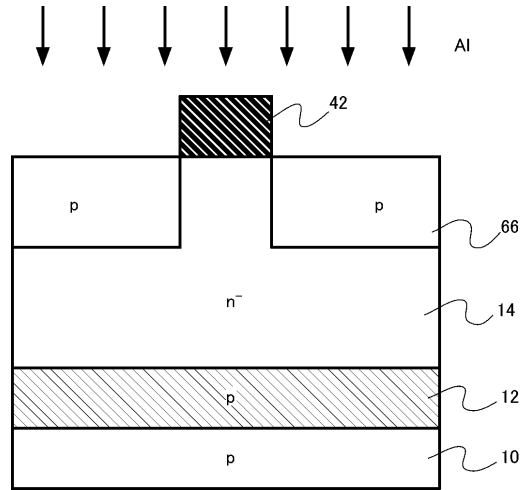
【 図 3 】



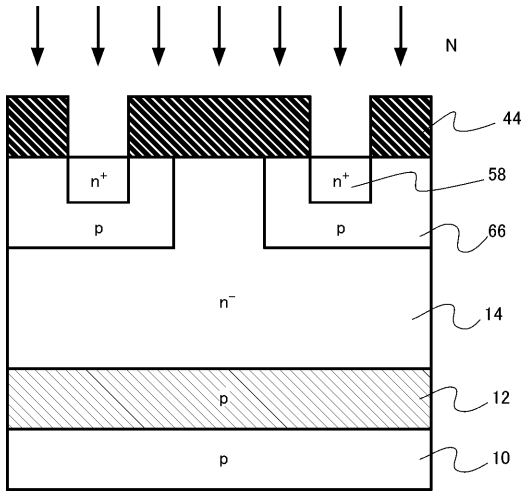
【 図 4 】



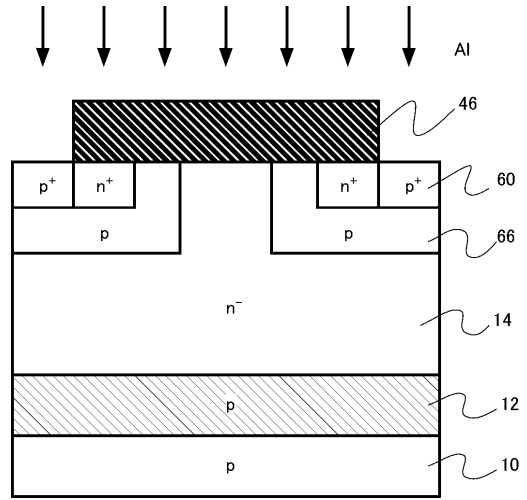
【 図 5 】



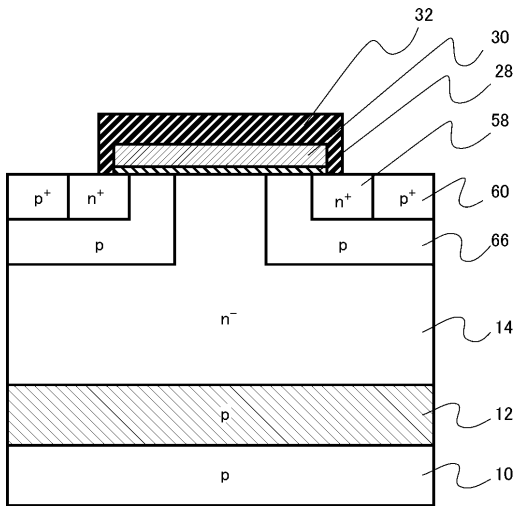
【 図 6 】



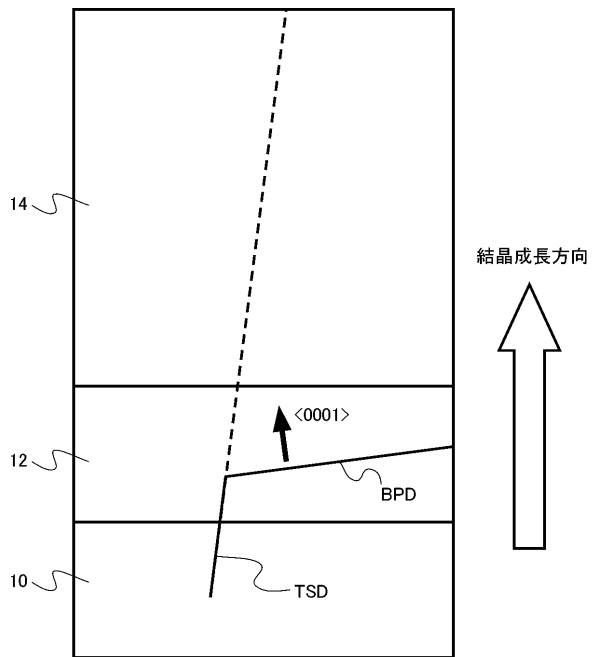
【 図 7 】



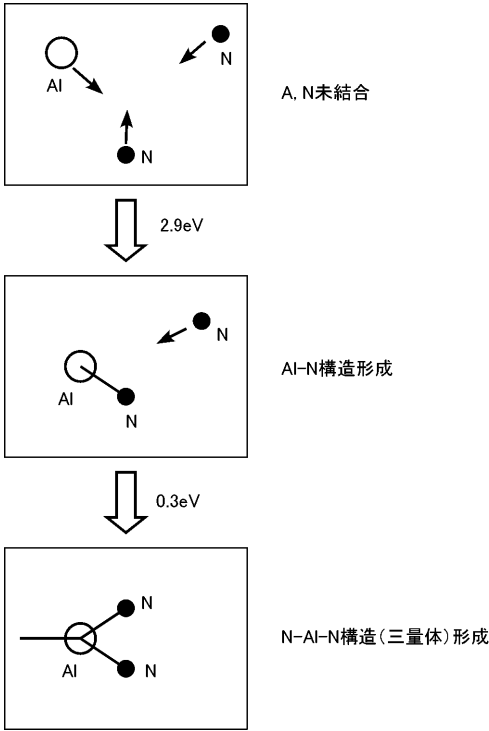
【 図 8 】



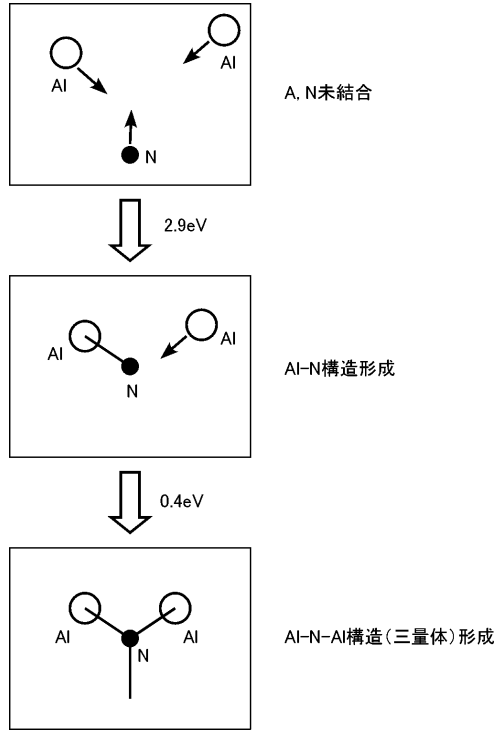
【 図 9 】



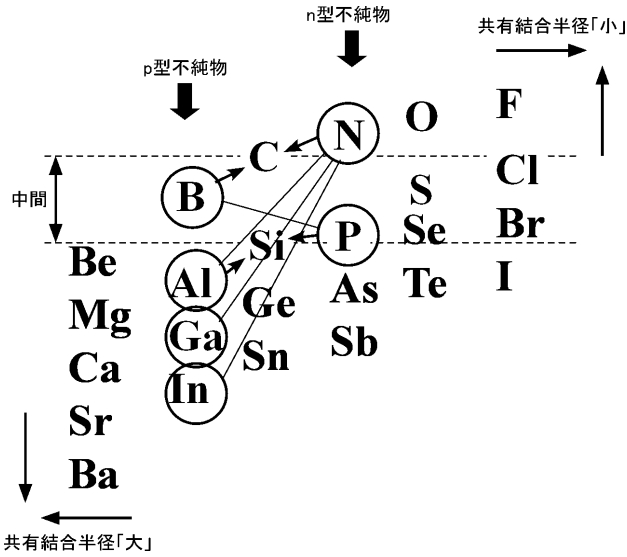
【 図 1 0 】



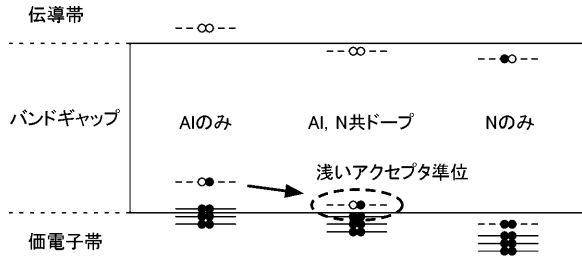
【 図 1 1 】



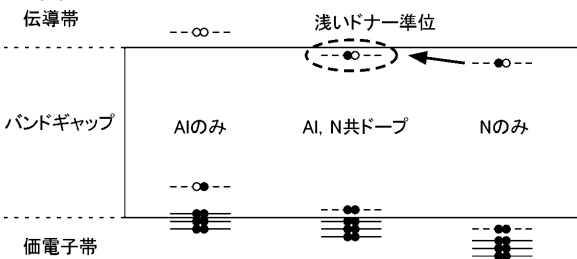
【 図 1 2 】



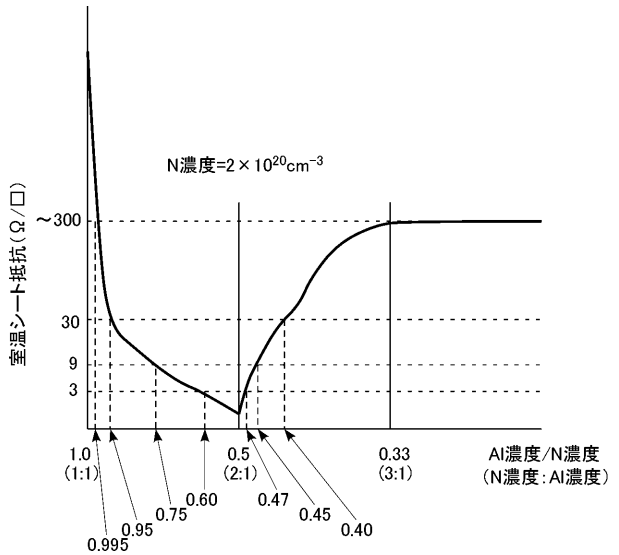
【 図 1 4 】



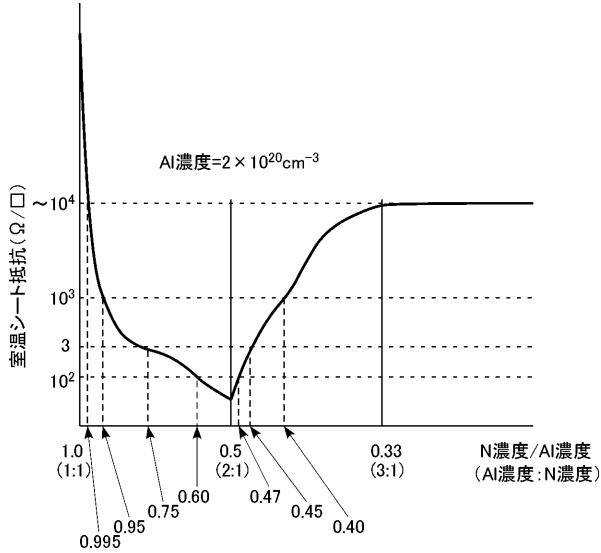
【 図 1 3 】



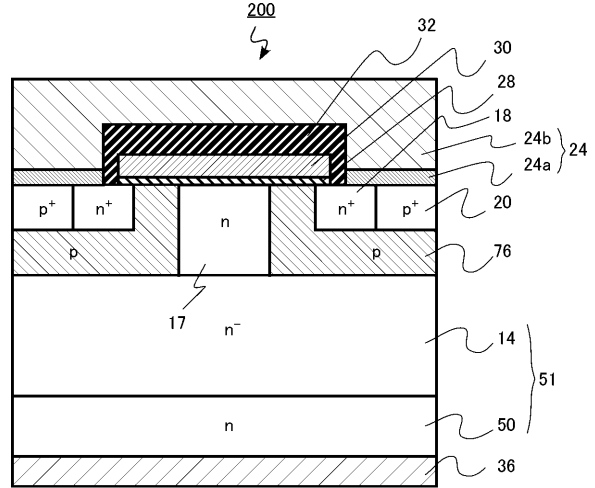
【 図 1 5 】



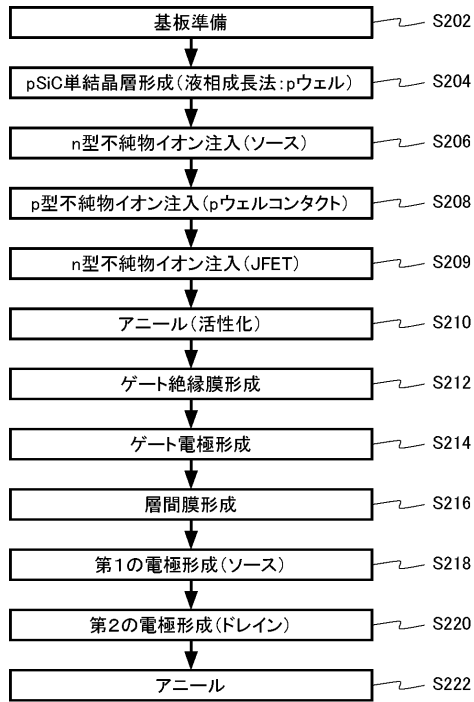
【図16】



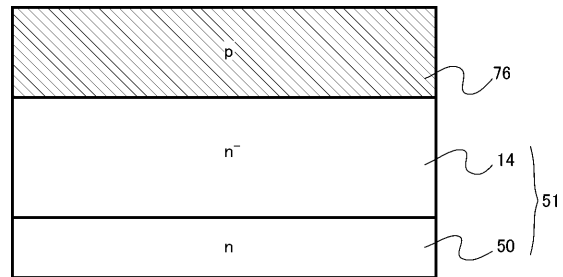
【図17】



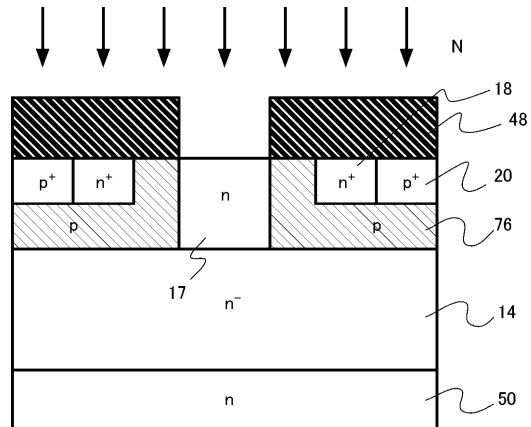
【図18】



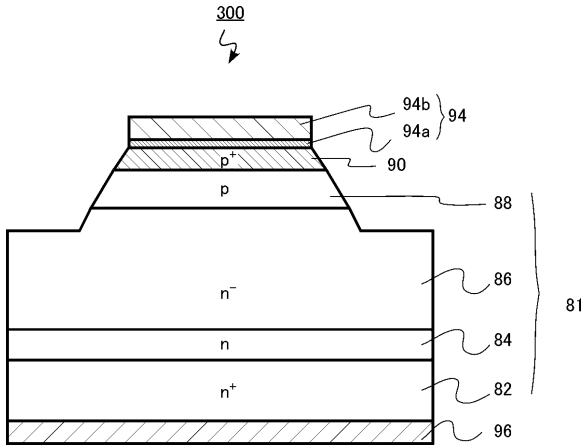
【図19】



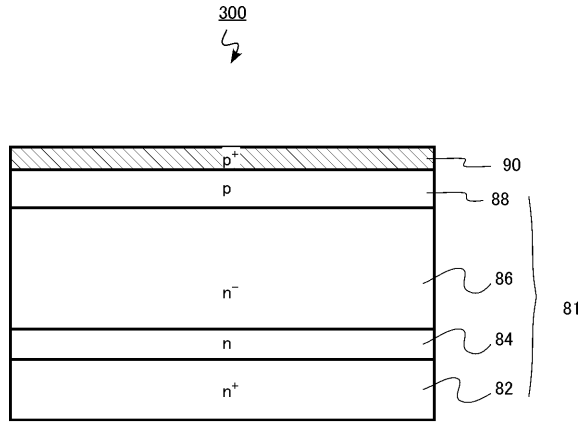
【図20】



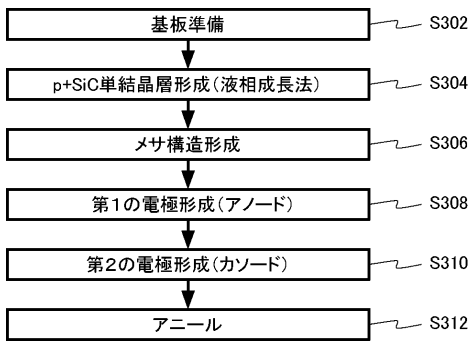
【図21】



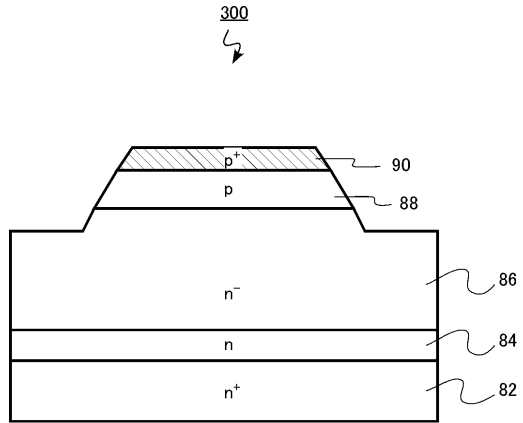
【図23】



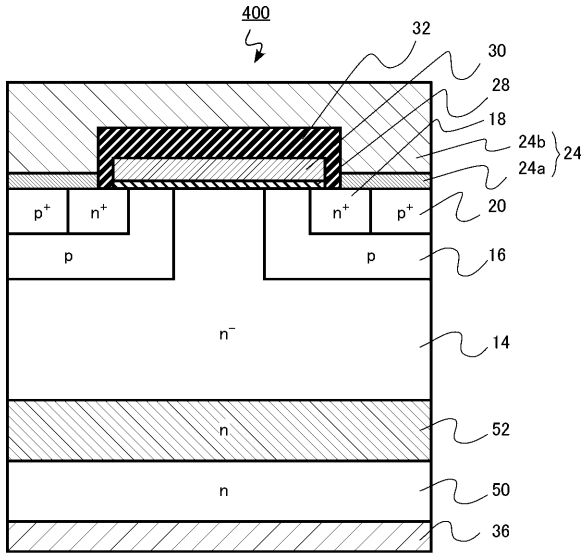
【図22】



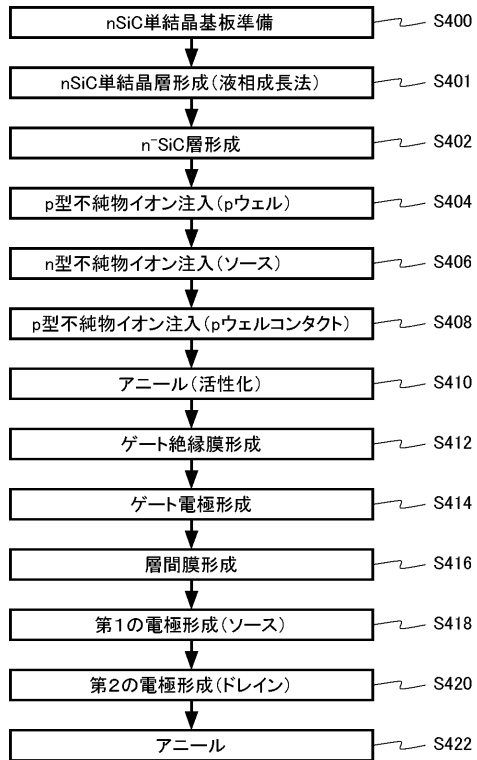
【図24】



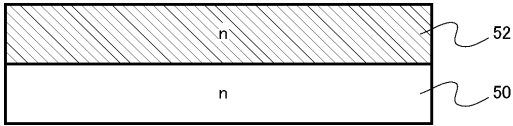
【図25】



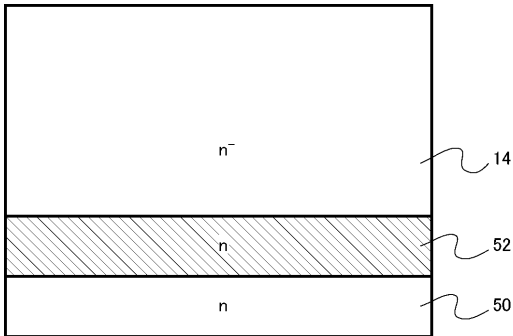
【図26】



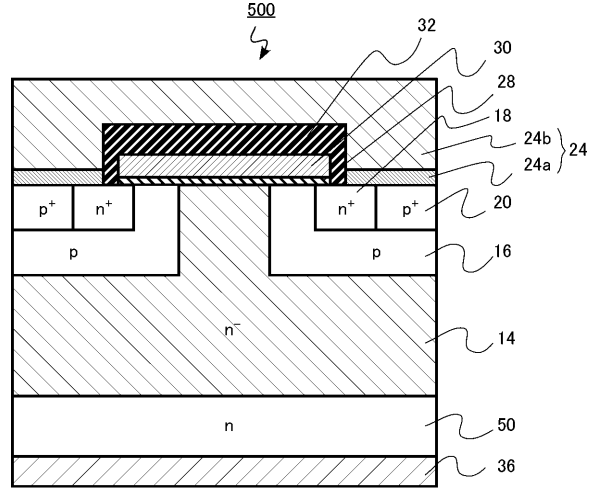
【図 27】



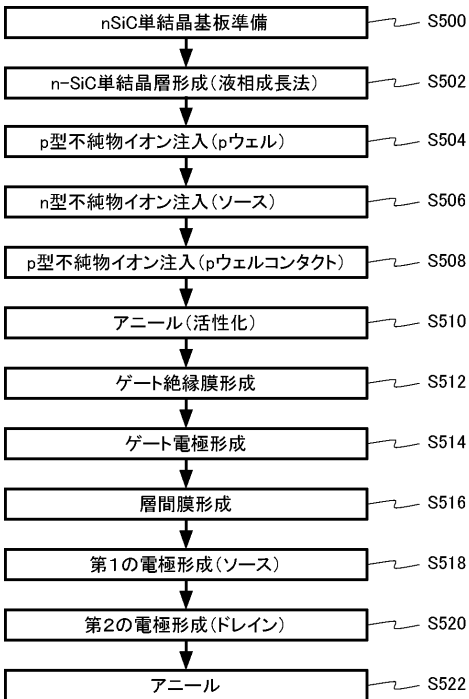
【図 28】



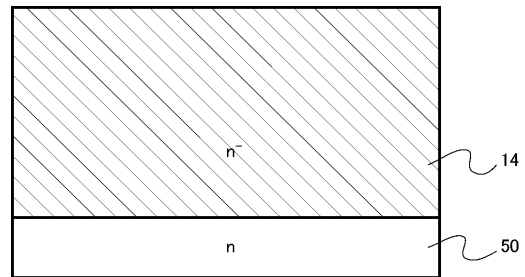
【図 29】



【図 30】



【図 31】



フロントページの続き

| (51)Int.Cl. | F I | テーマコード(参考) |
|--------------------------|----------------|------------|
| H 0 1 L 29/12 (2006.01) | H 0 1 L 29/50 | M |
| H 0 1 L 21/336 (2006.01) | H 0 1 L 29/78 | 6 5 2 T |
| H 0 1 L 21/20 (2006.01) | H 0 1 L 29/78 | 6 5 8 E |
| H 0 1 L 21/329 (2006.01) | H 0 1 L 29/78 | 6 5 2 E |
| H 0 1 L 29/868 (2006.01) | H 0 1 L 29/78 | 6 5 2 G |
| H 0 1 L 29/861 (2006.01) | H 0 1 L 21/20 | |
| H 0 1 L 29/06 (2006.01) | H 0 1 L 29/91 | B |
| H 0 1 L 29/167 (2006.01) | H 0 1 L 29/91 | D |
| | H 0 1 L 29/06 | 3 0 1 M |
| | H 0 1 L 29/06 | 3 0 1 V |
| | H 0 1 L 29/91 | F |
| | H 0 1 L 29/167 | |

(72)発明者 太田 千春

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 飯島 良介

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 東芝リサーチコンサルティング株式会社内

Fターム(参考) 4M104 AA03 BB01 BB05 CC01 CC05 DD37 DD78 DD79 EE03 EE14
 EE15 FF02 FF17 GG02 GG06 GG09
 5F053 AA03 AA45 BB04 BB15 BB59 DD02 FF01 FF02 GG01 HH01
 HH04 JJ01 JJ03 KK03 KK10 LL10 PP03 PP06 RR03 RR04
 5F152 LL02 LL13 LN03 MM02 MM03 MM04 MM06 NN05 NN27 NP02
 NQ02 NQ17