



# (12) 发明专利申请

(10) 申请公布号 CN 103209922 A

(43) 申请公布日 2013. 07. 17

(21) 申请号 201180053926. 1

(51) Int. Cl.

(22) 申请日 2011. 09. 20

*B81C 1/00* (2006. 01)

(30) 优先权数据

*B81B 7/02* (2006. 01)

61/384, 319 2010. 09. 20 US

*B81B 1/00* (2006. 01)

*H01G 7/00* (2006. 01)

(85) PCT申请进入国家阶段日

2013. 05. 08

(86) PCT申请的申请数据

PCT/US2011/052417 2011. 09. 20

(87) PCT申请的公布数据

W02012/040245 EN 2012. 03. 29

(71) 申请人 快捷半导体公司

地址 美国加利福尼亚州

(72) 发明人 J·布雷泽克

约翰·加德纳·布卢姆斯伯

C·阿卡

(74) 专利代理机构 北京派特恩知识产权代理事

务所(普通合伙) 11270

代理人 武晨燕 张颖玲

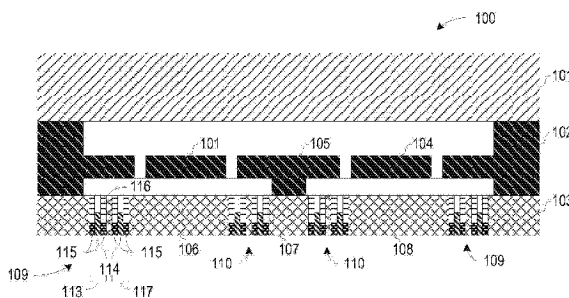
权利要求书1页 说明书6页 附图6页

## (54) 发明名称

具有减小的并联电容的硅通孔

## (57) 摘要

本文涉及用于微机电系统(MEMS)传感器的器件层的装置和方法,所述MEMS传感器具有通孔,所述通孔具有减小的并联电容。在一个实例中,器件层可包括衬底,该衬底具有在水平方向上被所述衬底的一部分分隔开的一对沟槽,其中,该对沟槽中的每个沟槽包括包含电介质的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含多晶硅的第三垂直层分隔开。



1. 一种通孔层,用于 MEMS 器件,所述通孔层包括:  
衬底,具有在水平方向上被所述衬底的一部分分隔开的一对沟槽,其中,该对沟槽中的每个沟槽包括包含电介质的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含多晶硅的第三垂直层分隔开。
2. 根据权利要求 1 所述的通孔层,其中,所述第三垂直层中少于约 80% 的量包括多晶硅。
3. 根据权利要求 1 所述的通孔层,其中,所述第三垂直层中少于约 20% 的量包括多晶硅。
4. 根据权利要求 1 所述的通孔层,其中,所述第一垂直层和第二垂直层包括热氧化物。
5. 根据权利要求 1 所述的通孔层,其中,所述第一垂直介电层和第二垂直介电层中的每一层包括热氧化物和第三材料,所述第三材料的介电常数小于所述热氧化物的介电常数。
6. 一种传感器,包括:  
覆盖层;  
器件层,连接到所述覆盖层,所述器件层包括检测质量块;以及  
通孔层,连接到所述器件层,其中,所述器件层包括:  
硅衬底,具有在水平方向上被所述硅衬底的一部分分隔开的一对沟槽,  
其中,该对沟槽中的每个沟槽包括包含电介质的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含多晶硅的第三垂直层分隔开。
7. 根据权利要求 6 所述的传感器,其中,所述第三垂直层中少于约 80% 的量包括多晶硅。
8. 根据权利要求 6 所述的传感器,其中,所述第三垂直层中少于约 20% 的量包括多晶硅。
9. 根据权利要求 6 所述的传感器,所述第一垂直层和第二垂直层包括热氧化物。
10. 根据权利要求 6 所述的传感器,其中,所述第一垂直介电层和第二垂直介电层中的每一层包括热氧化物和第二材料,所述第二材料的介电常数小于所述热氧化物的介电常数。

## 具有减小的并联电容的硅通孔

[0001] 要求优先权

[0002] 本申请要求 2010 年 9 月 20 日递交的、题为“TSV WITH REDUCED SHUNT CAPACITANCE(具有减小的并联电容的 TSV)”(代理机构案号 2921.103PRV) 美国临时专利申请序列号 No. 61/384,319 的优先权,其全部内容通过引用并入本文。

### 背景技术

[0003] 微机电系统 (MEMS) 芯片可包括多层,这多层中包括通孔层。通孔层可包括介电沟槽 (trench),该介电沟槽用于形成对 MEMS 芯片中 MEMS 器件的特性进行感应的电极。这种沟槽在美国专利 No. 7,539,003 中提及。介电沟槽可具有巨大的并联电容,该并联电容会降低 MEMS 器件(如用于电容传感或射频 (RF) 应用的 MEMS 器件)的性能。

### 发明内容

[0004] 在某些实例中,微电子机械系统 (MEMS) 传感器可包括具有减小的并联电容的通孔 (via)。在一个实例中,器件层可包括:衬底 (substrate),该衬底具有在水平方向上被所述衬底的一部分分隔开的一对沟槽,其中,该对沟槽中的每个沟槽包括含电介质的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含多晶硅的第三垂直层分隔开。

[0005] 该部分旨在提供对本专利申请的主题的概述,而非旨在提供对本发明的排他性或穷尽性解释。本文包含了具体实施方式以提供与本专利申请有关的进一步信息。

### 附图说明

[0006] 在附图(其不一定按比例绘制)中,相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示同类部件的不同例子。附图以示例而非限制的方式大体示出了本文中所论述的各个实例。

[0007] 图 1 大体示出了一个实例 MEMS 器件的截面图;

[0008] 图 2 大体示出了一个实例通孔层的布局视图;

[0009] 图 3A 大体示出了通孔层的一个实例 TSV 结构的等效电路 300;

[0010] 图 3B 大体示出了通孔层的一个实例 TSV 结构的可选的布局等效电路;

[0011] 图 4 大体示出了作为不同沟槽结构和感应电容的频率函数的阻抗的比较;

[0012] 图 5 大体示出了对于四种沟槽结构感应电容器阻抗与并联阻抗作为频率的函数的比较。

### 具体实施方式

[0013] 发明人已经发现用于在 MEMS 器件的通孔层中形成电极的结构和方法,其明显减小了与现有设计相关的并联电容。在某些实例中,集成 MEMS 器件的一层可包括多个高电阻率的多晶填充层 (poly filled layer) 与多个电介质层 (dielectric layer) 相互交错的硅通孔 (TSV) 结构。所述 TSV 结构能够将高电阻率多晶与电介质串联连接,由此减小对所述

MEMS 器件中感应电容器的电容分流效应 (capacitive shunting effect)。在某些实例中,与所述 MEMS 器件相关的电子器件的工作频率可选择为使得所述感应电容器的阻抗大于并联电容的阻抗,由此减小所述并联电容的影响。在一个实例中,包括低 K 电介质或包括低 K 电介质与其他材料(如热氧化物、掺杂氧化物或其他介电材料)的组合的介电沟槽可降低并联电容,例如,所述低 K 电介质的介电常数小于用在沟槽中的氧化物的介电常数。在一个实例中,所述低 K 电介质的介电常数可约为氧化物的介电常数的一半。

[0014] 在某些实例中,沟槽可部分地由多晶填充且处于负压下(如真空中)。处于真空中的沟槽区域内的介电常数可以是氧化物的介电常数的 1/4,由此减小由氧化物填充的沟槽的并联电容。

[0015] 图 1 大体示出了一个实例 MEMS 器件 100 的截面图。在某些实例中,MEMS 器件 100 可包括三层:覆盖层 (cap layer) 101、器件层 102 和通孔层 103。器件层 102 可包括由锚 105 支撑的可移动部分 104。在某些实例中,MEMS 器件 100 的可移动部分 104 可由硅晶圆刻蚀而成。经刻蚀的器件层 102 可包括允许对可移动部分 104 的平面内 (in-plane) 和平面外 (out-of-plane) 移动进行感应的结构。在某些实例中,可移动部分 104 可被驱动为以特定频率进行振荡,从而允许对 MEMS 器件 100 的角加速度进行感应。

[0016] 覆盖层 101 可提供器件层 102 中可移动部分 104 的环境外壳 (environmental enclosure) 的至少一部分。在某些实例中,覆盖层 101 可包括凹部(未示出)以适应器件层 102 中的可移动部分 104 的移动。在一个实例中,覆盖层 101 可限制例如在 MEMS 器件 100 机械震动时,器件层 102 的可移动部分 104 的移动。在某些实例中,覆盖层 101 与器件层 102 相粘合,从而可使器件层 102 的可移动部分 104 周围保持真空。

[0017] 通孔层 103 也可提供器件层 102 中可移动部分 104 的环境外壳的至少一部分。在某些实例中,通孔层 103 可包括用于感应或驱动器件层 102 中的可移动部分 104 的电极 106、107、108。在一个实例中,器件层电极中的一个或多个电极,例如驱动电极 107,可为器件层 102 提供驱动信号。在一个实例中,通孔层 103 中的一个或多个感应电极 106、108 可提供对器件层 102 中的可移动部分 104 的移动进行指示的感应信息。在某些实例中,感应信息可包括与器件层 102 中的可移动部分 104 的移动相关的感应电容的变化。在一个实例中,通孔层 103 内的沟槽 109、110 可为所述感应电极提供一定程度的电隔离。

[0018] 图 2 大体示出了包括与现有结构相比可提供减小的并联电容的沟槽或通孔结构的实例通孔层 203 的布局视图。通孔层 203 的布局包括用于多个电极的区域。在一个实例中,通孔层 203 的布局可包括位于中心附近的驱动电极 207 和围绕驱动电极 207 的感应电极 206、208。在某些实例中,所述感应电极可通过介电沟槽或通孔结构 209、210 与驱动电极 207 以及通孔层 203 的硅的外部区域隔离。

[0019] 参见图 1,可延展至图 2 的实例,在一个实例中,介电沟槽 109、110 可包括第一沟槽区域 113,该第一沟槽区域 113 包括位于垂直介电层 115 之间的垂直多晶硅层 114。在一个实例中,第二沟槽区域 117 可包括位于介电层 115 之间的第二垂直多晶硅层 118,其中,第二沟槽区域 117 通过垂直单晶硅层 116 与所述第一沟槽区域隔离。关于图 1,驱动信号可经由通孔层 103 的部分(如,通过四重介电沟槽 110 与感应电极 106、108 电隔离的锚电极 107)施加至器件层 102 中的可移动部分 104。在一个实例中,感应电极 106、108 中除与驱动电极 107 相对的一侧之外的另一侧可通过另一四重介电沟槽 109 与通孔层 103 的接地部

分隔离。

[0020] 在一个实例中,未示出地,一隔离沟槽可将感应电极包围,且一单独的沟槽可形成于所述锚电极的周围以连接驱动电压。由于所述驱动电压不易受并联电容的影响,因此简单的单个沟槽即可用于隔离所述锚电极。

[0021] 所述 MEMS 器件的传感器可包括连接到感应电极 106、108 的感应电容。器件层 102 中可移动部分 104 的移动可改变所述感应电容。某些实例中的包含低阻单晶硅的感应电极 106、108 可用于测量所述感应电容的变化。

[0022] 图 3A 大体示出了通孔层的一个实例 TSV 结构的等效电路 300。在某些实例中,所述等效电路可包括驱动电极 307、感应电极 306、感应电容 326、第一 TSV 网络 310 和第二 TSV 网络 309。感应电容 326 可随所述器件层的移动而改变。在一个实例中,第一 TSV 网络 310 可表示驱动电极 307 与感应电极 306 之间的隔离沟槽。第二 TSV 网络 309 可表示感应电极 306 与所述通孔层的周界部分之间的隔离沟槽。每个网络 309、310 可包括四个电容元件 315 和三个电阻元件 314、316。电容元件 315 可与如上结合图 1 和图 2 论述的四个垂直介电层相关。三个电阻元件中的两个电阻元件 314 可与两个垂直多晶硅层相关。在一个实例中,第三电阻元件 316 可与低阻的垂直单晶硅层相关。相对高阻的垂直多晶硅层 314 与电介质的并联电容 315 串联连接,可减小对所述传感器的分流效应,从而改善感应电容 326 的性能。

[0023] 图 3B 大体示出了通孔层的一个实例 TSV 结构的替代的布局等效电路。例如,由于低源阻抗,所述驱动电压大体上不易受并联电容的影响,因此会出现由在感应电容器输出处的加载引起的 MEMS 传感器性能的劣化。在使用该替代布局的实例中,等效电路 330 示出了 TSV 结构 331、332 的并联电容加载在感应电容 326 的两侧。

[0024] 对减小并联电容的其他改进可通过使用多晶硅和电介质的不同组合与类型来实现。例如,当垂直介电层包括两种材料时,例如包括介电常数约为 3.9 以确保密封性 (hermeticity) 的热氧化物和介电常数约为 2 以在制作过程期间提供结构强度的低 K 电介质时,可进一步减小并联电容。在某些实例中,低 K 介电材料可为多孔的,由此无法保持真空。因此,一些低 K 电介质不适于 100% 沟槽填充。组合介电层可保持真空并具备与低 K 电介质相关的好处。

[0025] 在一个实例中,并联电容的减小 X 作为沟槽长度和分别为 K1、K2 的各介电常数的函数,可取决于氧化物含量 (O%) 和低 K 电介质含量 (D%)。例如,

$$[0026] \quad X = (K2 * D + K1 * O) / K1$$

[0027] 如果氧化物占沟槽的 20% 且低 K 电介质占 80%, 且  $K1 = 3.9$ ,  $K2 = 2$ , 那么,

$$[0028] \quad X = (2 * 0.8 + 3.9 * 0.2) / 3.9 = 0.61,$$

[0029] 表示与仅由氧化物填充的沟槽相比,并联电容减小了 39%。

[0030] 如果沟槽长度为 4.0mm, 通孔层为 200um, 沟槽面积为  $0.8\text{mm}^2$ , 则对于 1um 厚的电介质, 其氧化物电容约为 27.6pF。以低 K 介电材料对沟槽的 80% 进行填充, 可将电容减小至约为 16.8pF。

[0031] 对沟槽的非介电垂直层进行部分地填充也可减小并联电容。在某些实例中,如果在所述 TSV 的制作过程中将部分多晶硅填充物去除 (刻蚀), 可进一步减小并联电容。该减小效果与使用低 K 电介质的效果相似。当多晶硅层的厚度是介电层的几倍且所述沟槽暴露

于介电常数约为 1 (是一些低 K 电介质的 1/2) 的真空中时,该减小效果可更大。对于上述实例的沟槽,如果约为 80% 的多晶硅厚度被去除,则并联电容会从约 27.6pf 降到约 6.1pf。

[0032] 图 4 大体示出了作为各种沟槽结构和 1pf 感应电容 405 的阻抗-频率函数的比较。所述各种沟槽结构包括具有高阻多晶填充物的单沟槽结构 401、双沟槽结构 402 和四重沟槽结构 403,以及使用低 K 电介质和 80% 多晶硅回蚀的四重沟槽结构 404。

[0033] 信噪比的劣化及由此产生的可用性能损失可正比于感应电容器阻抗与并联阻抗的比值。图 5 大体示出了 (感应电容器 / 四种沟槽结构的并联阻抗) - 频率函数的比较。四种结构包括具有高电阻率的多晶填充物的单沟槽结构 501、双沟槽结构 502 和四重沟槽结构 503,以及使用低 K 电介质和 80% 多晶硅回蚀的四重沟槽结构 504。选择比值低于 1 的电子器件的工作频率能够使得 TSV 电容的分流影响大幅度减小。高阻多晶硅可提供足够低的低信噪比以避免过多的功耗。例如,比较显示,所述单沟槽结构在示出的频率范围内看不到感应电容器阻抗与并联阻抗的比值低于 1。相反,具有低 K 电介质和 20% 多晶填充物的所述四重沟槽结构在直流状态下,感应电容器阻抗与并联阻抗的比值低于 1,且在 639kHz 附近,该比值低于 0.1。一般而言,MEMS 器件的工作频率越低,则功耗越低,当在具有受限电源的移动系统中使用 MEMS 器件时,可具备显著优势。

#### [0034] 补充注释及实例

[0035] 在实例 1 中,一种方法包括:在硅衬底的第一侧刻蚀出至少一对沟槽,在所述硅衬底的第一侧上形成氧化物层,在所述氧化物层上形成多晶硅层,将在该对沟槽中的每个沟槽内的所述多晶硅层回蚀至预定深度,以及在所述沟槽的侧壁上形成介电层,所述介电层包括所述氧化物层的一部分和第二介电材料。

[0036] 在实例 2 中,实例 1 的所述方法可选地包括在所述氧化物层的顶部形成氮化物层。

[0037] 在实例 3 中,实例 1 至 2 中任意一个或多个实例的所述形成氮化物层可选地包括:将所述多晶硅层的一部分去除,直至到达所述沟槽中的氧化物层的上表面,其中,所述将所述多晶硅层的一部分去除包括:将所述多晶硅层的位于所述沟槽中的部分留下。

[0038] 在实例 4 中,实例 1 至 3 中任意一个或多个实例的在所述氧化物层的顶部形成氮化物层可选地包括:在所述氮化物层的顶部形成抗蚀层 (resist layer)。

[0039] 在实例 5 中,实例 1 至 4 中任意一个或多个实例的所述方法可选地包括:对所述抗蚀层进行图案化以限定凹部的边界。

[0040] 在实例 6 中,实例 1 至 5 中任意一个或多个实例的所述方法可选地包括:去除所述氮化物的一部分以进一步限定所述凹部的所述边界。

[0041] 在实例 7 中,实例 1 至 6 中任意一个或多个实例的所述方法可选地包括:刻蚀所述凹部到所述硅衬底。

[0042] 在实例 8 中,实例 1 至 7 中任意一个或多个实例的所述刻蚀所述凹部可选地包括:从所述沟槽的侧壁上去除所述氧化物层的一部分。

[0043] 在实例 9 中,实例 1 至 8 中任意一个或多个实例的所述形成氧化物层可选地包括:在所述沟槽的侧壁上形成氧化物层。

[0044] 在实例 10 中,实例 1 至 9 中任意一个或多个实例的所述方法可选地包括:将所述硅衬底的所述第一侧的一部分与 MEMS 传感器的器件层相粘合。

[0045] 在实例 11 中,实例 1 至 10 中任意一个或多个实例的所述方法可选地包括:磨削所

述硅衬底的第二侧以暴露所述沟槽的第一端。

[0046] 在实例 12 中,用于 MEMS 器件的一种通孔层,可包括:衬底,具有在水平方向上被所述衬底的一部分分隔开的一对沟槽,其中,该对沟槽中的每个沟槽包括包含第一材料的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含第二材料的第三垂直层分隔开,其中,所述第一材料包括电介质。

[0047] 在实例 13 中,实例 1 至 12 中任意一个或多个实例的所述第二材料可选地包括:多晶硅。

[0048] 在实例 14 中,实例 1 至 13 中任意一个或多个实例的所述第三垂直层可选地包括:包含少于 80% 的多晶硅的量。

[0049] 在实例 15 中,实例 1 至 14 中任意一个或多个实例的所述第三垂直层可选地包括:包含少于 20% 的多晶硅的量。

[0050] 在实例 16 中,实例 1 至 16 中任意一个或多个实例的所述第一垂直层和第二垂直层可选地包括:热氧化物。

[0051] 在实例 17 中,实例 1 至 16 中任意一个或多个实例的所述第一垂直层和第二垂直层的每一层可选地包括:热氧化物和第三材料,所述第三材料的介电常数小于所述热氧化物的介电常数。

[0052] 在实例 18 中,实例 1 至 17 中任意一个或多个实例的所述第一材料可选地包括:热氧化物,且实例 17 中的所述第二材料可选地包括:电介质,所述电介质的介电常数小于所述热氧化物的介电常数。

[0053] 在实例 19 中,一种传感器可包括:覆盖层、连接到所述覆盖层的器件层(包括检测质量块)和连接到所述器件层的通孔层,其中,所述器件层可包括:硅衬底,具有在水平方向上被所述硅衬底的一部分分隔开的一对沟槽,且其中,该对沟槽中的每个沟槽包括含电介质的第一垂直层和第二垂直层,所述第一垂直层和第二垂直层被包含多晶硅的第三垂直层分隔开。

[0054] 在实例 20 中,实例 1 至 19 中任意一个或多个实例的所述第三垂直层可选地包括:少于 80% 的多晶硅的量。

[0055] 在实例 21 中,实例 1 至 20 中任意一个或多个实例的所述第三垂直层可选地包括:少于 20% 的多晶硅的量。

[0056] 在实例 22 中,实例 1 至 21 中任意一个或多个实例的所述第一垂直层和第二垂直层可选地包括:热氧化物。

[0057] 在实例 23 中,实例 1 至 22 中任意一个或多个实例的所述第一垂直层和第二垂直层的每一层可选地包括:热氧化物和第二材料,所述第二材料的介电常数小于所述热氧化物的介电常数。

[0058] 上述详细说明书参照了附图,附图也是所述详细说明书的一部分。附图以图解的方式显示了可应用本发明的具体实施例。这些实施例在本发明中被称作“示例”。本发明所涉及的所有出版物、专利及专利文件全部作为本发明的参考内容,尽管它们是分别加以参考的。如果本发明与参考文件之间存在用途差异,则将参考文件的用途视作本发明的用途的补充,若两者之间存在不可调和的差异,则以本发明的用途为准。

[0059] 在本发明中,与专利文件通常使用的一样,术语“一”或“某一”表示包括一个或多个

个,但其他情况或在使用“至少一个”或“一个或多个”时应除外。在本发明中,除非另外指明,否则使用术语“或”指无排他性的或者,使得“A或B”包括:“A但不是B”、“B但不是A”以及“A和B”。在所附权利要求中,术语“包含”和“在其中”等同于各个术语“包括”和“其中”的通俗英语。同样,在下面的权利要求中,术语“包含”和“包括”是开放性的,即,系统、装置、物品或步骤包括除了权利要求中这种术语之后所列出的那些元件以外的部件的,依然视为落在该条权利要求的范围之内。而且,在下面的权利要求中,术语“第一”、“第二”和“第三”等仅仅用作标签,并非对对象有数量要求。

[0060] 上述说明的作用在于解说而非限制。在其它示例中,上述示例(或示例的一个或多个方面)可结合使用。可以在理解上述说明书的基础上,利用现有技术的某种常规技术来执行其他实施例。遵照 37C. F. R. § 1. 72(b) 的规定提供摘要,允许读者快速确定本技术公开的性质。提交本摘要时要理解的是该摘要不用于解释或限制权利要求的范围或意义。同样,在上面的具体实施方式中,各种特征可归类成将本公开合理化。这不应理解成未要求的公开特征对任何权利要求必不可少。相反,本发明的主题可在于的特征少于特定公开的实施例的所有特征。因此,下面的权利要求据此并入具体实施方式中,每个权利要求均作为一个单独的实施例。应参看所附的权利要求,以及这些权利要求所享有的等同物的所有范围,来确定本发明的范围。



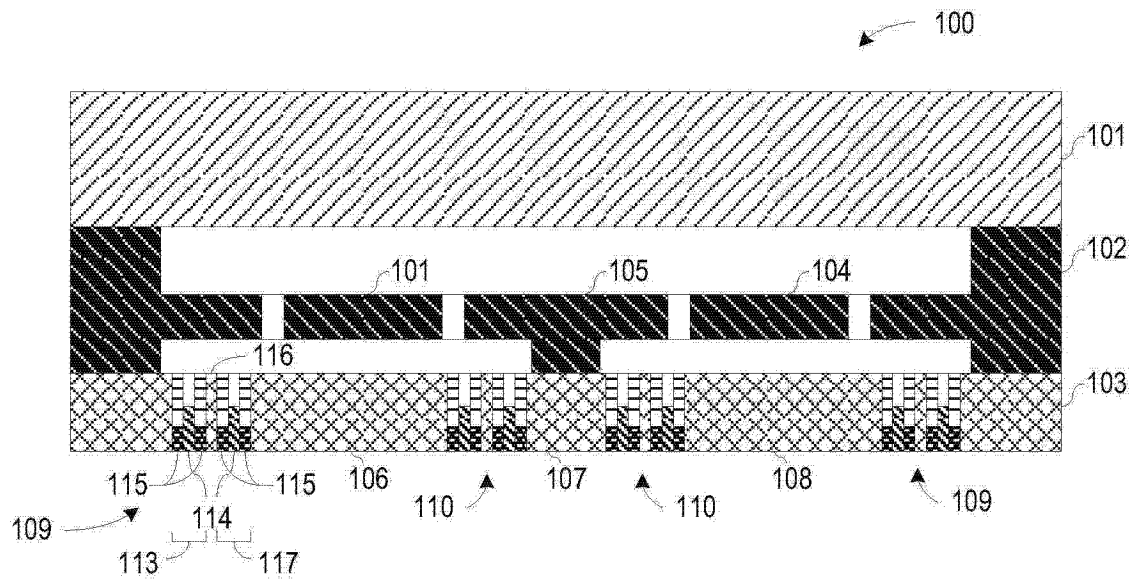


图 1

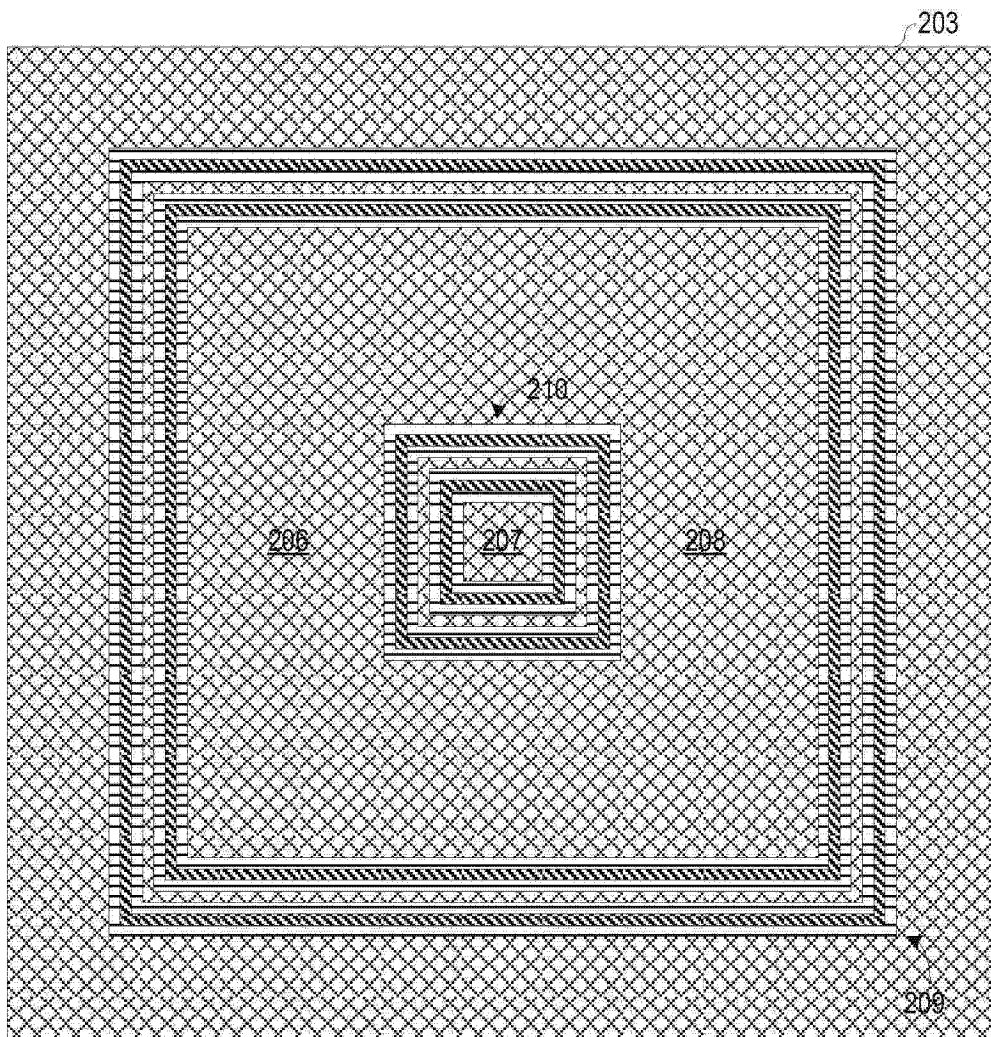


图 2

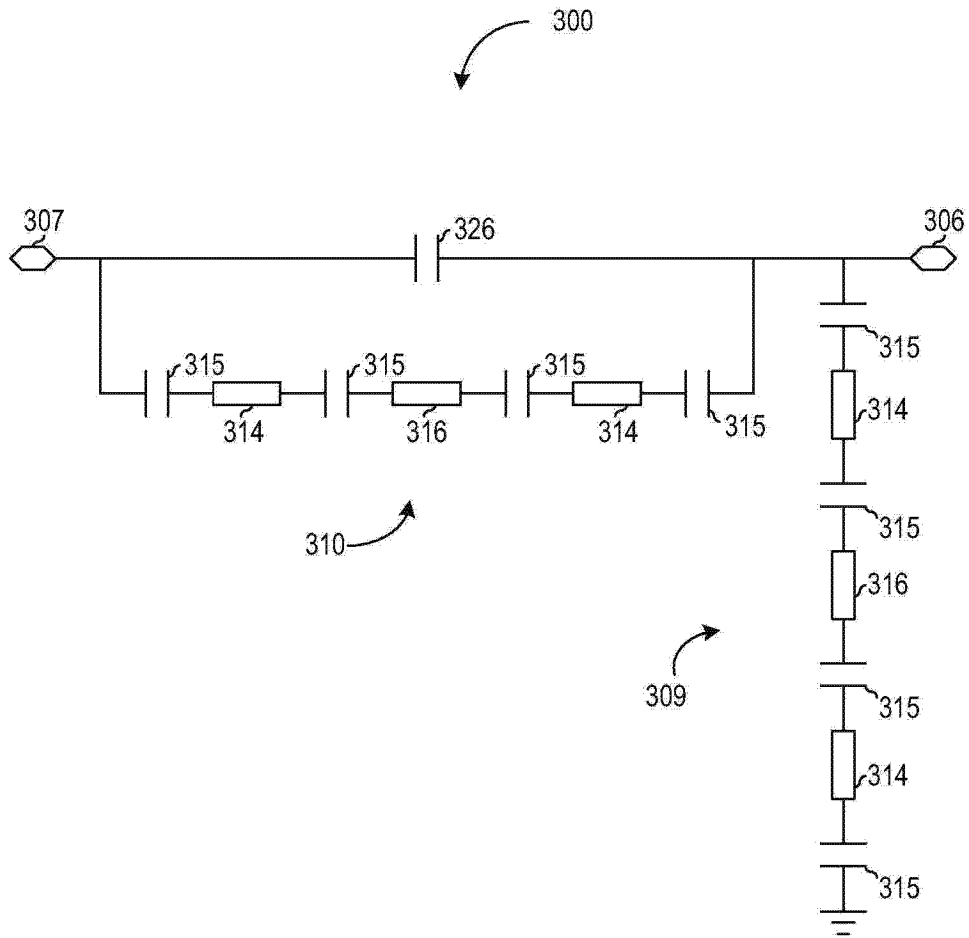


图 3A

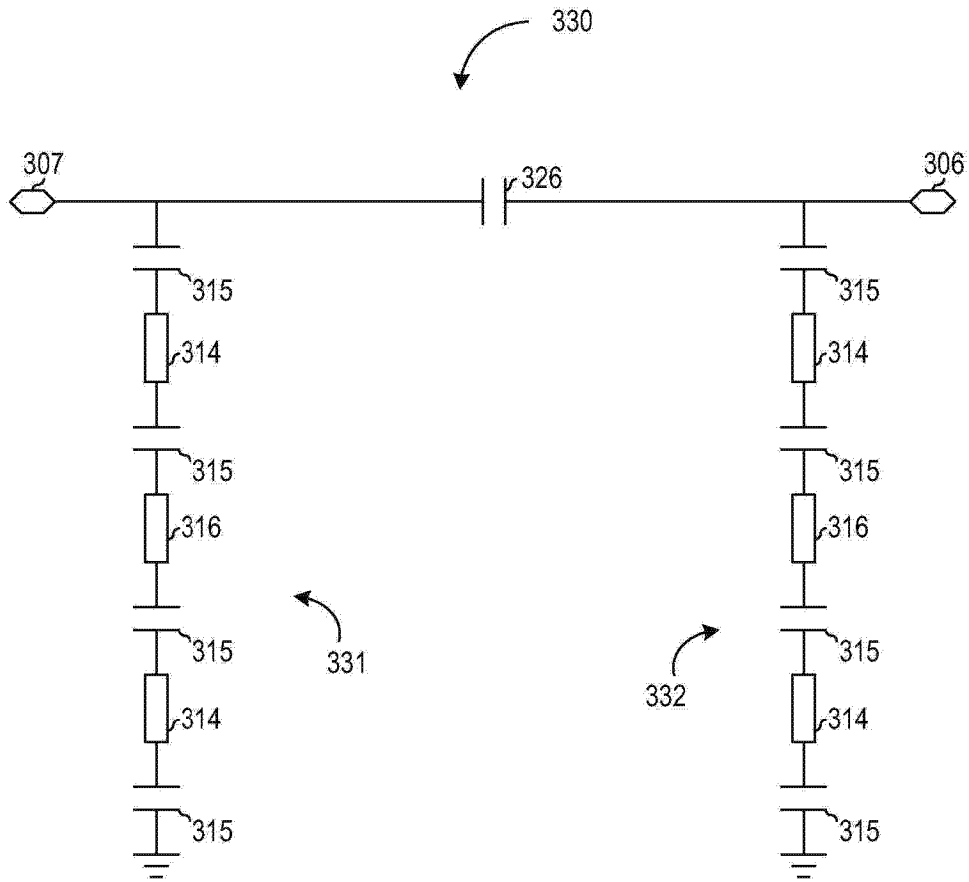


图 3B

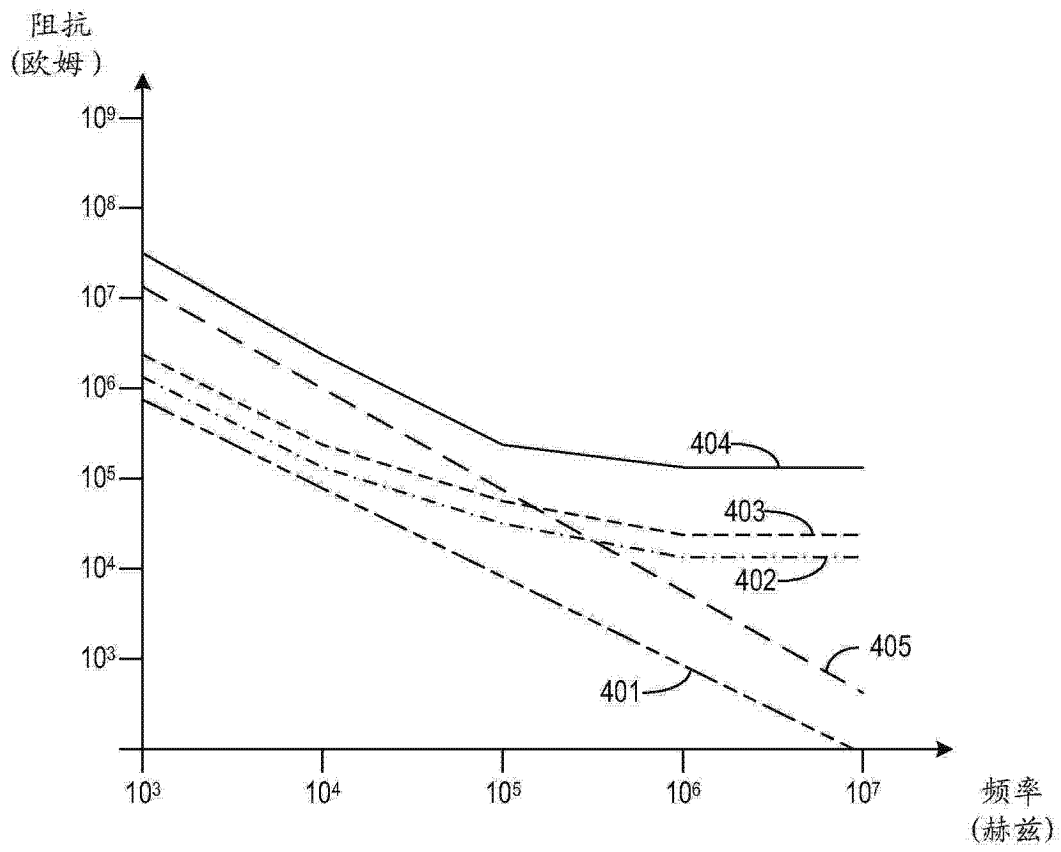


图 4

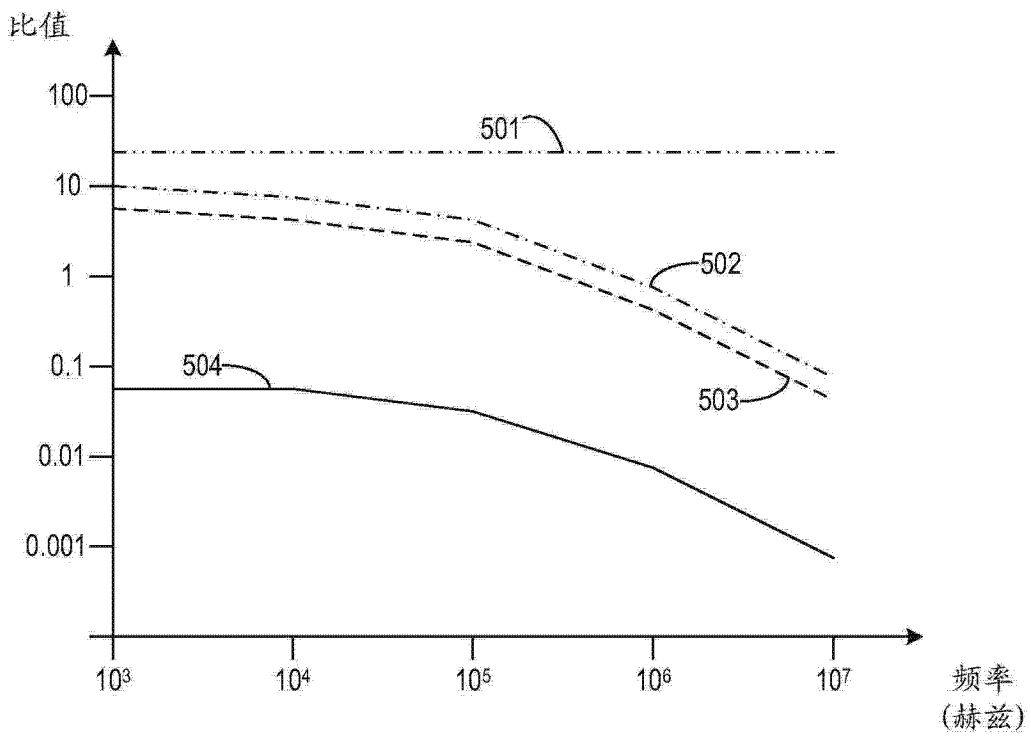


图 5