



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0006920  
(43) 공개일자 2009년01월16일

(51) Int. Cl.

G06F 12/00 (2006.01) G06F 12/06 (2006.01)

(21) 출원번호 10-2007-0070369

(22) 출원일자 2007년07월13일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

임광석

서울 관악구 봉천본동 두산아파트 202동 1501호

김혜영

서울 강서구 등촌2동 520-3 신성주택A동 103호

(74) 대리인

윤재석, 권영규, 한지희

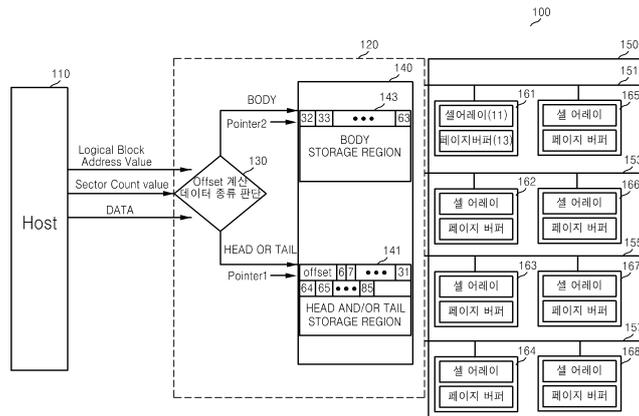
전체 청구항 수 : 총 16 항

(54) 캐시 메모리 장치 및 캐시 메모리 장치의 데이터 처리 방법

(57) 요약

캐시 메모리 장치가 개시된다. 상기 캐시 메모리 장치는 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리, 및 컨트롤 블록을 포함한다. 상기 컨트롤 블록은 수신될 데이터의 종류를 판단하고 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 수행한다.

대표도 - 도2



**특허청구의 범위**

**청구항 1**

수신될 데이터의 종류를 판단하는 (a)단계; 및

판단 결과에 기초하여, 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 수행하는 (b)단계를 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 2**

제1항에 있어서, 상기 (a)단계는,

논리적 블록 주소 값과 섹터 카운트 값을 수신하는 단계; 및

수신된 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하고, 계산된 오프셋, 및 수신된 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터의 종류를 판단하는 단계를 포함하며,

상기 (b)단계는,

계산된 오프셋과 상기 판단 결과에 기초하여, 상기 헤드 또는 상기 테일 중에서 적어도 하나를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송 또는 상기 바디를 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송 중에서 적어도 하나는 수행하는 단계를 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 3**

제1항에 있어서, 상기 캐시 메모리 장치의 데이터 처리 방법은,

상기 제2캐시 메모리 영역에 저장된 상기 바디를 채널을 통하여 외부 불휘발성 메모리 장치로 전송하는 단계를 더 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 4**

제2항에 있어서, 상기 오프셋은 상기 수신된 논리적 블록 주소 값을 상기 슈퍼페이지 크기 값으로 나눈 나머지인 캐시 메모리 장치의 데이터 처리 방법.

**청구항 5**

제2항에 있어서, 상기 슈퍼페이지 크기 값은 상기 캐시 메모리 장치와 외부 불휘발성 메모리 장치 사이의 채널들의 수와 상기 외부 불휘발성 메모리 장치 내에 구현된 하나의 페이지 버퍼에 저장될 수 있는 섹터들의 수의 곱인 캐시 메모리 장치의 데이터 처리 방법.

**청구항 6**

수신될 데이터에 바디가 포함되는지의 여부를 판단하는 (a)단계; 및

판단 결과에 기초하여, 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 또는 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송하는 (b)단계를 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 7**

제6항에 있어서, 상기 (a)단계는,

논리적 블록 주소 값과 섹터 카운트 값을 수신하는 단계;

수신된 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 단계; 및

계산된 오프셋, 및 수신된 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터에 상기 바디가 포함되어 있는지의 여부를 판단하는 단계를 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 8**

제6항에 있어서, 상기 캐시 메모리 장치의 데이터 처리 방법은,

상기 제2캐시 메모리 영역에 저장된 상기 바디를 포함하는 상기 데이터를 채널을 통하여 외부 불휘발성 메모리 장치로 전송하는 단계를 더 포함하는 캐시 메모리 장치의 데이터 처리 방법.

**청구항 9**

제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및

수신될 데이터의 종류를 판단하고, 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 수행하는 컨트롤 블록을 포함하는 캐시 메모리 장치.

**청구항 10**

제9항에 있어서, 상기 컨트롤 블록은,

논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 오프셋 계산기;

계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값에 기초하여 상기 수신될 데이터의 종류를 판단하는 판단 유닛; 및

상기 오프셋 계산기에 의하여 계산된 오프셋과 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여, 상기 헤드 또는 상기 테일 중에서 적어도 하나를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송, 또는 상기 바디를 상기 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송 중에서 적어도 하나를 제어하는 컨트롤러를 포함하는 캐시 메모리 장치.

**청구항 11**

제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및

수신될 데이터에 바디가 포함되는지의 여부를 판단하고, 판단 결과에 기초하여, 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송하는 컨트롤 블록을 포함하는 캐시 메모리 장치.

**청구항 12**

제11항에 있어서, 상기 컨트롤 블록은,

논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 오프셋 계산기;

계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터에 바디가 포함되어 있는지의 여부를 판단하는 판단 유닛; 및

상기 데이터를 수신하고, 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여, 상기 바디를 포함하지 않는 상기 수신된 데이터를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신된 데이터를 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송하는 컨트롤러를 포함하는 캐시 메모리 장치.

**청구항 13**

캐시 메모리 장치, 불휘발성 메모리 장치, 및 상기 캐시 메모리 장치와 상기 불휘발성 메모리 장치 사이에 접속된 다수의 채널들을 포함하는 시스템에 있어서,

상기 캐시 메모리 장치는,

제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및

수신될 데이터의 종류를 판단하고, 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상

기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 제어하는 컨트롤 블록을 포함하며,  
 상기 컨트롤 블록은 상기 제2캐시 메모리 장치에 저장된 상기 바디를 상기 다수의 채널들 중에서 적어도 하나의 채널을 통하여 상기 불휘발성 메모리 장치로 전송하는 시스템.

**청구항 14**

제13항에 있어서, 상기 컨트롤 블록은,  
 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 오프셋 계산기;  
 계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값에 기초하여 상기 수신될 데이터의 종류를 판단하는 판단 유닛; 및  
 상기 오프셋 계산기에 의하여 계산된 오프셋과 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여, 상기 헤드 또는 상기 테일 중에서 적어도 하나를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송, 또는 상기 바디를 상기 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송 중에서 적어도 하나를 제어하는 컨트롤러를 포함하는 시스템.

**청구항 15**

캐시 메모리 장치, 불휘발성 메모리 장치, 및 상기 캐시 메모리 장치와 상기 불휘발성 메모리 장치 사이에 접속된 다수의 채널들을 포함하는 시스템에 있어서,  
 상기 캐시 메모리 장치는,  
 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및  
 수신될 데이터에 바디가 포함되는지의 여부를 판단하고, 판단 결과에 기초하여, 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송하는 컨트롤 블록을 포함하며,  
 상기 컨트롤 블록은 상기 제2캐시 메모리 장치에 저장된 상기 바디를 포함하는 상기 데이터를 상기 다수의 채널들 중에서 적어도 하나의 채널을 통하여 상기 불휘발성 메모리 장치로 전송하는 시스템.

**청구항 16**

제15항에 있어서, 상기 컨트롤 블록은,  
 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 오프셋 계산기;  
 계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터에 바디가 포함되어 있는지의 여부를 판단하는 판단 유닛; 및  
 상기 데이터를 수신하고, 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여, 상기 바디를 포함하지 않는 상기 수신된 데이터를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신된 데이터를 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송하는 컨트롤러를 포함하는 시스템.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체 장치에 관한 것으로서, 특히 호스트와 불휘발성 메모리 장치 사이에서 데이터의 쓰기/읽기 성능을 향상시킬 수 있는 캐시 메모리 장치 및 상기 캐시 메모리 장치의 데이터 처리 방법에 관한 것이다.

**배경기술**

<2> 직렬 ATA(Serial Advanced Technology Attachment ; 이하 SATA)형 솔리드 스테이트 디스크(Solid State Disk ; 이하 SSD)를 포함하는 시스템에서, 호스트의 데이터 전송 속도는 상기 SATA형 SSD 예컨대, 낸드 타입(NAND

type) EEPROM (Electrically Erasable and Programmable Read Only Memory ; 이하 EEPROM) 기반의 불휘발성 메모리 장치의 데이터 전송 속도보다 훨씬 빠르기 때문에, 상기 SATA형 SSD를 포함하는 시스템은 원활한 데이터 전송을 위하여 대용량 버퍼를 사용해야한다.

- <3> 도 1은 종래 기술에 따른 버퍼를 포함하는 불휘발성 메모리 시스템의 블록도를 나타낸다. 도 1을 참조하면, 불휘발성 메모리 시스템(10)은 호스트(20), 버퍼(30), 및 불휘발성 메모리 장치(40)를 포함한다.
- <4> 불휘발성 메모리 시스템(10)에서, 호스트(20)의 데이터 처리 속도가 불휘발성 메모리 장치(40)의 데이터 처리 속도보다 훨씬 빠르기 때문에, 호스트(20)부터 불휘발성 메모리 장치(40)로 전송되는 데이터를 저장하기 위하여 대용량의 버퍼(30)를 사용한다. 따라서, 버퍼(30)는 호스트(20)로부터 출력된 데이터 또는 호스트(20)로 출력될 데이터를 임시 저장한다. 버퍼(30)는 SDRAM(Synchronous Dynamic Random Access Memory)과 같은 휘발성 메모리 장치로 구현될 수 있다.
- <5> 불휘발성 메모리 장치(40)는 버퍼(30)로부터 출력된 데이터를 수신하여 저장한다. 불휘발성 메모리 장치(40)는 낸드 타입 EEPROM과 같은 불휘발성 메모리 셀들을 포함하는 메모리 셀 어레이(41), 및 페이지 버퍼(43)를 포함한다. 메모리 셀 어레이(41)는 페이지 버퍼(43)를 통하여 버퍼(30)와 데이터를 주고받는다.
- <6> 이 경우, 버퍼(30)가 불휘발성 메모리 장치(40)로 전송되는 데이터를 단순히 바이패스(bypass)하는 용도로 사용되기 때문에, 버퍼(30)를 포함하는 불휘발성 메모리 시스템(10)의 효율은 낮아진다.
- <7> 또한, 페이지 버퍼(43)는 한 페이지 단위(예컨대, n섹터, n은 자연수, n=8)로 데이터를 읽거나 쓴다. 예컨대, 버퍼(30)와 불휘발성 메모리 장치(40) 사이에 네 개의 채널들이 존재하고, 32-섹터(=4\*8-섹터) 단위로 버퍼(30)로부터 불휘발성 메모리 장치(40)로 데이터가 전송되는 경우, 불휘발성 메모리 시스템(10)은 완전한 성능(full performance)으로 동작할 수 있다.
- <8> 그러나, 버퍼(30)로부터 불휘발성 메모리 장치(40)로 전송되는 데이터가 32-섹터보다 작은 경우, 네 개의 채널들이 전부 사용되지 못하므로 불휘발성 메모리 시스템(10)의 효율은 낮아진다.

### 발명의 내용

#### 해결 하고자하는 과제

- <9> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점들을 해결하기 위하여 안출된 것으로서 호스트와 불휘발성 메모리 장치 사이에서 데이터의 쓰기/읽기 성능을 향상시킬 수 있는 캐시 메모리 장치 및 상기 캐시 메모리 장치의 데이터 처리 방법을 제공하는 것이다.
- <10> 또한, 본 발명이 이루고자 하는 기술적 과제는 캐시 메모리 장치를 포함하는 시스템을 제공하는 것이다.

#### 과제 해결수단

- <11> 상기 기술적 과제를 달성하기 위한 캐시 메모리 장치의 데이터 처리 방법은 수신될 데이터의 종류를 판단하는 (a)단계와 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 수행하는 (b)단계를 포함한다.
- <12> 상기 (a)단계는 논리적 블록 주소 값과 섹터 카운트 값을 수신하는 단계; 및 수신된 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하고, 계산된 오프셋, 및 수신된 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터의 종류를 판단하는 단계를 포함한다.
- <13> 상기 (b)단계는 계산된 오프셋과 상기 판단 결과에 기초하여, 상기 헤드 또는 상기 테일 중에서 적어도 하나를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송 또는 상기 바디를 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송 중에서 적어도 하나는 수행하는 단계를 포함한다.
- <14> 상기 캐시 메모리 장치의 데이터 처리 방법은 상기 제2캐시 메모리 영역에 저장된 상기 바디를 채널을 통하여 외부 불휘발성 메모리 장치로 전송하는 단계를 더 포함한다.
- <15> 상기 오프셋은 상기 수신된 논리적 블록 주소 값을 상기 슈퍼페이지 크기 값으로 나눈 나머지이다. 상기 슈퍼페이지 크기 값은 상기 캐시 메모리 장치와 외부 불휘발성 메모리 장치 사이의 채널들의 수와 상기 외부 불휘발성 메모리 장치 내에 구현된 하나의 페이지 버퍼에 저장될 수 있는 섹터들의 수의 곱이다.

- <16> 상기 기술적 과제를 달성하기 위한 캐시 메모리 장치의 데이터 처리 방법은 수신될 데이터에 바디가 포함되는지의 여부를 판단하는 (a)단계와 판단 결과에 기초하여, 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 또는 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송하는 (b)단계를 포함한다.
- <17> 상기 (a)단계는 논리적 블록 주소 값과 섹터 카운트 값을 수신하는 단계; 수신된 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하는 단계; 및 계산된 오프셋, 및 수신된 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터에 상기 바디가 포함되어 있는지의 여부를 판단하는 단계를 포함한다. 상기 캐시 메모리 장치의 데이터 처리 방법은 상기 제2캐시 메모리 영역에 저장된 상기 바디를 포함하는 상기 데이터를 채널을 통하여 외부 불휘발성 메모리 장치로 전송하는 단계를 더 포함한다.
- <18> 상기 기술적 과제를 달성하기 위한 캐시 메모리 장치는 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및 컨트롤 블록을 포함한다. 상기 컨트롤 블록은 수신될 데이터의 종류를 판단하고, 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 수행한다.
- <19> 상기 컨트롤 블록은 오프셋 계산기, 판단 유닛, 및 컨트롤러를 포함한다. 상기 오프셋 계산기는 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산한다. 상기 판단 유닛은 계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값에 기초하여 상기 수신될 데이터의 종류를 판단한다. 상기 컨트롤러는 상기 오프셋 계산기에 의하여 계산된 오프셋과 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여, 상기 헤드 또는 상기 테일 중에서 적어도 하나를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송, 또는 상기 바디를 상기 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송 중에서 적어도 하나를 제어한다.
- <20> 상기 기술적 과제를 달성하기 위한 캐시 메모리 장치는 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리; 및 컨트롤 블록을 포함한다. 상기 컨트롤 블록은 수신될 데이터에 바디가 포함되는지의 여부를 판단하고, 판단 결과에 기초하여 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송한다.
- <21> 상기 컨트롤 블록은 오프셋 계산기, 판단 유닛, 및 컨트롤러를 포함한다. 상기 오프셋 계산기는 논리적 블록 주소 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산한다. 상기 판단 유닛은 계산된 오프셋, 및 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비에 기초하여 상기 수신될 데이터에 바디가 포함되어 있는지의 여부를 판단한다. 상기 컨트롤러는 상기 데이터를 수신하고, 상기 판단 유닛으로부터 출력된 판단 결과에 기초하여 상기 바디를 포함하지 않는 상기 수신된 데이터를 제1포인터에 의하여 지정된 상기 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신된 데이터를 제2포인터에 의하여 지정된 상기 제2캐시 메모리 영역으로 전송한다.
- <22> 상기 기술적 과제를 달성하기 위한 시스템은 캐시 메모리 장치, 불휘발성 메모리 장치, 및 상기 캐시 메모리 장치와 상기 불휘발성 메모리 장치 사이에 접속된 다수의 채널들을 포함한다. 상기 캐시 메모리 장치는 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리, 및 컨트롤 블록을 포함한다.
- <23> 상기 컨트롤 블록은 수신될 데이터의 종류를 판단하고 판단 결과에 기초하여 수신되는 데이터의 헤드를 제1캐시 메모리 영역으로 전송, 상기 수신되는 데이터의 바디를 제2캐시 메모리 영역으로 전송, 또는 상기 수신되는 데이터의 테일을 상기 제1캐시 메모리 영역으로 전송 중에서 적어도 하나를 제어한다. 상기 컨트롤 블록은 상기 제2캐시 메모리 장치에 저장된 상기 바디를 상기 다수의 채널들 중에서 적어도 하나의 채널을 통하여 상기 불휘발성 메모리 장치로 전송한다.
- <24> 상기 기술적 과제를 달성하기 위한 시스템은 캐시 메모리 장치, 불휘발성 메모리 장치, 및 상기 캐시 메모리 장치와 상기 불휘발성 메모리 장치 사이에 접속된 다수의 채널들을 포함한다. 상기 캐시 메모리 장치는 제1캐시 메모리 영역과 제2캐시 메모리 영역을 포함하는 메모리, 및 컨트롤 블록을 포함한다.
- <25> 상기 컨트롤러는 수신될 데이터에 바디가 포함되는지의 여부를 판단하고 판단 결과에 기초하여 상기 바디를 포함하지 않는 수신되는 데이터를 제1캐시 메모리 영역으로 전송하거나 상기 바디를 포함하는 상기 수신되는 데이터를 제2캐시 메모리 영역으로 전송한다. 상기 컨트롤 블록은 상기 제2캐시 메모리 장치에 저장된 상기 바디를 포함하는 상기 데이터를 상기 다수의 채널들 중에서 적어도 하나의 채널을 통하여 상기 불휘발성 메모리 장치로 전송한다.

**효 과**

- <26> 상술한 바와 같이 본 발명의 실시 예에 따른 캐시 메모리 장치는, 바디를 저장하기 위한 저장 영역과 헤드 또는 테일 중에서 적어도 하나를 저장하기 위한 저장 영역을 포함하며, 바디 또는 바디를 포함하는 데이터를 따로 처리하므로 호스트와 불휘발성 메모리 장치 사이에 데이터의 쓰기/읽기 성능을 향상시키는 효과가 있다.
- <27> 또한, 상술한 바와 같이 본 발명의 실시 예에 따른 캐시 메모리 장치는 바디를 포함하는 데이터를 메모리의 저장 영역에 저장한 후, 저장된 상기 데이터를 불휘발성 메모리 장치로 전송하므로, 호스트와 불휘발성 메모리 장치 사이에 데이터의 쓰기/읽기 성능을 향상시키는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <29> 도 2는 본 발명의 일 실시 예에 따른 캐시 메모리 장치를 포함하는 불휘발성 메모리 시스템의 블록도를 나타낸다. 도 2를 참조하면, 컴퓨터 시스템, 오디오 시스템, 홈 오디오메이션, 또는 이동 전자 장치와 같은 불휘발성 메모리 시스템(100)은 호스트(110), 캐시 메모리 장치(120), 및 불휘발성 메모리 장치(150)를 포함한다.
- <30> 호스트(110)와 캐시 메모리 장치(120)는 SATA 프로토콜을 이용하여 데이터를 주고받을수 있다. SATA 형 SSD는 캐시 메모리 장치(120)와 불휘발성 메모리 장치 (150)를 포함한다. 호스트(110)는 캐시 메모리 장치(120)를 통하여 불휘발성 메모리 장치(150)와 데이터를 주고받는다.
- <31> 호스트(110)는 논리적 블록 주소(Logical Block Address; LBA) 값과 섹터 카운트 값을 캐시 메모리 장치(120)로 출력하고, 쓰기 데이터(DATA)를 캐시 메모리 장치(120)로 출력한다.
- <32> 캐시 메모리 장치(120)는 호스트(110)와 불휘발성 메모리 장치들(161 내지 168) 사이에서 전송되는 데이터를 임시 저장한다. 캐시 메모리 장치(120)는 컨트롤 블록(130)과 메모리(140)를 포함한다.
- <33> 컨트롤 블록(130)은 LBA 값과 섹터 카운트 값을 수신하고, 수신된 LBA 값과 슈퍼페이지 크기 값에 기초하여 오프셋을 계산하고, 수신된 섹터 카운트 값과 상기 슈퍼페이지 크기 값의 비(ratio)를 계산하고, 계산된 오프셋과 계산된 비에 기초하여 수신될 데이터의 종류(또는 구조)를 판단한다.
- <34> 본 명세서에서 사용되는 데이터의 종류들은 7가지로 분류된다. 즉, 헤드(head)만을 포함하는 데이터, 바디(body)만을 포함하는 데이터, 테일(tail)만을 포함하는 데이터, 헤드와 바디를 포함하는 데이터, 헤드와 테일을 포함하는 데이터, 바디와 테일을 포함하는 데이터, 및 헤드와 바디와 테일을 모두 포함하는 데이터이다.
- <35> 수신될 데이터의 종류가 판단된 후, 컨트롤 블록(130)은 데이터(DATA)를 수신하고, 계산된 오프셋과 계산된 비에 기초하여 수신된 데이터(DATA)에 포함된 헤드를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)으로 전송하거나, 수신된 데이터(DATA)에 포함된 바디를 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143)으로 전송하거나, 수신된 데이터(DATA)에 포함된 테일을 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)으로 전송한다.
- <36> SDRAM 또는 DDR SDRAM과 같은 휘발성 메모리로 구현될 수 있는 메모리(140)는 헤드 또는 테일 중에서 적어도 하나를 저장하기 위한 제1캐시 메모리 영역(141), 및 적어도 하나의 바디를 저장하기 위한 제2캐시 메모리 영역(143)을 포함한다.
- <37> 캐시 메모리 장치(120)와 불휘발성 메모리 장치(150) 사이에는 n(n은 자연수, 예컨대, n=4)개의 채널들(151, 153, 155, 및 157)이 존재한다. 즉, 캐시 메모리 장치(120)와 불휘발성 메모리 장치(150)는 n개의 채널들(151, 153, 155, 및 157) 중에서 적어도 하나의 채널을 통하여 데이터를 주고받는다.
- <38> n개의 채널들(151, 153, 155, 및 157) 각각에는 다수의 불휘발성 메모리들(161과 165, 162와 166, 163과 167, 및 164와 168)이 접속되고, 다수의 불휘발성 메모리들(161과 165, 162와 166, 163과 167, 및 164와 168) 각각은 메모리 셀 어레이(11)와 페이지 버퍼(13)를 포함한다.
- <39> 메모리 셀 어레이(11)는 다수의 EEPROM들을 포함하고, 다수의 EEPROM들 각각은 SLC(Single Level Cell) 또는

MLC(Multi Level Cell)로 구현될 수 있다.

- <40> 페이지 버퍼(13)는  $m$ ( $m$ 은 자연수,  $m=8$ )-섹터를 저장할 수 있다. 예컨대, 하나의 섹터는  $k$ ( $k$ 는 자연수, 예컨대,  $k=512$  또는  $k=1024$ ) 바이트가 될 수 있다. 메모리 셀 어레이(11)와 캐시 메모리 장치(120)는 페이지 버퍼(13)와 대응되는 채널을 통하여 데이터를 주고받는다.
- <41> 제1캐시 메모리 영역(141) 또는 제2캐시 메모리 영역(143)은 다수의 단위 메모리 영역들을 포함하며, 상기 다수의 단위 메모리 영역들 각각은 슈퍼페이지 크기를 갖는다.
- <42> 예컨대, 슈퍼페이지 크기( $=n*m$ )는 캐시 메모리 장치(120)와 불휘발성 메모리 장치(150) 사이에 접속된 채널들의 수(예컨대,  $n=4$ )와 불휘발성 메모리(161) 내의 페이지 버퍼(13)에 저장될 수 있는 섹터들의 수(예컨대,  $m=8$ )의 곱으로 결정된다. 따라서, 본 발명의 실시 예에 따른 슈퍼페이지 크기는 32-섹터이다. 상기 32-섹터에서 숫자 "32"를 슈퍼페이지 크기 값이라 한다. 슈퍼페이지 크기는 바디의 크기와 같다.
- <43> 도 3은 본 발명의 실시 예에 따라 데이터를 분류하는 방법을 설명하기 위한 개략도이고, 도 4는 도 2에 도시된 컨트롤 블록(130)을 포함하는 캐시 메모리 장치(120)의 블록도이고, 도 5는 본 발명의 일 실시 예에 따른 캐시 메모리 장치의 데이터 처리 방법을 나타내는 흐름도이다. 도 2, 도 3, 도 4, 및 도 5를 참조하여 캐시 메모리 장치(120)의 데이터 처리 방법을 설명한다.
- <44> 컨트롤 블록(130)은 설정 유닛(201), 오프셋 계산기(203), 판단 유닛(205), 및 컨트롤러(207)를 포함한다. 오프셋 계산기(203)와 판단 유닛(205)은 설정 유닛(201)으로부터 출력된 슈퍼페이지 크기 값( $SPV=32$ )을 수신한다. 설정 유닛(201)은 레지스터와 같은 데이터 저장 장치로 구현될 수 있으며, 슈퍼페이지 크기 값( $SPV=32$ )은 하드웨어 또는 소프트웨어를 통하여 설정될 수 있다.
- <45> 캐시 메모리 장치(120)는 호스트(110)로부터 출력된 LBA 값(예컨대, LBA6에서 6)과 섹터 카운트 값(예컨대, 80)을 수신한다(도 5의 S10).
- <46> 컨트롤 블록(130)의 오프셋 계산기(203)는 수신된 LBA 값(예컨대, 6)을 슈퍼페이지 크기 값( $SPV=32$ )으로 나누어 나머지(예컨대, 6), 즉 오프셋을 계산한다(도 5의 S20).
- <47> 컨트롤 블록(130)의 판단 유닛(205)은 수신된 섹터 카운트 값(예컨대, 80)과 슈퍼페이지 크기 값( $SPV=32$ )의 비를 계산하고, 오프셋 계산기(203)에 의하여 계산된 오프셋과 계산된 비에 기초하여 수신된 데이터(DATA)의 종류를 판단한다(도 5의 S20). 오프셋 계산기(203)와 판단 유닛(205)은 판단 블록을 구성할 수 있다.
- <48> 예컨대, LBA 값이 6이고 섹터 카운트 값이 80인 경우, 판단 유닛(205)은 오프셋 계산기(203)에 의하여 계산된 오프셋(예컨대, 6)과 계산된 비에 기초하여 수신된 데이터(DATA)가 하나의 헤드와 하나의 바디와 하나의 테일을 포함하는 데이터임을 판단할 수 있다.
- <49> 도 3에 도시된 각각의 숫자는 각각의 섹터가 저장될 메모리의 저장 영역을 나타낸다. 도 3에서는 헤드, 바디, 및 테일을 정의하기 위하여, 도 2와 도 4와 달리 헤드 또는 테일 중에서 적어도 하나를 저장하기 위한 제1캐시 메모리 영역과 바디를 저장하기 위한 제2캐시 메모리 영역을 별도로 분리하지 않았다.
- <50> LBA 값이 6이고 섹터 카운트 값이 80인 경우, 오프셋 계산기(203)에 의하여 계산된 오프셋이 6이므로, 섹터 카운트 값 80에 상응하는 데이터(즉, 80-섹터들을 포함하는 데이터)가 섹터 단위로 숫자 "6"으로 표현된 영역에서부터 숫자"85"로 표현된 영역까지 순차적으로 저장된다고 가정할 때, 숫자 "6"으로 표현된 영역에서부터 숫자"31"로 표현된 영역까지 저장되는 섹터들은 헤드(head)라고 정의하고, 숫자 "32"로 표현된 영역에서부터 숫자"63"으로 표현된 영역까지 저장되는 섹터들은 바디(body)라고 정의하고, 숫자 "64"로 표현된 영역에서부터 숫자"85"로 표현된 영역까지 저장되는 섹터들은 테일(tail)이라고 정의한다.
- <51> 본 발명의 실시 예에서는 헤드 또는 테일 중에서 적어도 하나를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)에 저장하고, 적어도 하나의 바디를 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143)에 저장한다.
- <52> 다른 예들로서, 수신된 LBA 값이 0이고 수신된 섹터 카운트 값이 64인 경우, 판단 유닛(205)은 오프셋 계산기(203)에 의하여 계산된 오프셋(예컨대, 0)과 계산된 비에 기초하여 수신된 데이터(DATA)가 두 개의 바디들만을 포함하는 데이터임을 판단할 수 있다. 그리고, 수신된 LBA 값이 38이고 수신된 섹터 카운트 값이 2인 경우, 판단 유닛(205)은 오프셋 계산기(203)에 의하여 계산된 오프셋(예컨대, 6)과 계산된 비에 기초하여 수신된 데이터(DATA)가 하나의 헤드만을 포함하는 데이터임을 판단할 수 있다. 또한, 수신된 LBA 값이 32이고 수신된 섹터 카

운트 값이 8인 경우, 판단 유닛(205)은 오프셋 계산기(203)에 의하여 계산된 오프셋(예컨대, 0)과 계산된 비에 기초하여 수신될 데이터(DATA)가 하나의 테일 만을 포함하는 데이터임을 판단할 수 있다.

- <53> 예컨대, 헤드는 오프셋이 존재하고 수신된 데이터의 크기가 슈퍼사이즈 크기보다 작은 데이터이고, 바디는 오프셋이 존재하지 않고 수신된 데이터의 크기가 슈퍼사이즈 크기의 배수인 데이터이고, 테일은 오프셋이 존재하고 데이터의 크기가 슈퍼사이즈 크기보다 작은 데이터이다.
- <54> 컨트롤러(207)는 호스트(110)로부터 출력된 섹터 카운트 값(예컨대, 80)에 상응하는 데이터를 수신하면서, 오프셋 계산기(203)에 의하여 계산된 오프셋(예컨대, 6)과 판단 유닛(205)의 판단 결과(ITD)에 기초하여 헤드를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)로 전송하고, 바디를 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143)로 전송하고, 테일을 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)로 전송한다(도 5의 S30).
- <55> 좀더 구체적으로 설명하면, 오프셋이 존재하는 경우, 헤드 플래그는 헤드의 첫 번째 섹터가 입력되기 전에 활성화된다. 따라서 컨트롤러(207)는 활성화된 헤드 플래그와 오프셋 계산기(203)로부터 출력된 오프셋에 기초하여 입력된 상기 헤드(DATA)의 첫 번째 섹터를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141)의 숫자 "6"으로 표현된 영역에 저장한다.
- <56> 상기 헤드의 첫 번째 섹터가 제1캐시 메모리 영역(141)의 숫자 "6"으로 표현된 영역에 저장되는 동안, 상기 헤드 플래그는 비활성화되고, 바디 플래그는 활성화된다.
- <57> 제1캐시 메모리 영역(141)의 숫자 "31"으로 표현된 영역에 상기 헤드의 마지막 섹터가 저장되는 동안, 컨트롤러(207)는 활성화된 바디 플래그에 응답하여 다음에 입력될 섹터가 바디의 첫 번째 섹터임을 판단한다.
- <58> 상기 헤드의 마지막 섹터가 완전히 저장되고 바디의 첫 번째 섹터가 입력되기 전에, 컨트롤러(207)는 활성화된 바디 플래그에 응답하여 제1포인터(Pointer1)를 제2포인터(Pointer2)로 변경한다.
- <59> 따라서, 바디의 첫 번째 섹터 내지 마지막 섹터는 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143)의 숫자"32"로 표현된 영역에서부터 숫자"63"으로 표현된 영역까지 순차적으로 저장된다. 바디의 첫 번째 섹터가 제2캐시 메모리 영역(143)의 숫자"32"로 표현된 영역에 저장되는 동안, 상기 바디 플래그는 비활성화되고 테일 플래그는 활성화된다. 제2캐시 메모리 영역(143)의 숫자 "63"으로 표현된 영역에 바디의 마지막 섹터가 저장되는 동안, 컨트롤러(207)는 활성화된 테일 플래그에 응답하여 다음에 입력될 섹터가 테일의 첫 번째 섹터임을 판단한다.
- <60> 상기 바디의 마지막 섹터가 완전히 저장되고 테일의 첫 번째 섹터가 입력되기 전에, 컨트롤러(207)는 활성화된 테일 플래그에 응답하여 제2포인터(Pointer2)를 제1포인터(Pointer1)로 변경한다.
- <61> 따라서, 테일의 첫 번째 섹터 내지 마지막 섹터는 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143)의 숫자 "64"로 표현된 영역에서부터 숫자"85"로 표현된 영역까지 순차적으로 저장된다. 예컨대, 판단 유닛(205)의 판단 결과(ITD)에는 헤드 플래그, 바디 플래그, 및 테일 플래그가 포함될 수 있다. 또한, 컨트롤러(207)는 판단 유닛(205)의 판단 결과(ITD)에 기초하여 헤드 플래그, 바디 플래그, 및 테일 플래그를 발생할 수 있다. 이 경우 컨트롤러(207)는 헤드 플래그, 바디 플래그, 및 테일 플래그를 저장할 수 있는 레지스터와 같은 저장 장치를 포함할 수 있다.
- <62> 바디의 첫 번째 섹터 내지 마지막 섹터가 제2캐시 메모리 영역(143)에 완전히 저장된 후, 컨트롤러(207)는 제2캐시 메모리 영역(143)에 저장된 바디(예컨대, 32섹터)를 불휘발성 메모리 장치(150)로 전송할 수 있다(도 5의 S40). 컨트롤 블록(130)은 제2캐시 메모리 영역(143)에 저장된 바디 (예컨대, 32섹터)를 불휘발성 메모리 장치(150)로 전송하는 타이밍을 제어할 수 있다.
- <63> 예컨대, 컨트롤 블록(130)은 제2캐시 메모리 영역(143)에 저장된 바디(예컨대, 32-섹터)를 채널들의 수(예컨대, 4)로 나누고, 나누어진 8-섹터씩 다수의 채널들(151, 153, 155, 및 157) 각각을 통하여 각각의 메모리(161, 162, 163, 및 164)로 전송할 수 있다.
- <64> 도 6은 도 2에 도시된 캐시 메모리 장치를 이용하여 불휘발성 메모리 장치에 데이터를 쓰고 읽는 동작을 설명하기 위한 흐름도를 나타낸다.
- <65> 호스트(110)가 쓰기 명령과 LBA 값 0과 섹터 카운트 값 64를 출력하고, 쓰기 명령과 LBA 값 38과 섹터 카운트 값 2를 출력하고, 읽기 명령과 LBA 값 32와 섹터 카운트 값 8을 순차적으로 출력할 때, 도 2, 도 4, 및 도 6을

참조하여 본 발명의 실시 예에 따른 캐시 메모리 장치(120)의 동작을 설명하면 다음과 같다.

- <66> 첫 번째, 컨트롤 블록(130)은 쓰기 명령, LBA 값 0, 및 섹터 카운트 값 64를 수신한다. 컨트롤 블록(130)은 LBA 값 0, 섹터 카운트 값 64, 및 슈퍼페이지 크기 값 32에 기초하여 오프셋(예컨대, 0)을 계산하고, 수신될 데이터(DATA)가 두 개의 바디들만을 포함하는 데이터임을 판단한다.
- <67> 컨트롤 블록(130)은 활성화된 바디 플래그에 기초하여 수신되는 데이터, 즉 64섹터들을 포함하는 두 개의 바디들을 제2포인터(Pointer2)가 지시하는 제2캐시 메모리 영역(143)의 영역들(0 내지 63)에 저장한다(도 6(a)). 컨트롤 블록(130)은 각 채널(151, 153, 155, 및 157)로 16-섹터씩 전송한다(도 6(b)). 각 채널(151, 153, 155, 및 157)로 전송되는 섹터들의 크기는 전체 바디의 크기(예컨대, 64-섹터)를 채널들의 수(예컨대, 4)로 나눈 크기이다.
- <68> 두 번째, 컨트롤 블록(130)은 쓰기 명령, LBA 값 38, 및 섹터 카운트 값 2를 수신한다. 컨트롤 블록(130)은 LBA 값 38, 섹터 카운트 값 2, 및 슈퍼페이지 크기 값 32에 기초하여 오프셋(예컨대, 6)을 계산하고, 수신될 데이터(DATA)가 헤드만 포함하는 데이터임을 판단한다.
- <69> 활성화된 헤드 플래그에 기초하여 컨트롤 블록(130)은 수신되는 헤드, 즉 두 개의 섹터들 각각을 제1포인터(Pointer1)가 지시하는 제1캐시 메모리 영역(141)의 제7번째 메모리 영역(38')과 제8번째 메모리 영역(39')에 오프셋(예컨대, 6)을 반영하여 저장한다(도 6(c)). 이때, 제1캐시 메모리 영역(141)의 제7번째 메모리 영역(38')과 제8번째 메모리 영역(39')에 저장된 섹터들은 불휘발성 메모리 장치(150)로 전송하지 않는다.
- <70> 세 번째, 컨트롤 블록(130)은 읽기 명령, LBA 값 32, 및 섹터 카운트 값 8을 수신한다. 컨트롤 블록(130)은 LBA 값 32, 섹터 카운트 값 8, 및 슈퍼페이지 크기 값 32에 기초하여 오프셋(예컨대, 0)을 계산하고, 불휘발성 메모리 장치(150)의 메모리(161)로부터 읽혀질 데이터가 테일 만을 포함하는 데이터임을 판단한다.
- <71> 컨트롤 블록(130)의 제어하에, 메모리(161)의 페이지 버퍼(13)에는 메모리 셀 어레이(11)로부터 출력된 8-섹터들이 저장된다(도 6(d)). 컨트롤 블록(130)은 페이지 버퍼(13)로부터 숫자"32"부터 숫자"37"에 저장된 섹터들만을 제1캐시 메모리 영역(141)로 읽어올 수 있다(도 6(e)).
- <72> 도 7은 본 발명의 다른 실시예에 따른 캐시 메모리 장치를 포함하는 불휘발성 메모리 시스템의 블락도를 나타내고, 도 8은 도 7에 도시된 컨트롤 블록을 포함하는 캐시 메모리 장치의 블락도이고, 도 9는 본 발명의 다른 실시예에 따른 캐시 메모리 장치의 데이터 처리 방법을 나타내는 흐름도이다.
- <73> 도 7, 도 8, 및 도 9를 참조하여, 캐시 메모리 장치(121)가 바디를 포함하지 않는 제1데이터를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141')으로 전송하는 과정, 또는 바디를 포함하는 제2데이터를 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143')으로 전송하는 과정을 설명하면 다음과 같다.
- <74> 우선, 오프셋 계산기(203)와 판단 유닛(205)은 설정 유닛(201)으로부터 출력된 슈퍼페이지 크기 값(SPV=32)을 수신한다.
- <75> 캐시 메모리 장치(121)는 호스트(110)로부터 출력된 LBA 값(예컨대, 6)과 섹터 카운트 값(예컨대, 80)을 수신한다(도 9의 S11).
- <76> 오프셋 계산기(203)는 수신된 LBA 값(예컨대, 6)을 슈퍼페이지 크기 값(SPV=32)으로 나눈 나머지, 즉 오프셋을 계산한다(도 9의 S21).
- <77> 판단 유닛(205)은 수신된 섹터 카운트 값(예컨대, 80)과 슈퍼페이지 크기 값(SPV=32)의 비를 계산하고, 오프셋 계산기(203)에 의하여 계산된 오프셋과 계산된 비에 기초하여 수신될 데이터(DATA)에 바디가 포함되어 있는지의 여부를 판단한다(도 9의 S21). 오프셋 6과 섹터 카운트 값 80을 갖는 데이터(DATA)는 하나의 헤드와 하나의 바디와 하나의 테일을 포함한다.
- <78> 따라서, 컨트롤러(207')는 오프셋 6과 섹터 카운트 값 80을 갖는 데이터(DATA)를 제2포인터(Pointer2)에 의하여 지정된 제2캐시 메모리 영역(143')으로 전송한다(도 9의 S31). 제2캐시 메모리 영역(143')에 저장된 데이터는 컨트롤 블락(121)의 제어하에 불휘발성 메모리 장치(150)로 전송된다(도 9의 S41).
- <79> 그러나, 컨트롤 블록(121)이 호스트(110)로부터 출력된 LBA 값(예컨대, 38)과 섹터 카운트 값(예컨대, 2)을 수신하는 경우, 컨트롤 블록(121)은 오프셋 6과 섹터 카운트 값 2를 갖는 데이터를 제1포인터(Pointer1)에 의하여 지정된 제1캐시 메모리 영역(141')으로 전송한다(도 9의 S31).

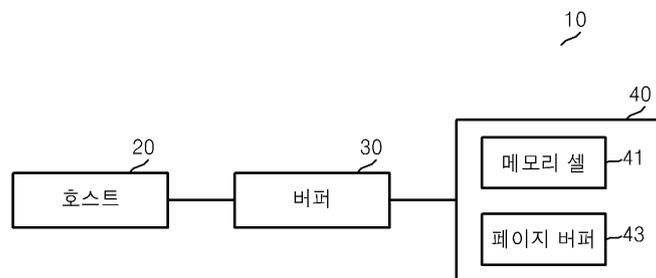
<80> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**도면의 간단한 설명**

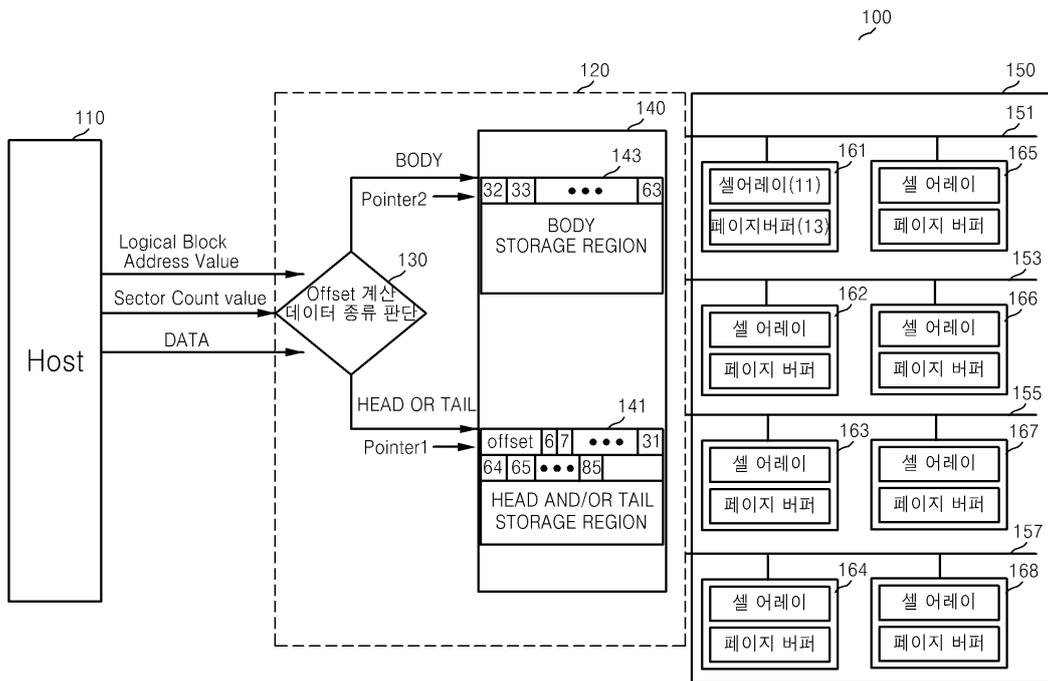
- <81> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <82> 도 1은 종래 기술에 따른 버퍼를 포함하는 불휘발성 메모리 시스템의 블록도를 나타낸다.
- <83> 도 2는 본 발명의 일 실시예에 따른 캐시 메모리 장치를 포함하는 불휘발성 메모리 시스템의 블록도를 나타낸다.
- <84> 도 3은 본 발명의 실시 예에 따라 데이터를 분류하는 방법을 설명하기 위한 개략도이다.
- <85> 도 4는 도 2에 도시된 컨트롤 블록을 포함하는 캐시 메모리 장치의 블록도이다.
- <86> 도 5는 본 발명의 일 실시 예에 따른 캐시 메모리 장치의 데이터 처리 방법을 나타내는 흐름도이다.
- <87> 도 6은 도 2에 도시된 캐시 메모리 장치를 이용하여 불휘발성 메모리 장치에 데이터를 쓰고 읽는 동작을 설명하기 위한 흐름도를 나타낸다.
- <88> 도 7은 본 발명의 다른 실시예에 따른 캐시 메모리 장치를 포함하는 불휘발성 메모리 시스템의 블록도를 나타낸다.
- <89> 도 8은 도 7에 도시된 컨트롤 블록을 포함하는 캐시 메모리 장치의 블록도이다.
- <90> 도 9는 본 발명의 다른 실시 예에 따른 캐시 메모리 장치의 데이터 처리 방법을 나타내는 흐름도이다.

**도면**

**도면1**



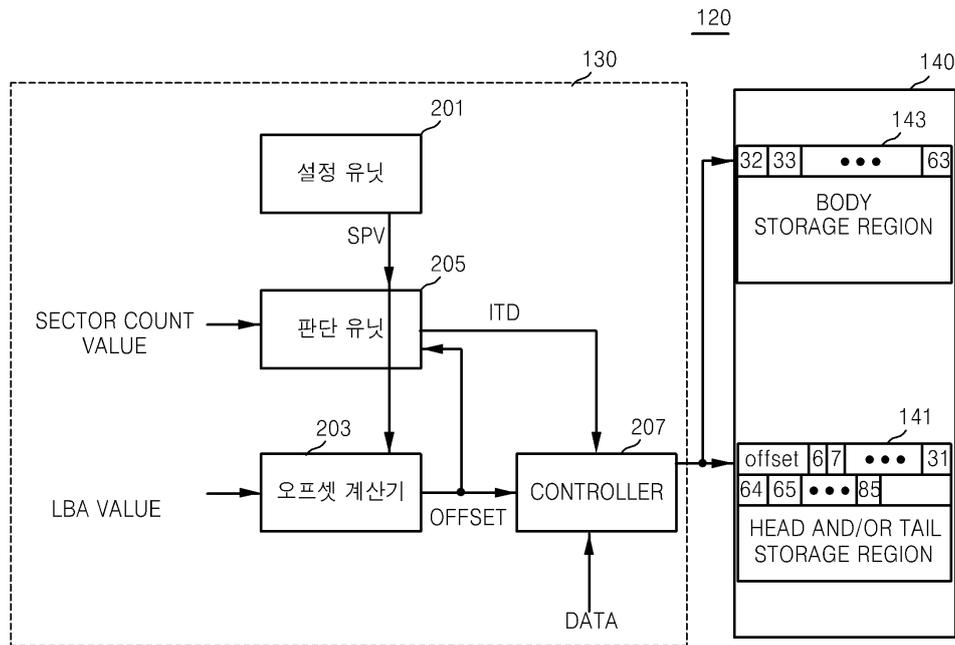
도면2



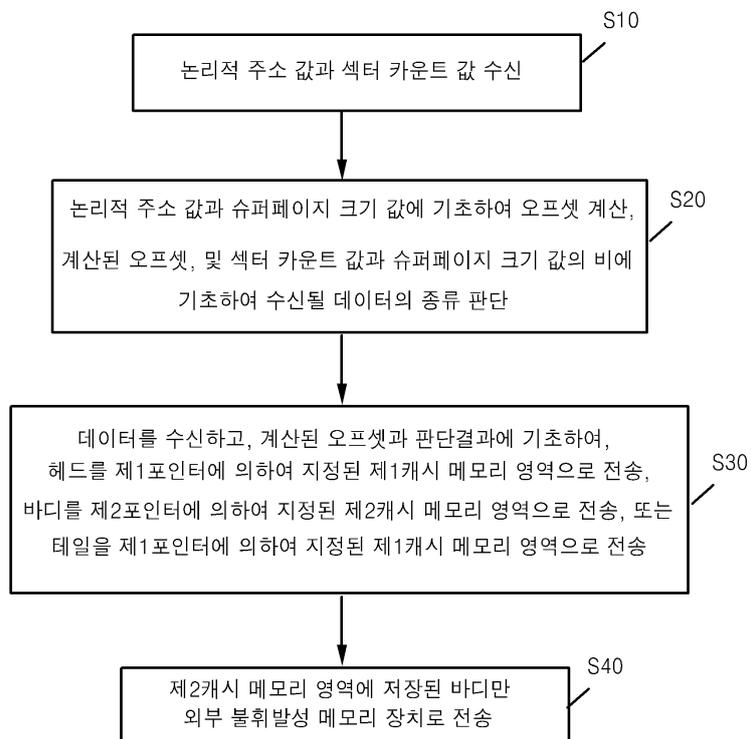
도면3

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	HEAD	
3	3	3	3	3	3	3	3	3	4	4	4	4	4	4	4	4	4	4	5	5	5	5	5	5	5	5	5	5	6	6	6	6	BODY
2	3	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	TAIL
6	6	6	6	6	6	6	7	7	7	7	7	7	7	7	7	7	8	8	8	8	8	8	8	8	8	8	9	9	9	9	9	9	
4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5		

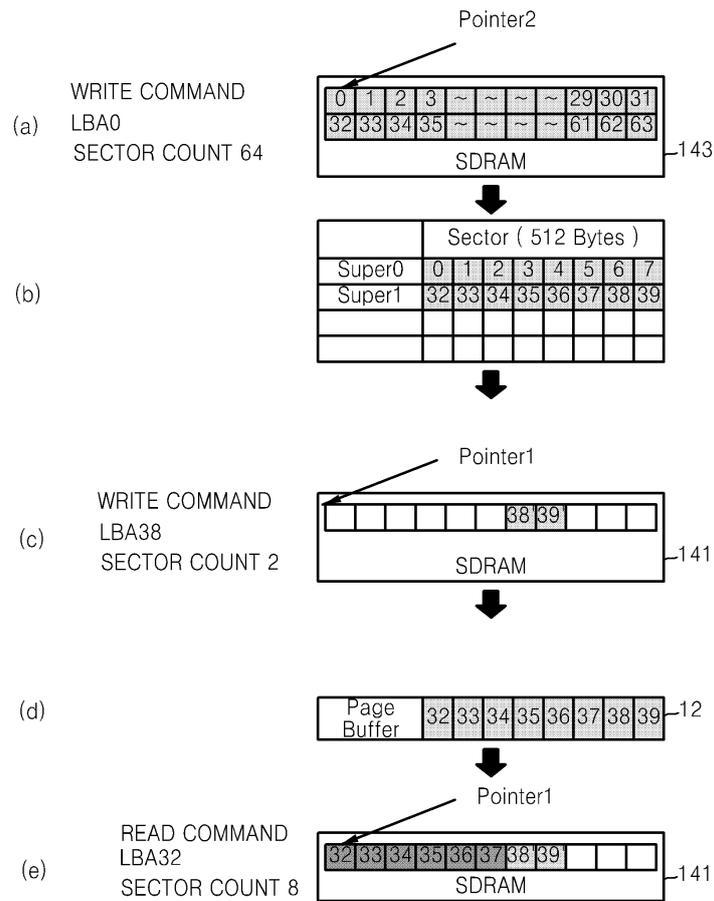
도면4



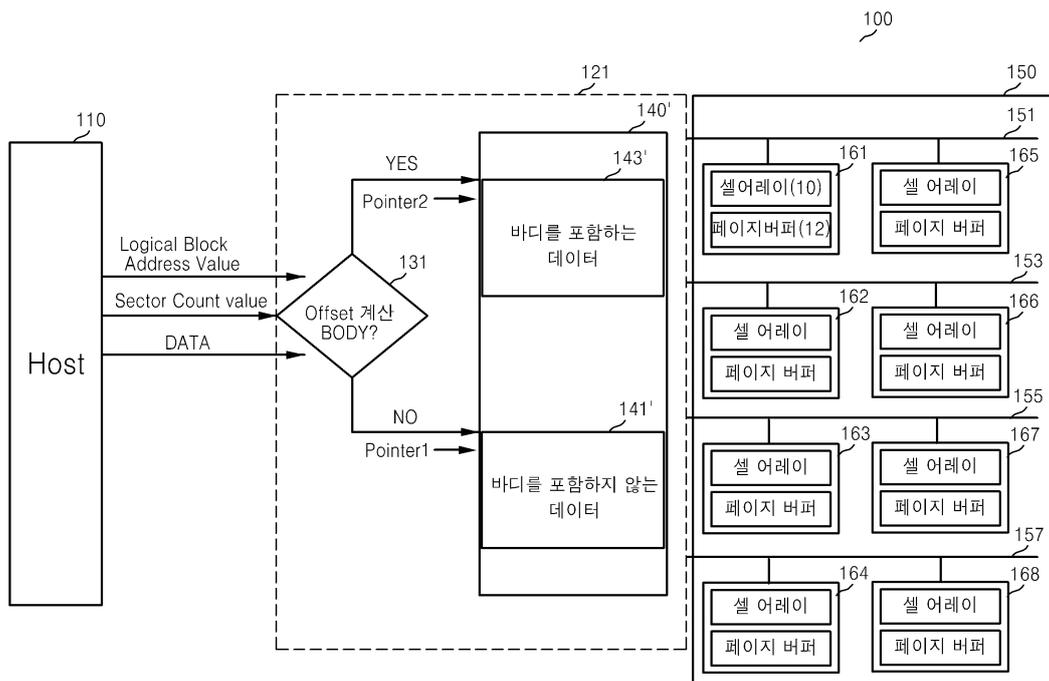
도면5



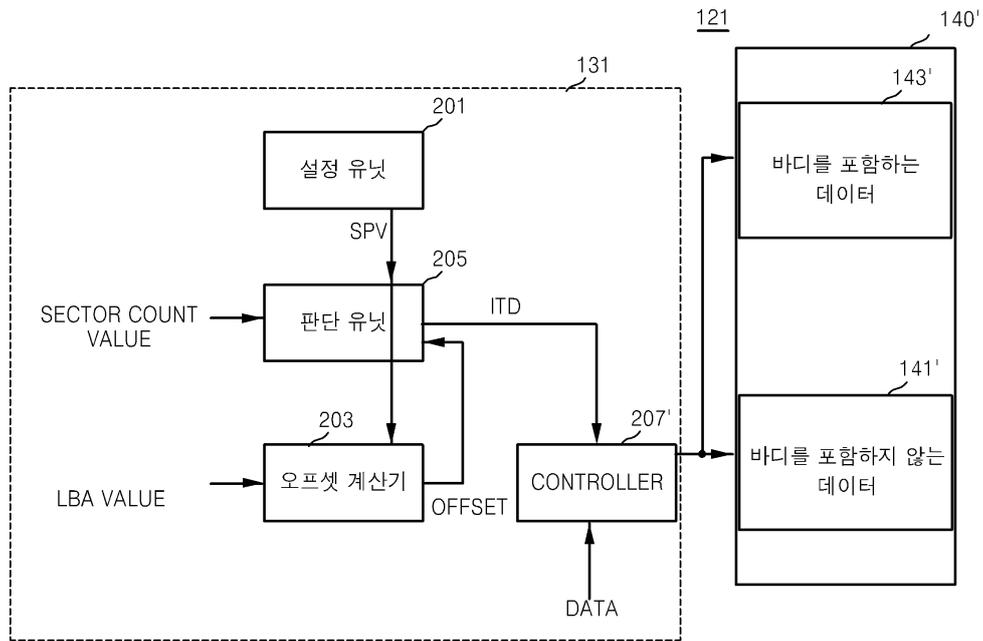
도면6



도면7



도면8



도면9

